



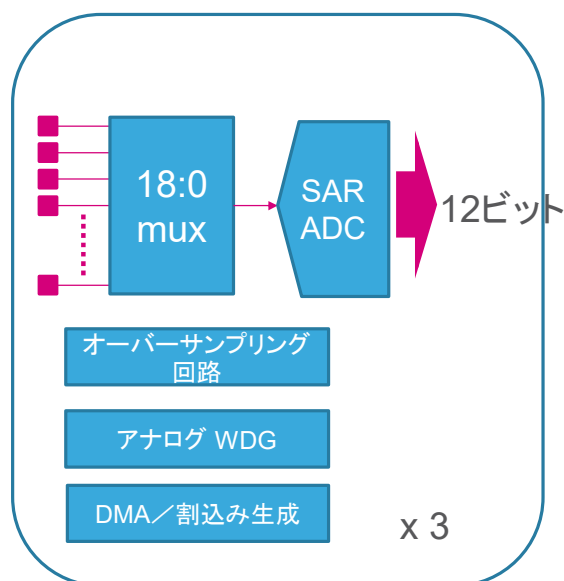
# STM32G0 - ADC

アナログ・デジタル・コンバータ

レビジョン 1.0



STM32 アナログデジタルコンバータブロックのプレゼンテーションへようこそ。ここではこのブロックの主な機能について説明します。このブロックは、外部のアナログ電圧のようなセンサ出力をデジタル値に変換して、デジタルドメインで処理できるようにします。



### • アナログ・デジタル変換を提供

- 最大19入力チャンネルの12ビット ADC
- オーバーサンプリング回路
- 最大 2.5Mサンプリング/秒 (12ビット分解能)
- ADCごとに3つのアナログ・ウォッチドッグ
- DMAリクエストの生成
- 割込みの生成

### アプリケーション側の利点

- 超低消費電力: 118 $\mu$ A @1Mサンプリング/秒
- フレキシブル・トリガ、データ管理によりCPUの負荷を軽減

STM32G0 マイクロコントローラ内蔵のアナログデジタルコンバータにより、マイクロコントローラはセンサ出力のようなアナログ値を受け取り、デジタルドメインで使用できるように信号を変換できます。最大 19 のアナログ入力があります。ADC モジュール自体は 12 ビットの逐次比較型コンバータであり、オーバーサンプリングハードウェアが増設されています。オーバーサンプリングユニットは、データを前処理して、メインプロセッサの負荷を軽減します。複数の変換を処理して、データ幅を最大 16 ビットに拡張した単一データに平均化できます。サンプリングスピードは、12 ビット分解能で 2.5 Mサンプリング/秒です。データは、DMA 転送または割込みのどちらかにより取得できます。この ADC は、低消費電力、高性能を目的として設計されています。さまざまなトリガメカニズムがあり、CPU の作業負荷が最小化されるようにデータ管理を設定できます。ADC モジュールには、アナログウォッチドッグも統合されています。

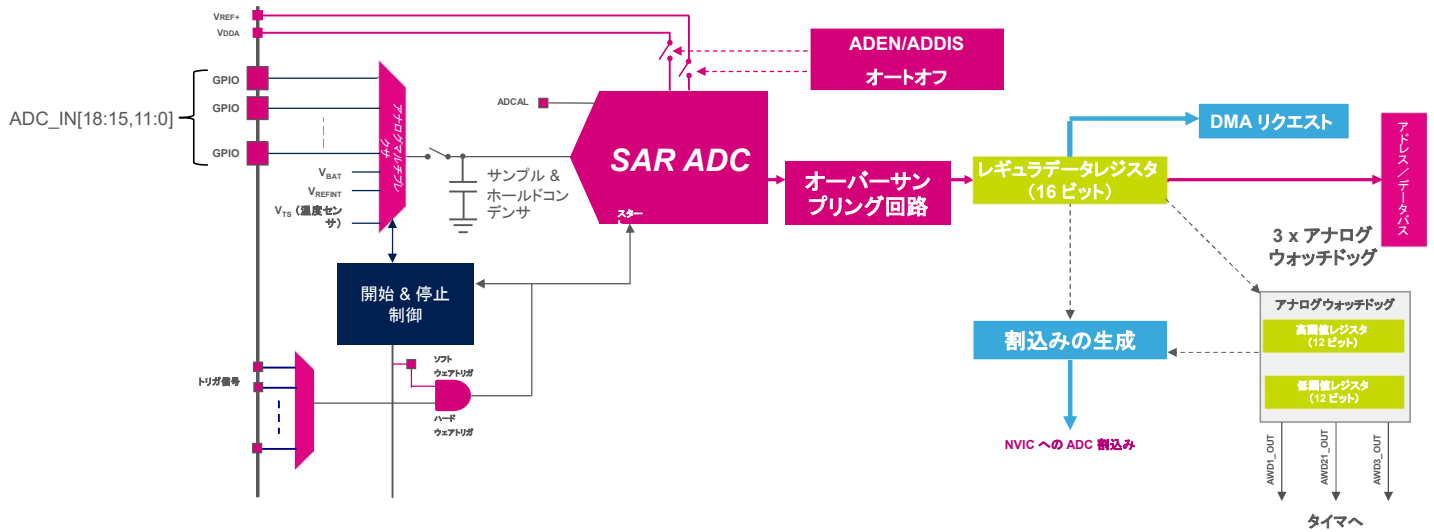
機能	説明
入力チャンネル	最大16個の外部(GPIO)チャンネルと3個の内部チャンネル
変換の種類	12ビット逐次比較
変換時間	400ns、2.5Mサンプリング/秒( $f_{ADC\_CLK} = 35\text{MHz}$ 、12ビット)
機能モード	シングル、連続、スキャン、不連続
トリガ	ソフトウェアまたは外部トリガ(タイマ & IO)
特殊機能	アナログ・ウォッチドッグ、ハードウェア・オーバーサンプリング、自己較正
データ処理	割込み生成およびDMAリクエスト
低消費電力モード	ウェイト、オートオフ、パワーダウン



入力チャンネルは、シングルエンドモードまたは差動モードのどちらかで信号を変換できる最大 19 個のチャンネルに接続されています。ADC は、12 ビットモードで 2.5 Mサンプリング/秒で変換できます。さまざまな機能モードがありますが、これらについては後で説明します。また、さまざまなトリガ方法もあります。CPU の負荷を軽減するために、ADC には閾値を監視するアナログウォッチドッグがあります。また、最終的な変換値で示されるビット数を拡張するために、オーバーサンプリングを提供します。消費電力が重視されるアプリケーション向けには、さまざまな低消費電力機能を提供します。

# ブロック図

4

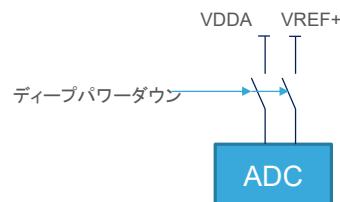


このスライドでは、ADC の概略ブロック図を示します。左側は、ADC のアナログマルチプレクサと内蔵サンプリングコンデンサをベースとするアナログフロントエンドです。このサンプリング時間は、入力電圧ソースがサンプルおよびホールドコンデンサを入力電圧レベルに充電するのに十分な長さである必要があります。右側は、デジタルバックエンドです。サンプルはデータレジスタに保存され、ソフトウェアによって読み出されるか、または DMA チャンネル経由でメモリに転送されます。3 つのアナログウォッチドッグは、選択されているアナログ入力の電圧を高閾値と低閾値に対して監視します。電圧がガードレンジから外れたときに、割り込みを生成するか、またはトリガイベントをタイマユニットに通知することができます。アナログフロントエンドは、オートオフ機能を使用して、ADC を使用しない場合およびデータを取得してから次に取得するまでの間、電力をゲート制御(パワーゲート)することができます。

## さまざまな低消費電力機能を実装

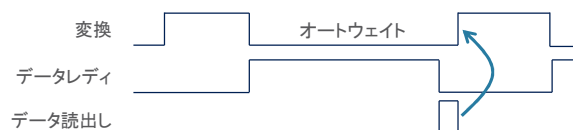
- ディープ・パワーダウン・モード

- ADCに供給する内部電源は、リーク電流低減のために電源スイッチで無効化できる



- ウェイト・モード

- 新しい変換を開始できるのは、前のデータが処理された場合、ADC\_DRレジスタが読み出された場合、またはEOCビットがクリアされた場合のみ

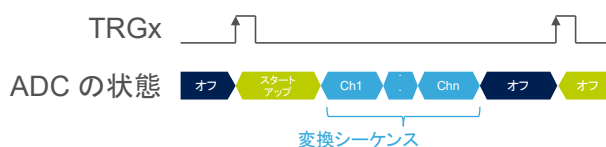


ADC はディープパワーダウンモードをサポートしています。ADC は、使用されていない場合は電源スイッチで切断してリーク電流を低減できます。ウェイトモードがアクティブな場合、ADC は、最後の変換データが読み出されるか、または変換終了フラグがクリアされるのをウェイトしてから、次の変換を開始します。これにより、不要な変換を回避し、消費電力を低減します。

## さまざまな低消費電力機能を実装

### • オートオフ・モード

- ADCは、変換中でないときには常に電源がオフであり、(ソフトウェアまたはハードウェアのトリガによって)変換が開始されると自動的にウェイクアップする。起動時間は、変換を開始するトリガ・イベントとADCのサンプリング時間の間に自動的に挿入される。



### • 消費電力はサンプリング時間によって変動

- 475 $\mu$ A @ 2.5Mサンプリング/秒
- 15 $\mu$ A @ 10kサンプリング/秒



ADCには、オートオフモードと呼ばれる自動電源管理機能があります。

ADCは、オートオフモードが有効な場合、変換中以外は常に電源がオフになり、(ソフトウェアまたはハードウェアのトリガによって)変換が開始されると自動的にウェイクアップします。起動時間は、変換を開始するトリガイイベントとADCのサンプリング時間の間に自動的に挿入されます。変換シーケンスが完了すると、ADCは自動的に無効になります。

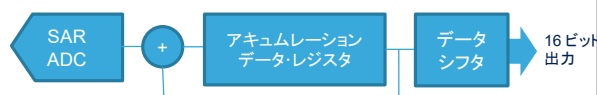
低周波数のクロックで動作するアプリケーションの場合、オートオフモードとウェイトモード変換(WAIT=1)を組み合わせることができます。ADCがウェイトフェーズで自動的に電源オフされ、アプリケーションによるADC\_DRレジスタの読出しで再起動される場合は、この組み合わせで大幅に節電できます。

消費電力は、サンプリング周波数の関数です。低サンプリングレートでは、消費電流はほぼ比例して減少します。

## さまざまなハイパフォーマンス機能を実装

### ハードウェア・オーバーサンプリング

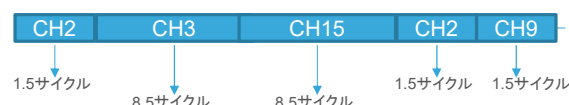
- アキュムレータとビットシフタはCPUの負荷なしで16ビットデータを出力可能



### 柔軟性があるシーケンサ

- ソフトウェアは、次の2つのオプションを使用して変換シーケンスを設定可能
  - 昇順または降順のチャンネル順序を選択(最大19チャンネル)
  - ユーザ定義順序(最大8チャンネル)

$$Result = \frac{1}{M} * \sum_{n=0}^{n=N-1} Conversion(t_n)$$



### 自己較正によりオフセットを削減



ADC には、CPU の助けを借りずにデータを累算して除算するオーバーサンプリングハードウェアが組み込まれています。オーバーサンプリング回路は、2~256 個の時間サンプルと 1~8 桁の 2 進数の右シフトに対応できます。シーケンサを使用すると、最大 19 チャンネルを昇順または降順で、あるいは最大 8 チャンネルをユーザが定義した順序で、変換できます。サンプリング期間は 2 つプログラムできます。各チャンネルにその 2 つの値のどちらかが割り当てられます。ADC は、オフセットの自己較正メカニズムを備えています。基準電圧が 10% 以上変化した場合、アプリケーションでオフセット較正を実行することを推奨します。したがって、これには、リセットからの復帰、またはアナログ電源が失われた後に元に戻った低消費電力状態からの復帰が含まれます。高温で動作する場合も、オフセット較正を実行する必要がある可能性があります。

## 変換速度は分解能に依存

- ADCは、サンプリング期間として $1.5_{ADC\_CLKs}$ 以上、変換に $12.5_{ADC\_CLKs}$ 以上が必要(12ビット)
- 最大クロック 35MHz、2.5Mサンプリング/秒、14サイクルで変換
- 分解能が低いほど速度が向上
  - 12ビット:  $12.5_{ADC\_CLKs}(+1.5) \Rightarrow 2.5M$ サンプリング/秒
  - 10ビット:  $10.5_{ADC\_CLKs}(+1.5) \Rightarrow 2.92M$ サンプリング/秒
  - 8ビット:  $8.5_{ADC\_CLKs}(+1.5) \Rightarrow 3.50M$ サンプリング/秒
  - 6ビット:  $6.5_{ADC\_CLKs}(+1.5) \Rightarrow 4.37M$ サンプリング/秒

分解能	$t_{Conversion}$
12ビット	12.5サイクル
10ビット	10.5サイクル
8ビット	8.5サイクル
6ビット	6.5サイクル



ADC は、12 ビットモードでサンプリングに 1.5 クロックサイクル以上、変換に 12.5 クロックサイクル以上を必要とします。35 MHz の ADC クロックでは、2.5 Mサンプリング/秒を達成できます。分解能を 10 ビット、8 ビット、または 6 ビットに下げると、サンプリング速度を向上できます。



## プログラム可能なサンプリング時間

- 1つのADCでさまざまなソースインピーダンスの複数の入力ソースをスキャン可能
  - サポートされているサンプリング時間:
    - 1.5サイクル、3.5サイクル、7.5サイクル、12.5サイクル、19.5サイクル、39.5サイクル、79.5サイクル、160.5サイクル
- ユーザは上記の値のうち2つを選択
  - 選択された2つの値のどちらかが、ADCサンプリング時間レジスタADC\_SMPRを使用して各アナログ・チャンネルに割当て



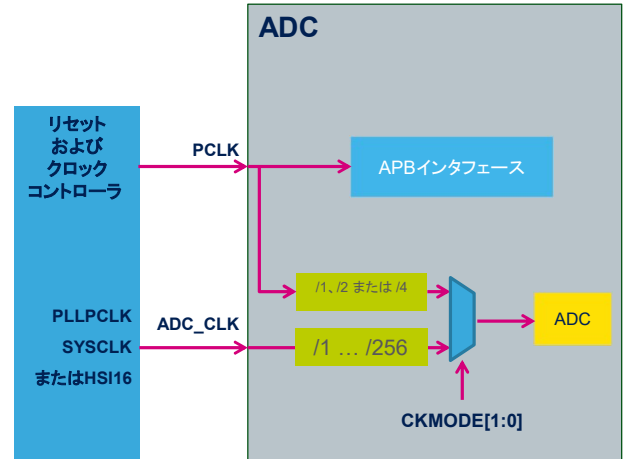
このスライドにリストされているサンプリング時間(ADC クロックサイクル単位)から選択できます。サンプリング時間を長くするほど、ハイインピーダンスの信号が正しく変換されることが保証されます。

同時にアクティブにできるのは、2つのサンプリング時間のみです。ユーザは、アナログチャンネルごとに、選択されている2つの値のどちらかを自由に割り当てることができます。

## フレキシブルなクロック選択

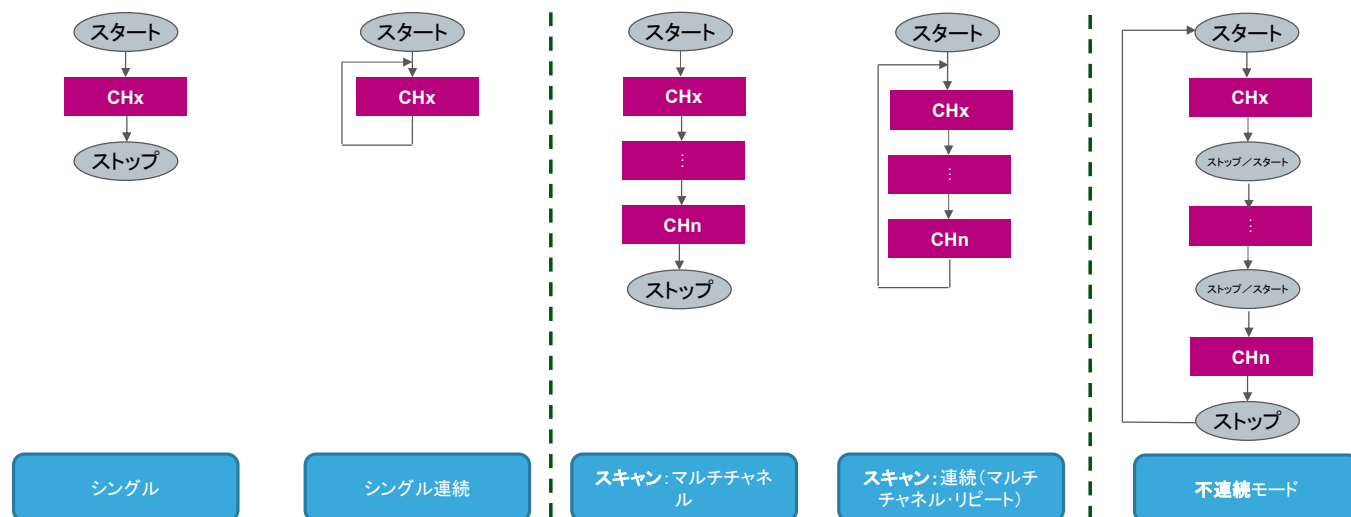
### • 選択できる ADC クロック

- 1、2、または4分周したAPBクロック  
トリガイベントがAPBクロックに依存する場合、  
イベント発生から変換開始までの遅延は予想可能
- 専用ADCクロック
  - ADCがフルスピードで動作していてもCPUは低速で動作可能
  - ADC\_CLKソースがPLLCLKまたはHSI16の場合、APBクロックと非同期で、2つのクロック・ドメイン間の再同期は、トリガ実行時期の不確実性が増加



ADC では、クロックソースを選択できます。システムが同期状態で動作する必要がある場合、APB クロックソースは最適な選択肢です。CPU は低速で動作し、ADC は高サンプリングレートで動作する必要がある場合、専用 ADC クロックを選択できます。この場合、ADC は PCLK と ADC\_CLK の 2 つのクロックドメインを考慮し、両者の再同期を実行するための遅延も考慮してください。

## 複数の変換モード



ADC は、次に示す複数の変換モードをサポートしています。

- シングルモード。シングルショットモードまたは連続モードで、1つのチャンネルのみ変換します。
- スキャンモード。シングルショットモードまたは連続モードで、事前に定義されているプログラムされた入力チャンネル一列を変換します。
- 不連続モード。トリガ信号が発生するたびに、事前に定義されているプログラムされた入力チャンネルのうち1つのチャンネルのみ変換します。

# ハードウェア・オーバーサンプリング

12

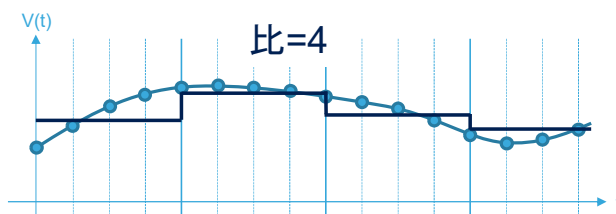
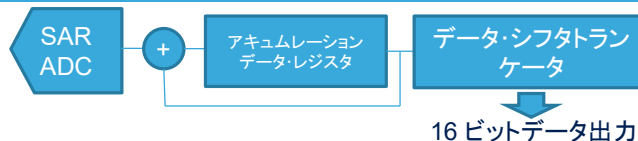
## データの前処理によりCPUの負荷を軽減

- プログラム可能なオーバーサンプリング比:  
2~256倍

- プログラム可能なデータシフタ & トランケーター

- 0~8ビットの右シフト
- 結果が16ビットデータレジスタに収まるように4ビット切り詰め ( $2^8 * 2^{12} = 2^{20}$ )

- 平均化、データレートの削減、SNRの向上、および基本的フィルタリング



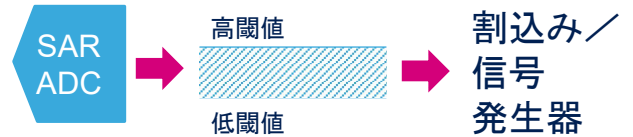
オーバーサンプリング比	出力分解能	同等のサンプリング周波数 (最大値)
x1 (なし)	12ビット	2.5 Mサンプリング/秒
x16	16ビット	156.25kサンプリング/秒
x256	20ビット (シフト & トランケーター(切り捨て)の前)	9.77kサンプリング/秒

ADC は、ハードウェアオーバーサンプリングをサポートしています。CPU のサポートなしで、2~256 倍のサンプリングを実行できます。変換後のデータはレジスタに累算され、データシフタとトランケーターで処理してから出力できます。

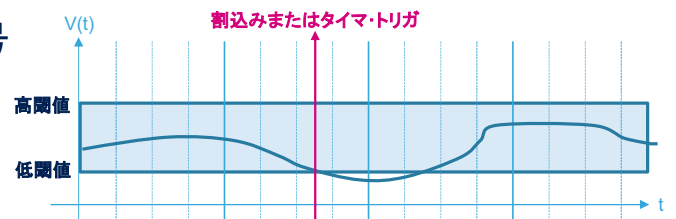
この機能は、平均化関数として、またはデータレートの削減、信号対雑音比の向上、および基本的フィルタリングのために、使用できます。

## ソフトウェアのオーバーヘッドを削減

- ADC には3つのウィンドウ型ウォッチドッグ
  - 1つのアナログ・ウォッチドッグは、選択した1つのチャンネルまたは有効にしたすべてのチャンネルを監視
  - 2つのアナログウォッチドッグは、選択した複数のチャンネルを監視可能
- 各ウォッチドッグは、高閾値を上回る／低閾値を下回る状態を継続的に監視し、それらの状態が発生すると割込みまたは外部信号のどちらかを生成



ウィンドウウォッチドッグ	監視するチャンネル
AWD1	1つまたはすべて
AWD2	ADC_AWD2CR で選択されているすべてのチャンネル
AWD3	ADC_AWD3CR で選択されているすべてのチャンネル



各 ADC には、3 つの 12 ビットアナログウォッチドッグが組み込まれており、高閾値と低閾値を設定できます。ADC の変換値をこのウィンドウ閾値と比較して、結果が閾値に収まらない場合、CPU の介入なしで割込みまたはタイマトリガ信号をアサートできます。

## ソフトウェアのオーバーヘッドを削減

- レギュラ変換データは16ビット・データレジスタに保存
  - ソフトウェア・ポーリング、割込み、またはDMAリクエストによりデータを移動
  - 前に変換したデータが現在のデータで上書きされた場合、OVERRUNフラグがセット
  - アナログ・ウォッチドッグの場合は各データの処理は不要
    - OVERRUNフラグは無効可能
- オーバーラン・イベントが発生した場合にデータを保持するか、または上書きするかを設定できる



ADC 変換結果は 16 ビットデータレジスタに保存されます。システムは、CPU ポーリング、割込み、または DMA コントローラを使用して変換データを利用できます。次の変換データの準備が完了する前にデータが読み出されなかった場合、オーバーランフラグを生成できます。オーバーランが発生した場合、新しいサンプルが破棄されるか、または前のサンプルが上書きされます。

割込みイベント	説明	割込みイベント	説明
ADRDY	ADC変換の準備完了	AWD1-3	アナログ・ウォッチドッグ閾値違反検出の発生
EOC	変換の終了	EOSMP	サンプリング・フェーズの終了
EOS	シーケンスの終了	OVR	データ・オーバーランの発生
EOCAL	較正の終了	CCREADY	チャンネル設定の準備完了

- チャンネル変換が終了するたびにDMAリクエストを生成可能



各 ADC は、ADC の準備完了、変換の終了、シーケンスの終了、較正の終了、アナログウォッチドッグ、サンプリングの終了、データオーバーラン、およびチャンネル設定の準備完了の 8 つの異なる割込みを生成できます。変換が終了して ADC 出力データの準備が完了するたびに、DMA リクエストを生成できます。

モード	説明
RUN	アクティブ
SLEEP	アクティブ。ペリフェラル割込みによって、デバイスはSLEEPモードを終了
STOP	利用できない。ペリフェラルレジスタの内容は保持
STANDBY	パワーダウン。ペリフェラルは、STANDBYモード終了後に再初期化が必要

- ディープ・パワーダウン・モードでは、各ADCのアナログ部分はオンチップ電源スイッチによりスイッチオフされる



ADC は、RUN モードおよび SLEEP モードでアクティブです。STOP モードでは利用できませんが、そのレジスタの内容は保持されます。STANDBY モードではパワーダウン状態であり、高電力状態に復帰する際は再初期化する必要があります。各 ADC はそれ自体にディープパワーダウンモードがあり、オンチップ電源スイッチをオフにすることによりリーク電流が低減されます。ADC を使用しない場合は常にこのモードにすることを推奨します。



	状態	データ (標準)	単位
サンプリングレート	12ビット・モード	2.5	Mサンプリング/秒
	10ビット・モード	2.9	Mサンプリング/秒
	8ビット・モード	3.5	Mサンプリング/秒
微分直線性誤差		±1.2	LSB
積分直線性誤差	12ビットモード	±2.5	LSB
有効ビット数(ENOB)	12ビットモード	10.2	ビット
消費電流	2.5Mサンプリング/秒	475	μA
	10kサンプリング/秒	17	μA



スライドの表に、ADC の性能パラメータを示します。値はすべて暫定です。

# 機能の比較

STM32F0 MCU内蔵ADC	STM32G0 MCU内蔵ADC
TSMC180	TSMC090
性能分解能	同じ
変換時間: 12ビット分解能で 1 μs	12ビット分解能で0.4μs (2.5Mサンプリング/秒)
較正、サンプリング時間データ配置、および DMA サポート	同じ
低消費電力: 周波数、ウェイトモード & 変換フェーズ、およびアナログ入力チャネル	同じ
1 x アナログ・ウォッチドッグ	3 x アナログ・ウォッチドッグ
変換トリガ: Tim1/2/3/15	Tim1/2/3/6/15
変換モード、割込み	同じ
電源: 2.4~3.6 V	1.62~3.6V
ハードウェア・オーバーサンプリングなし	ハードウェア・オーバーサンプリングあり
簡易シーケンサ、グローバル・サンプリング時間 x1	高度なシーケンサ、サンプリング時間グループ x2



スライドの表に、STM32F0 内蔵 ADC と STM32G0 内蔵 ADC 比較を示します。

- 必要に応じて、次のペリフェラルに関連するトレーニングを参照：
  - DMA - ダイレクト・メモリ・アクセス・コントローラ
  - 割込み - ネスト化されたベクタ割込みコントローラ
  - GPIO - 汎用入出力
  - RCC - クロック・モジュール
  - DAC - デジタル・アナログ・コンバータ
  - TIM - 割込み／イベント・トリガ用タイマ



life.augmented

これらのペリフェラルは、ADC と組み合わせて正しく使用するために特別な設定が必要な場合があります。詳細については、対応するペリフェラルのトレーニングモジュールを参照してください。

- 詳細については、次のリソースを参照：
  - アプリケーションノート AN2834: How to get the best ADC accuracy in STM32Fx Series and STM32L1 Series devices
  - アプリケーションノート AN4073: How to improve ADC accuracy when using STM32F2xx and STM32F4xx microcontrollers
  - アプリケーションノート AN2668: Improving STM32F1x and STM32L1x ADC resolution by oversampling
  - アプリケーションノート AN4629: ADC hardware oversampling for microcontrollers of the STM32 L0 and L4 series



life.augmented

アナログデジタルコンバータ専用のアプリケーションノートが多数公開されています。ADCの詳細については、逐次比較型アナログデジタルコンバータについて説明する広範囲にわたる Web ページをご覧ください。