



STM32G0- Arm[®] コア

Arm[®] Cortex[®]-M0+ コア

レビジョン 1.0

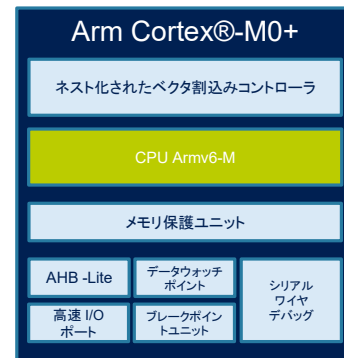


STM32G0 マイクロコントローラファミリ全製品に搭載されている ARM[®] Cortex[®]-M0+ コアのプレゼンテーションへようこそ。

Cortex-M0+ プロセッサ概要

2

- ARMv6-M アーキテクチャ
- フォンノイマン・アーキテクチャ、2段パイプライン
- シングルスルー・アーキテクチャ
- 1サイクル乗算
- メモリ保護ユニット(MPU)
- シングル・サイクルI/Oポート



超低消費電力設計	非常にコンパクトなコード
低消費電力消費と 高エネルギー効率	制御命令、分岐、リンクを除くすべての命令は 16ビット長



Cortex®-M0+ コアは、32 ビット RISC コアの ARM Cortex-M グループに含まれます。ARMv6-M アーキテクチャが実装されており、2 段パイプラインを特徴としています。

Cortex®-M0+ には、独自の AHB-Lite マスタポートが備わっていますが、データアクセスが高速 I/O ポートアドレス範囲を対象としている場合に、命令フェッチとデータアクセスの同時実行をサポートします。

Cortex-M の互換性

3

- すべてのアプリケーションにわたってシームレスなアーキテクチャ

Cortex-M0 および M0+	Cortex-M3	Cortex-M4	Cortex-M7
超低消費電力	ARM がリリースした 最初の Cortex®-M CPU	高性能	

バイナリ互換およびツール互換



比類なきミリワットあたりの性能比のメリットを活用するために、STM32G0 マイクロコントローラには、ARM® Cortex®-M0+ コアが搭載されています。

すべての Cortex®-M CPU は 32 ビットアーキテクチャを採用しています。

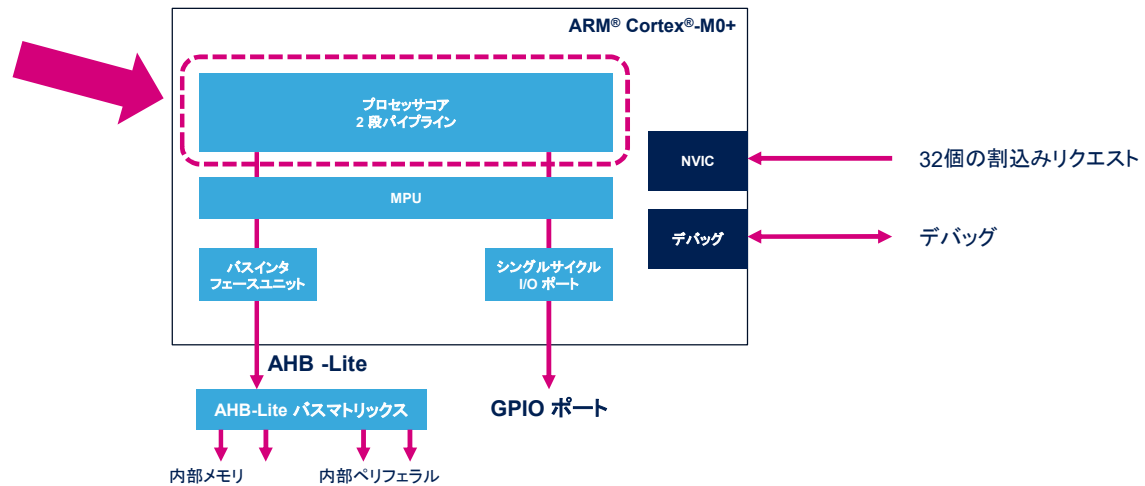
Cortex®-M3 は ARM がリリースした最初の Cortex®-M CPU です。

その後、ARM は、互換性は維持しながらも、高性能と低消費電力の 2 種類の製品ラインを分離して特徴付けることを決定しました。

Cortex®-M0+ は低消費電力製品ラインに属します。消費電力に非常に敏感なバッテリー電源デバイス用として設計されています。

コアアーキテクチャの概要

4

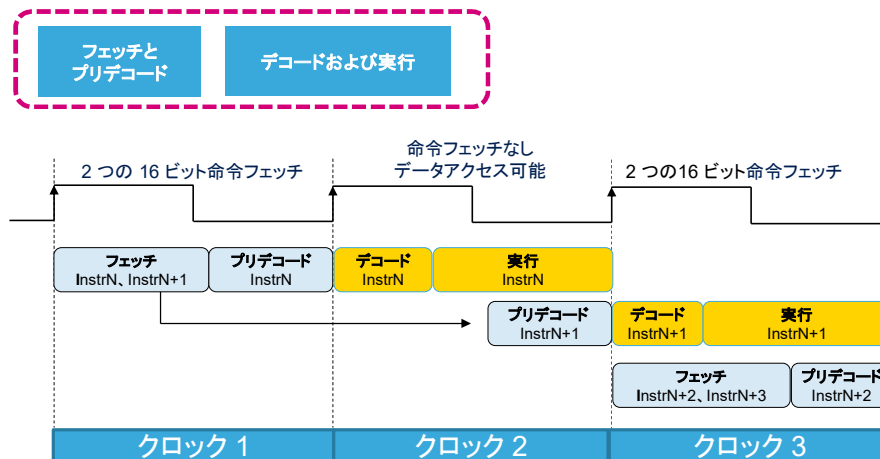


Cortex[®]-M0+ コアは、2 段命令パイプラインのおかげで Cortex[®]-M0 コアよりも高性能を発揮します。

命令のフェッチと実行を担当するプロセッサコアから、CPU の説明を始めましょう。

Arm Cortex-M0+は2段パイプライン

5



大部分の V6-M 命令は 16 ビット長です。32 ビット命令はわずか 6 命令だけであり、そのほとんどはまれにしか使用されない制御命令です。ただし、サブプログラムのコールに使用される分岐命令とリンク命令は、この命令と実行予定である次の命令をポイントするラベル間の大きなオフセットに対応するために 32 ビット長となっています。

32 ビットアクセス 1 回で 16 ビット命令に 2 個ずつアクセスし、命令あたりのフェッチ回数が少なくなるのが理想的です。

クロック 2 の間は命令フェッチは発生しません。AHB Lite ポートを使用すると、命令 N がロード／ストア命令である場合にデータアクセスを実行することができます。

- Cortex®-M0+ コア
 - 最大2個の16ビット分岐シャドウ命令



任意の分岐において、(2 段パイプラインのおかげで)プリフェッチされた命令が破棄される個数は少なくなります。

クロック 1 において、プロセッサは Inst0 と無条件分岐命令をフェッチします。

クロック 2 において、Instr0 を実行します。

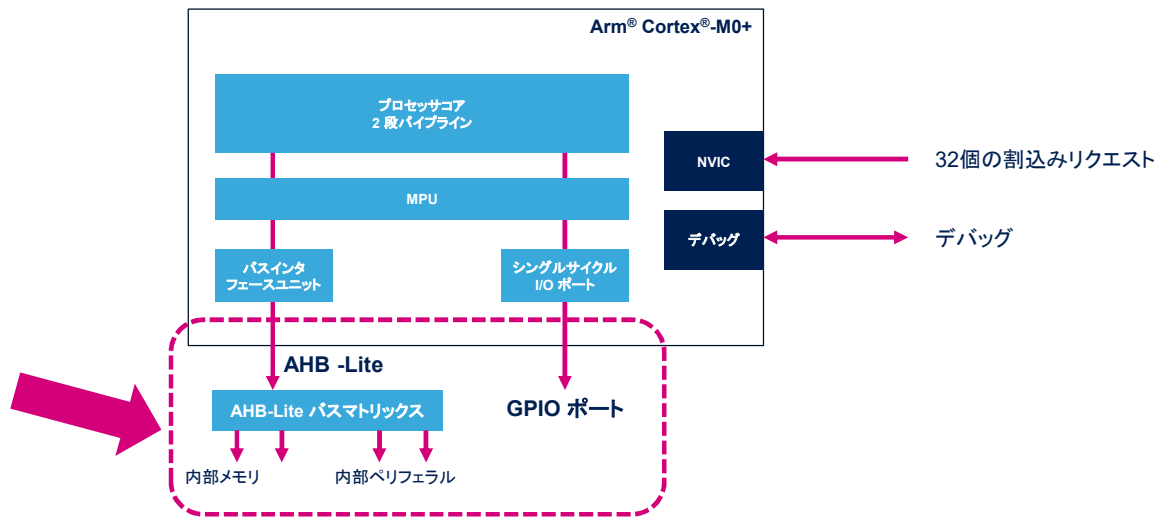
クロック 3 において、分岐命令を実行すると同時に、次の連続した 2 個の命令 Inst1 と Inst2 (分岐シャドウ命令と呼ばれる)をフェッチします。

クロック 4 において、プロセッサは Inst1 と Inst2 を破棄し、InstrN と InstN+1 をフェッチします。

Cortex-M0、M3、M4 には、3 段パイプライン(フェッチ、デコード、実行)が実装されています。分岐シャドウ命令の個数が、最大 4 個の 16 ビット命令 まで増加しています。

コアアーキテクチャの概要

7



Cortex®-M0+ にはキャッシュも内部 RAM もありません。その結果として、あらゆる命令フェッチトランザクションは AHB-Lite インタフェースへと誘導され、あらゆるデータアクセスは AHB-Lite インタフェースまたはシングルサイクル I/O へと誘導されます。

STM32G0 には、CPU の外部に SoC レベルキャッシュが搭載されていることに注意してください。

AHB-Lite マスタポートはバスマトリックスに接続されているため、CPU はメモリとペリフェラルにアクセス可能となります。トランザクションは AHB-Lite でパイプライン転送されるため、最大スループットは、クロックあたり 32 ビットのデータまたは命令であり、最低で 2 クロックの遅延が発生します。

Cortex®-M0+ はまた、シングルサイクル I/O ポートを搭載しているため、1 クロックの遅延で CPU からデータにアクセスできます。外部デコードロジックは、データアクセスがこのポートへと誘導されるアドレス範囲を決定します。

STM32G0 では、シングルサイクル I/O ポートは GPIO ポートレジスタへのアクセスに使用されるため、これらのポートはプロセッサの周波数で動作できます。

コアアーキテクチャの概要

8

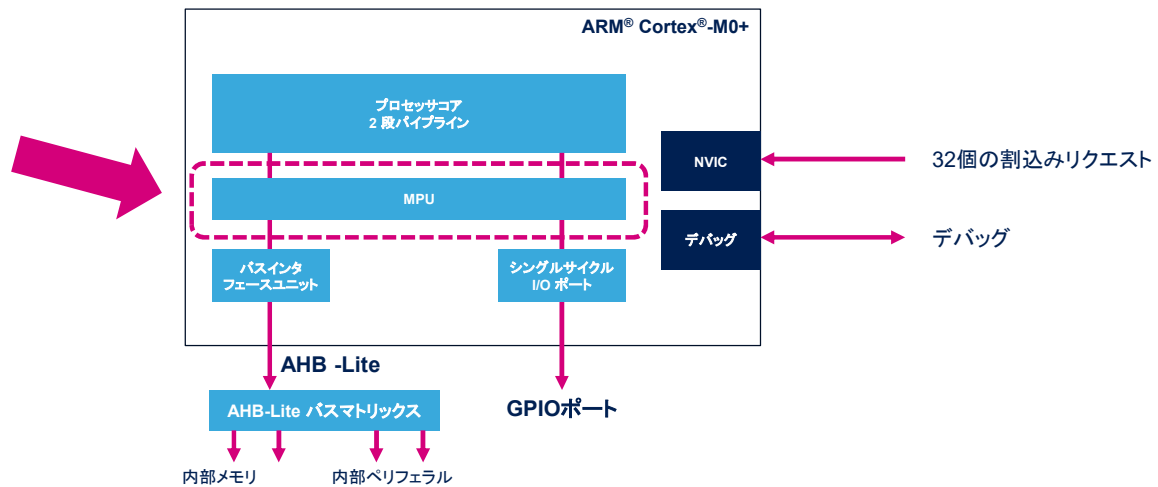


ロードまたはストア命令のアドレスがシングルサイクル I/O ポートアドレスアパーチャ内に収まらない場合は、トランザクションが AHB-Lite ポートで実行され、CPU が同一クロック内で命令をフェッチするのを防ぎます。

ロードまたはストア命令のアドレスがシングルサイクル I/O ポートアドレスアパーチャに収まる場合は、このポートでトランザクションが実行され、場合によっては命令フェッチと同時に実行されます。

コアアーキテクチャの概要

9



Cortex®-M0+ コアでは、設定済みのアクセス許可に応じて、アドレス範囲を保護するためにメモリ保護ユニット(MPU)が使用されます。

- MPU属性設定でアクセス許可を定義
- 8個の独立したメモリ領域
 - コードを実行できるか？
 - データを書き込めるか？
 - 非特権モードアクセス？



STM32G0 マイクロコントローラの MPU は、8 個の独立したメモリ領域をサポートしており、以下の属性を個別に設定できます。

- アクセス許可：特権／非特権モードでの読出し／書込みの許可／禁止
- 実行許可：命令フェッチの実行可能領域または禁止領域

- 詳細については、次の文書を参照：

- STM32G0シリーズCortex®-M0+プロセッサ・プログラミング・マニュアル (STM32G0 Series Cortex®-M0+ processor programming manual) (PM0223)
- STM32マイコンにおけるメモリ保護ユニット (MPU) の管理 (Managing memory protection unit (MPU) in STM32 MCUs) (AN4838)
- 以下のリンクのArm Web サイト
 - <http://www.arm.com/products/processors/cortex-m/cortex-m0+-processor.php>



詳細については、www.st.com の Web サイトで入手可能なこれらのアプリケーションノートと Cortex®-M0+ プログラミングマニュアルを参照してください。

Cortex®-M0+ コアの詳細については、ARM Web サイトも参照してください。