



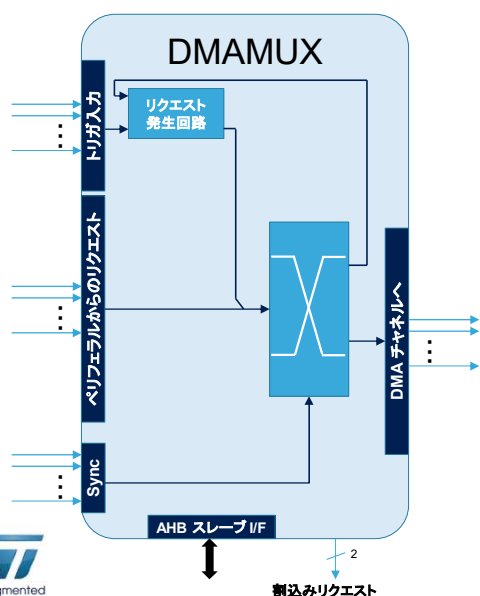
STM32G0 - DMAMUX

ダイレクト・メモリ・アクセス・マルチプレクサ

レビジョン 1.0



STM32G0 DMA リクエスト・マルチプレクサ (DMAMUX) のプレゼンテーションへようこそ。ここでは、このモジュールの主な機能について説明します。



- DMAリクエスト・ルータ(DMAMUX)は以下を管理:
 - DMAリクエストラインのペリフェラルへの割当て
 - 同期入力のイベントとの同期を転送するリクエスト
 - DMAリクエスト・カウンタとDMA用イベント・ジェネレータを使用したリクエスト連鎖

アプリケーション側の利点

- DMAリクエスト・マッピングの選択における高い柔軟性
- 外部および内部のDMAリクエスト管理
- リクエスト同期
- リクエスト連鎖機能

DMAMUX リクエスト・マルチプレクサにより、STM32G0 のペリフェラルとその DMA コントローラの間で DMA リクエストラインをルーティングすることができます。ルーティング機能は、プログラム可能なマルチチャンネル DMA リクエストライン・マルチプレクサにより確保されます。各チャンネルは、DMAMUX 同期入力のイベントで無条件に、または同期的に一意の DMA リクエストラインを選択します。DMAMUX は、入カトリガ信号のプログラム可能なイベントからの DMA リクエスト・ジェネレータとしても使用できます。

リクエスト連鎖機能は、別のチャンネルを有効にするためにリクエスト・ジェネレータの入力として使用される特定の出力チャンネルで生成されたイベントに基づいています。

DMAMUX は、2 つの割込みリクエスト出力をサポートします。DMAMUX レジスタには、AHB スレーブ・インタフェースを介してアクセスします。

- DMAMUXはDMAリクエスト・マルチプレクサ／ルータである
 - DMAMUXは、任意のペリフェラル・リクエストからの7つのDMA(ハードウェア)リクエストのいずれかに対するプログラム可能なルーティングを提供する
- さらに、4つのリクエスト・ジェネレータ・チャンネルがある
 - ソフトウェアは、トリガ入力時に、DMAMUX自体によって生成されるDMAリクエストを設定できる
 - 以下がプログラム可能:
 - トリガ選択: EXTIO..15、LPTIM1/2OUT、TIM14_OC、または生成された4つのDMAMUXイベントのいずれか
 - トリガ・イベント: 立ち上がりエッジ、立ち下がりエッジ、または両方のエッジ
 - トリガ・イベント時に生成されたDMAリクエストの数
 - (DMAのペースでの)生成されたDMAリクエストの数が次のトリガ・イベントの前に完了していない場合にソフトウェアにアラートを出すために、トリガ・オーバーラン・フラグと割込みがある



DMAMUX は、ペリフェラル・リクエストを 7 つの使用可能な DMA チャンネルにマッピングするために使用されます。このマッピングはプログラム可能です。

さらに DMAMUX は、トリガを DMA リクエストに変換する 4 チャンネルのリクエスト・ジェネレータを内蔵しています。

次のトリガがサポートされています: 16 の外部割込み、低消費電力タイマ 1 および 2 のタイムアウト、タイマ 14 の出力比較、および DMAMUX 自体によって生成される 4 つのイベント。

DMAMUX イベントにより、ユーザはソフトウェアの介入なしに DMA 転送を連鎖させることができます。

各リクエスト・ジェネレータは、以下を選択するためのプログラム可能なレジスタを備えています:

- トリガ入力、
- トリガのアクティブエッジ、
- 生成された DMA リクエストの数。

前のトリガが原因で生成された DMA リクエストの数が完了していないときに、新しいトリガが検出されると、オーバーラン割込みリクエストがアサートされます。

STM32G0 DMAおよびDMAMUXインスタンス

4

DMAMUXの機能	DMAMUX
ペリフェラル・リクエストの数	57
リクエスト・ジェネレータ・チャンネルの数	4
トリガ入力の数	23
同期入力の数	23
出力DMAリクエストの数	7

DMAの機能	DMA
チャンネル数	7

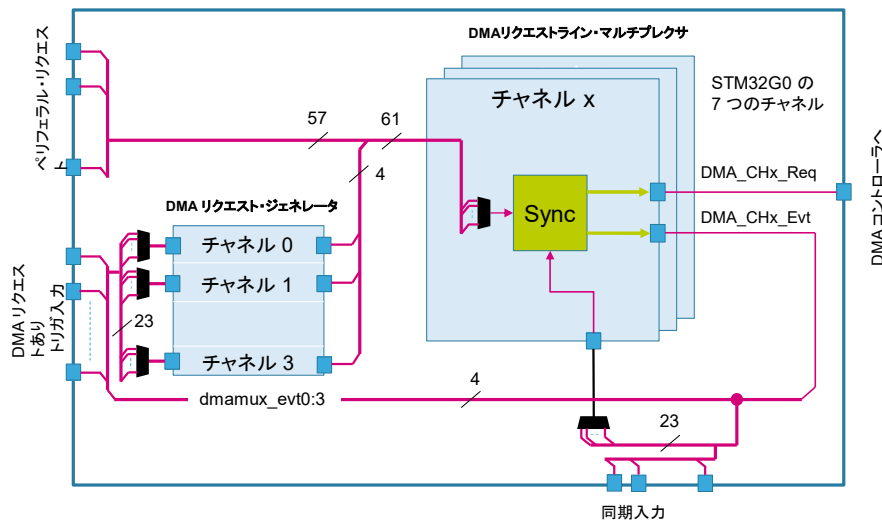


STM32G0 でインスタンス化された DMAMUX には、次の機能があります：

- 7 つの DMA チャンネルにマッピングされた 57 のペリフェラル・リクエスト、
- 4 つのリクエスト・ジェネレータ・チャンネル、
- 23 のトリガ入力、
- 23 の同期入力。

DMAMUXブロック図

5



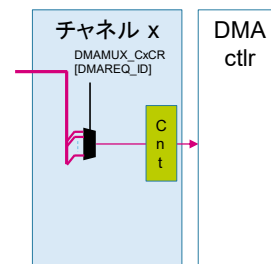
DMAMUX には、リクエストライン・マルチプレクサとリクエストライン・ジェネレータの 2 つの主なサブブロックがあります。DMAMUX リクエスト・マルチプレクサにより、STM32G0 のペリフェラルと DMA コントローラの間で DMA リクエストラインをルーティングすることができます。ルーティング機能は、プログラム可能なマルチチャンネル DMA リクエストライン・マルチプレクサにより確保されます。各チャンネルは、DMAMUX 同期入力のイベントで無条件に、または同期的に一意の DMA リクエストラインを選択します。DMAMUX は、入力トリガ信号のプログラム可能なイベントからの DMA リクエスト・ジェネレータとしても使用できます。DMA リクエストライン・マルチプレクサは、DMA コントローラへのリクエストと、同期入力およびトリガ入力として使用できるイベントの両方を生成します。DMA リクエスト・ジェネレータ・チャンネル(0~3)と DMA リクエストライン・マルチプレクサ・チャンネル(1~7)を混同しないでください。

DMAMUX動作モード(1/2)

6

無条件動作モード

- 無条件動作モードの場合、1つの入力DMAリクエストのマルチプレクサ・チャンネルの出力への接続は、以下を介して選択される：
 - チャンネル制御レジスタ(DMAMUX_CxCR)のDMAREQ_IDフィールドのプログラムされたリクエストID番号
 - ペリフェラル・リクエスト・ラインごとに、IDが割り当てられる
 - DMAREQ_ID = 0x00は、選択されたDMAリクエスト・ラインがないことに対応する
- DMAMUXチャンネルを設定した後、そのルーティング先のDMAコントローラ・チャンネルを設定できる
 - 異なる2つのDMAMUXチャンネルが同じDMAリクエスト・ソースを選択するように設定することはできない



無条件動作モードでは、DMAMUX リクエスト・マルチプレクサにより、ペリフェラルと DMA チャンネルの間で DMA リクエストラインをルーティングすることができます。

マルチプレクサが設定されている場合、DMA リクエスト／確認応答制御信号の実際のルーティングが確保されます。

マルチプレクサ・チャンネルの出力へのペリフェラル・リクエストの接続は、チャンネル制御レジスタ(DMAMUX_CxCR)の DMAREQ_ID フィールドのプログラムされたリクエスト ID を介して選択されます

- ペリフェラル・リクエスト・ラインごとに、ID が割り当てられます。
- DMAREQ_ID = 0x00 は、選択された DMA リクエストラインがないことに対応します。

DMAMUX チャンネルを設定した後、そのルーティング先の DMA コントローラチャンネルを設定できます。

異なる 2 つの DMAMUX チャンネルが同じ DMA リクエストソースを選択するように設定することはできません。

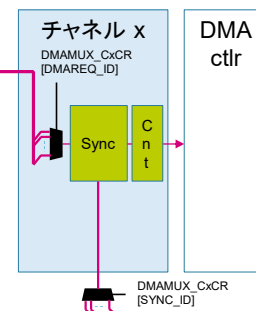
DMAMUX イベント出力は、DMA リクエストカウンタが値 0 に達したときに生成されます。その動作については、次のスライドで説明します。

DMAMUX動作モード(2/2)

7

同期動作モード

- 同期動作モードの場合、入力DMAリクエストのマルチプレクサ・チャンネルの出力への接続は、以下によって条件付けされる：
 - 制御レジスタのSYNC_IDフィールドを介して選択された同期入力イベント
 - 同期イベントは、選択した入力の立ち上がりエッジ、立ち下がりエッジ、または両方のエッジになる。
 - 内蔵DMAリクエスト・カウンタ
- 処理された各DMAリクエストは、同期イベントの後に、DMAリクエスト・カウンタをデクリメントする。アンダーランの際：
 - DMAリクエスト・カウンタには、制御レジスタのNBREQフィールドの値が自動的にロードされる
 - DMAリクエストラインは、マルチプレクサ・チャンネルの出力から切断される



各 DMA リクエストライン・マルチプレクサは、対応するマルチプレクサ・チャンネル制御レジスタ(DMAMUX_CxCR)の同期有効化(SE)ビットをセットすることにより、個別に同期動作モードに設定できます。

DMA リクエストルータには、複数の同期入力があります。同期入力は、すべてのマルチプレクサ・チャンネルに並列に接続されます。

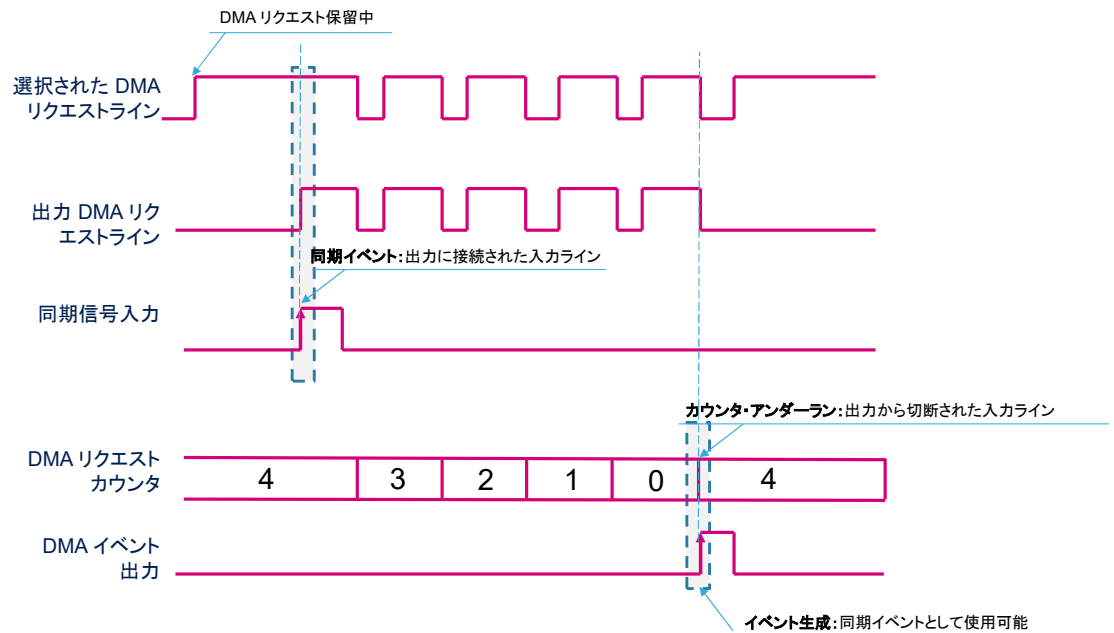
マルチプレクサ・チャンネルが同期動作モードの場合、選択された入力DMAリクエストラインのマルチプレクサ・チャンネルの出力への効果的な接続は、選択された同期入力および内蔵DMAリクエストカウンタのイベントにより条件付けられます。

同期イベントが発生すると、選択されたDMAリクエストラインがマルチプレクサ・チャンネルの出力に接続されます。この点以降、選択されたDMAリクエストライン上の処理済みの各DMAリクエスト(1から0への遷移)によって、DMAリクエストカウンタはデクリメントされます。

アンダーランの際、DMAリクエストカウンタには制御レジスタのNBREQフィールドの値が自動的にロードされ、DMAリクエストラインはマルチプレクサ・チャンネルの出力から切断されます。このため、同期イベントに続いてマルチプレクサ・チャンネルの出力に転送されるDMAリクエストの数は、NBREQフィールドの値に1を加えた値になります。

DMAMUX同期モード

8



DMAMUX チャンネルが同期モードに設定されている場合、その動作は以下ようになります。

リクエスト・マルチプレクサ入力(ペリフェラルからの DMA リクエスト)はアクティブにすることができますが、同期信号が受信されるまで、DMAMUX リクエスト・マルチプレクサ出力に転送されません。

同期イベントを受信すると、リクエスト・マルチプレクサはその入力と出力を接続し、すべてのペリフェラル・リクエストが転送されます。

DMA リクエストが転送されるたびに、リクエスト・マルチプレクサ・カウンタ(ユーザがプログラムした値)がデクリメントされます。カウンタがゼロに達すると、DMA コントローラとペリフェラルの間の接続は切断され、新しい同期イベントを待ちます。

カウンタがアンダーランするたびに、リクエスト・マルチプレクサ・ラインがオプションのイベントを生成して、2 番目の DMAMUX ラインと同期させることができます。同じイベントを、CPU の介入なくシステムを STOP モードに戻す一部の低消費電力シナリオで使用することができます。

同期モードは、たとえば、データ転送をタイマに自動同期させたり、ペリフェラル・イベントで転送をトリガするために使用することができます。

同期モードに関する考慮事項

9

- 同期イベント(エッジ)は、エッジ後の状態が2 HCLKクロック周期よりも長く安定している場合に検出される。
- DMAMUXチャンネル制御レジスタ(DMAMUX_CxCR)に書き込んだ後、同期イベントは3 HCLKサイクルの間、マスクされる



同期イベント(エッジ)は、エッジ後の状態が 2 AHB クロック周期よりも長く安定している場合に検出されます。

この遅延により、同期イベントでのグリッチが考慮されなくなります。

DMAMUX_CxCR 制御レジスタに書き込んだ後、同期イベントは 3 HCLK サイクルの間、マスクされます。

この遅延により、制御レジスタの更新中に発生する可能性のある同期イベントがマスクされ、準安定状態となります。

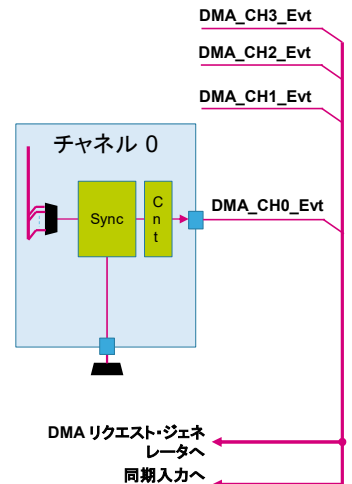
同期イベントのオーバーラン状態は、リクエスト・マルチプレクサ・カウンタがゼロ以外のときに新しい同期イベントを受信すると発生します。

DMAMUX動作モード

10

DMAリクエストライン・マルチプレクサ・イベント生成モード

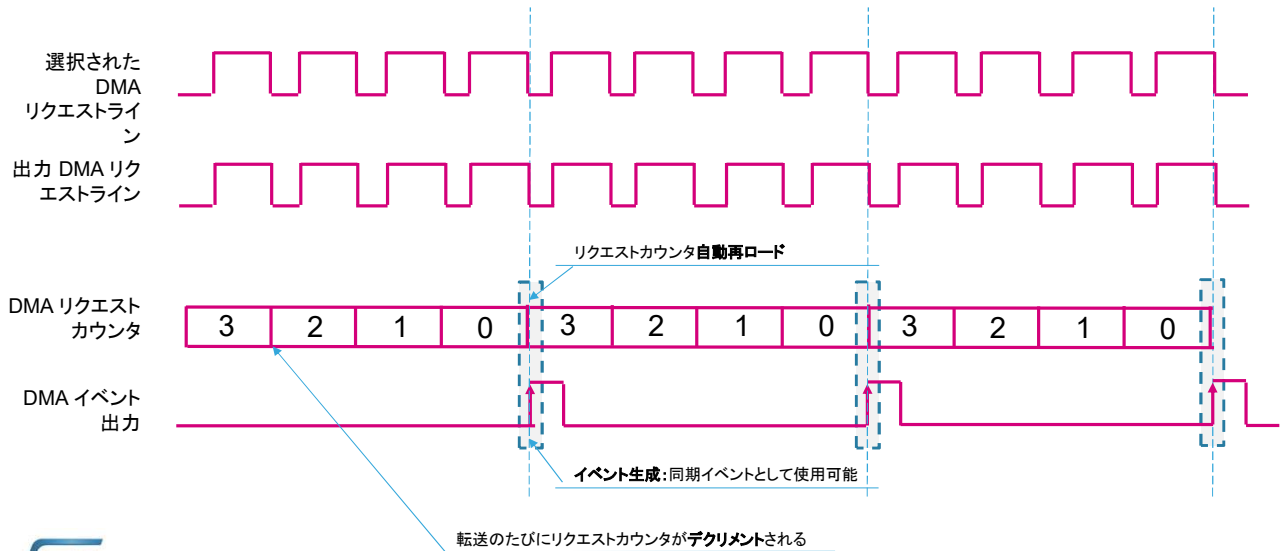
- 各DMAリクエストライン・マルチプレクサ・チャンネルは、イベント生成動作モードで個別に設定できる。
- DMAMUXチャンネル制御レジスタの個別のイネーブル・ビット(EGEビット)
- DMAMUXチャンネルは、DMAリクエスト・カウンタに対応するNBREQフィールドの値が自動的に再ロードされると、イベント(パルス)を生成する。
- DMAMUXチャンネルのイベント出力は、別のチャンネルの同期イベントまたはトリガとして使用できる
 - これにより、異なるDMAチャンネルでのリクエスト連鎖が可能になる



マルチプレクサ・チャンネルが有効である場合、DMA リクエストカウンタに対応する NBREQ フィールドの値が自動的に再ロードされると、イベント(パルス)を生成します。イベント・ジェネレータは、対応するマルチプレクサ・チャンネルの制御レジスタの EGE ビットをセットすることで有効になります。イベントの生成をサポートするのは、チャンネル 0~3 の 4 つのチャンネルのみです。

DMAMUXイベント生成モード

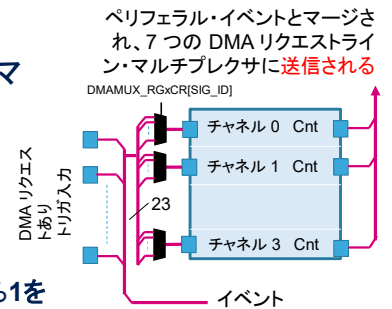
11



DMAMUX チャンネルがイベント生成モードの場合、その DMA リクエストカウンタが自動的に再ロードされると、イベント(パルス)が生成されます。リクエストカウンタは、DMA リクエストの実行に伴ってデクリメントされます。DMAMUX チャンネルのイベント出力は、同期イベントまたは別のチャンネルのトリガとして使用できます。

DMAリクエスト・ジェネレータ動作モード

- リクエスト・ジェネレータ・チャンネルを有効にすると、トリガ・イベントに続いてDMAリクエストを生成できる
- DMAジェネレータ・チャンネルの出力は、DMAリクエスト・ライン・マルチプレクサの入力に送られる
- 各ジェネレータ・チャンネルには、個別の設定レジスタがある：
 - SIG_IDフィールドは、ジェネレータのリクエスト・トリガ入力に対応する。
 - GNBREQフィールドは、トリガ・イベントの後に生成するDMAリクエストの数から1を引いた数に対応する。
 - GPOLフィールドは、トリガ入力のアクティブエッジに対応する。トリガイ・イベントは、トリガ入力の立ち上がりエッジ、立ち下がりエッジ、または両方のエッジになる



DMA リクエスト・ジェネレータでは、その出力時に、DMA リクエストトリガ入力のトリガイイベントに続いて、DMA リクエストを生成します。

DMA リクエスト・ジェネレータには複数の 4 つのチャンネルがあります。DMA リクエストトリガ入力は、4 つのチャンネルに並列に接続されます。

DMA ジェネレータ・チャンネルの出力は、DMA リクエストライン・マルチプレクサの入力に送られます。

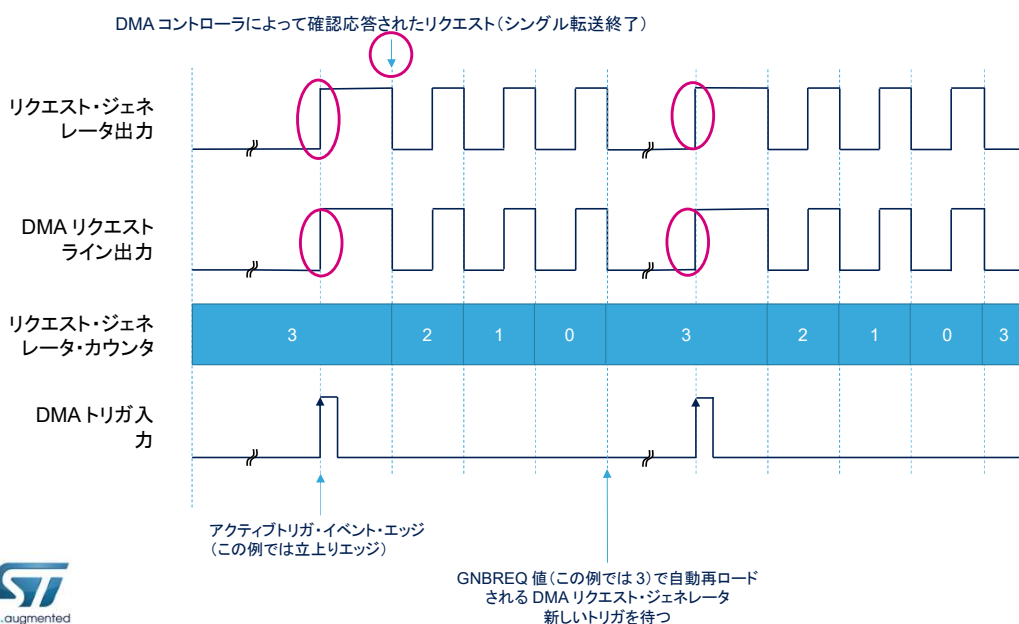
各 DMA リクエスト・ジェネレータ・チャンネル(このセクションでは以降「ジェネレータ・チャンネル」と呼びます)には、イネーブルビットがあります。

ジェネレータ・チャンネル x の DMA リクエストトリガ入力は、対応するジェネレータ・チャンネルの制御レジスタの SIG_ID フィールドを介して選択されます。

DMA リクエストトリガ入力のトリガイイベントは立ち上がりエッジと立ち下がりエッジのいずれかです。アクティブエッジは、対応するジェネレータ・チャンネルの制御レジスタの POL フィールドを介して選択されます。

DMAリクエスト・ジェネレータ・モード

13



このスライドは、DMA リクエスト・ジェネレータを使用して、単一の DMA トリガ入力エッジ検出から一連の DMA リクエストを生成する方法を示しています。

トリガイベント時、対応するジェネレータ・チャンネルでは出力時に DMA リクエストの生成を開始します。処理された各 DMA リクエストは(リクエスト信号がデアサートされた場合)、DMAMUX リクエスト・ジェネレータに対して内部的に内蔵 DMA リクエストカウンタをデクリメントします。アンダーランの際、DMA リクエストカウンタには対応する DMAMUX_RGxCR レジスタの GNBREQ フィールドの値が自動的にロードされ、リクエスト・ジェネレータ・チャンネルは DMA リクエストの生成を停止します。

このため、トリガイベント後に生成される DMA リクエストの数は、GNBREQ フィールドの値に 1 を加えた値になります。

DMAリクエスト・ジェネレータ・チャンネル

14

- トリガ・イベント時、対応するジェネレータ・チャンネルでは出力時にDMAリクエストの生成を開始する
- 処理された各DMAリクエストは、トリガ・イベントの後に、DMAリクエスト・カウンタをデクリメントする
 - アンダーランの際：
 - DMAリクエスト・ジェネレータ・カウンタには、ジェネレータ制御レジスタのGNBREQフィールドの値がロードされる
 - そしてジェネレータ・チャンネルはDMAリクエストの生成を停止する



トリガイベント時、対応するジェネレータ・チャンネルでは出力時にDMAリクエストの生成を開始します。処理済みの各DMAリクエスト(1から0への遷移)によって、内蔵DMAリクエストカウンタはデクリメントされます。

アンダーランの際、DMAリクエストカウンタには対応するジェネレータ・チャンネルの制御レジスタのGNBREQフィールドの値が自動的にロードされ、ジェネレータ・チャンネルはDMAリクエストの生成を停止します。

このため、トリガイベント後に生成されるDMAリクエストの数は、GNBREQフィールドの値に1を加えた値になります。

DMAリクエスト・ジェネレータに関する考慮事項

15

- トリガ・イベント(エッジ)は、エッジ後の状態が2 HCLKクロック周期よりも長く安定している場合に検出される。
- DMAMUXリクエスト・ジェネレータ制御レジスタ(DMAMUX_RGxCR)に書き込んだ後、トリガ・イベントは3 HCLKサイクルの間、マスクされる



トリガイイベント(エッジ)は、エッジ後の状態が2 AHB クロック周期よりも長く安定している場合に検出されます。

この遅延により、トリガ入力でのグリッチが考慮されなくなります。

DMAMUX_RGxCR 制御レジスタに書き込んだ後、トリガイイベントは3 HCLK サイクルの間、マスクされます。

この遅延により、制御レジスタの更新中に発生する可能性のあるトリガイイベントがマスクされ、準安定状態となります。

オーバーランおよび割込み

16

- 次の場合に割込みを生成することができる

- 各DMAリクエスト・ライン・マルチプレクサ・チャンネルの同期イベント・オーバーラン

- NBREQフィールド値よりもDMAリクエスト・カウンタの値が低い間、新しい同期イベントが発生すると生じる
- ステータスレジスタの同期オーバーランフラグSOFxがセットされる
- 同期オーバーラン割込みイネーブルビットSOIEがセットされている場合、割込みが生成される

- 各DMAリクエスト・ジェネレータ・チャンネルのトリガ・イベント・オーバーラン

- GNBREQフィールド値よりもDMAリクエスト・カウンタの値が低い間、新しいDMAリクエストのトリガ・イベントが発生すると生じる
- ステータスレジスタのトリガ・イベント・オーバーランフラグOFxがセットされる
- DMAリクエスト・トリガ・イベントのオーバーラン割込みイネーブルビットOIEがセットされている場合、割込みが生成される



NBREQ フィールド値よりも DMA リクエストカウンタの値が低い間、新しい同期イベントが発生すると、ステータスレジスタ DMAMUX_CSR の同期イベント・オーバーランフラグ SOF_x がセットされます。

このフラグは、DMAMUX_CFR レジスタの関連するクリアビット CSOF_x をセットすることでクリアされます。

対応するマルチプレクサ・チャンネルの設定レジスタの同期オーバーラン割込みイネーブルビット SOIE がセットされている場合、同期オーバーランフラグがセットされると、割込みが生成されます。

GNBREQ フィールド値よりも DMA リクエストカウンタの値が低い間、新しい DMA リクエストトリガ・イベントが発生すると、ステータスレジスタ DMAMUX_RGSR のトリガイベント・オーバーランフラグ OF_x がセットされます。

オーバーランフラグ OF_x は、DMAMUX_RGCFR レジスタの関連するクリアビット COF_x をセットすることでクリアされます。

対応するジェネレータ・チャンネルの制御レジスタの DMA リクエストトリガ・イベントのオーバーラン割込みイネーブルビット OIE がセットされている場合、DMA リクエストトリガ・オーバーランフラグがセットされると、割込みが生成されます。

DMAMUXマルチプレクサ入力

17

RQ ID	リソース	RQ ID	リソース	RQ ID	リソース
1	dmamux_req_gen0	22	TIM1_CH3	43	TIM15_UP
2	dmamux_req_gen1	23	TIM1_CH4	44	TIM16_CH1
3	dmamux_req_gen2	24	TIM1_TRIG_COM	45	TIM16_TRIG_COM
4	dmamux_req_gen3	25	TIM1_UP	46	TIM16_UP
5	ADC	26	TIM2_CH1	47	TIM17_CH1
6	AES_IN	27	TIM2_CH2	48	TIM17_TRIG_COM
7	AES_OUT	28	TIM2_CH3	49	TIM17_UP
8	DAC_Channel1	29	TIM2_CH4	50	USART1_RX
9	DAC_Channel2	30	TIM2_TRIG	51	USART1_TX
10	I2C1_RX	31	TIM2_UP	52	USART2_RX
11	I2C1_TX	32	TIM3_CH1	53	USART2_TX
12	I2C2_RX	33	TIM3_CH2	54	USART3_RX
13	I2C2_TX	34	TIM3_CH3	55	USART3_TX
14	LPUART_RX	35	TIM3_CH4	56	USART4_RX
15	LPUART_TX	36	TIM3_TRIG	57	USART4_TX
16	SPI1_RX	37	TIM3_UP	58	UCPD1_RX
17	SPI1_TX	38	TIM6_UP	59	UCPD1_TX
18	SPI2_RX	39	TIM7_UP	60	UCPD2_RX
19	SPI2_TX	40	TIM15_CH1	61	UCPD2_TX
20	TIM1_CH1	41	TIM15_CH2		
21	TIM1_CH2	42	TIM15_TRIG_COM		



この表は、DMAMUX ユニットのリクエスト入力のリストを示しています。1 から 4 までの番号が付けられたリクエストは、4 つのリクエスト・ジェネレータ・チャンネルの出力であるため、実際のリクエスト入力の数は $57 + 4$ であることに注意してください。

トリガ入力と同期入力

18

RQ ID	リソース	RQ ID	リソース
0	EXTI ライン 0	12	EXTI ライン 12
1	EXTI ライン 1	13	EXTI ライン 13
2	EXTI ライン 2	14	EXTI ライン 14
3	EXTI ライン 3	15	EXTI ライン 15
4	EXTI ライン 4	16	dmamux_evt0
5	EXTI ライン 5	17	dmamux_evt1
6	EXTI ライン 6	18	dmamux_evt2
7	EXTI ライン 7	19	dmamux_evt3
8	EXTI ライン 8	20	LPTIM1_OUT
9	EXTI ライン 9	21	LPTIM2_OUT
10	EXTI ライン 10	22	TIM14_OC
11	EXTI ライン 11		



トリガ入力と同期入力は同じであり、STM32G0 でインスタンス化された DMAMUX で同じ ID を持っています。

割込みイベント	説明
SOFx	DMA リクエスト・ライン・マルチプレクサのチャンネルxで同期イベント・オーバーランが検出されたときにセットされる
OFx	DMAリクエスト・ジェネレータのチャンネルxでトリガ・イベント・オーバーランが検出されたときにセットされる



次の場合に割込みを生成することができます：

- 各 DMA リクエストライン・マルチプレクサ・チャンネルの同期イベントオーバーラン
- 各 DMA リクエスト・ジェネレータ・チャンネルのトリガイイベント・オーバーラン

両方のケースで、チャンネルごとの個別の割込みイネーブルビットを使用できます。

- 詳細については、次のペリフェラルにリンクされているこれらのトレーニングを参照：
 - STM32G0 DMAコントローラ(DMA)



詳細については、次のペリフェラルにリンクされているこれらのトレーニングを参照してください：

- STM32G0 DMA コントローラ(DMA)