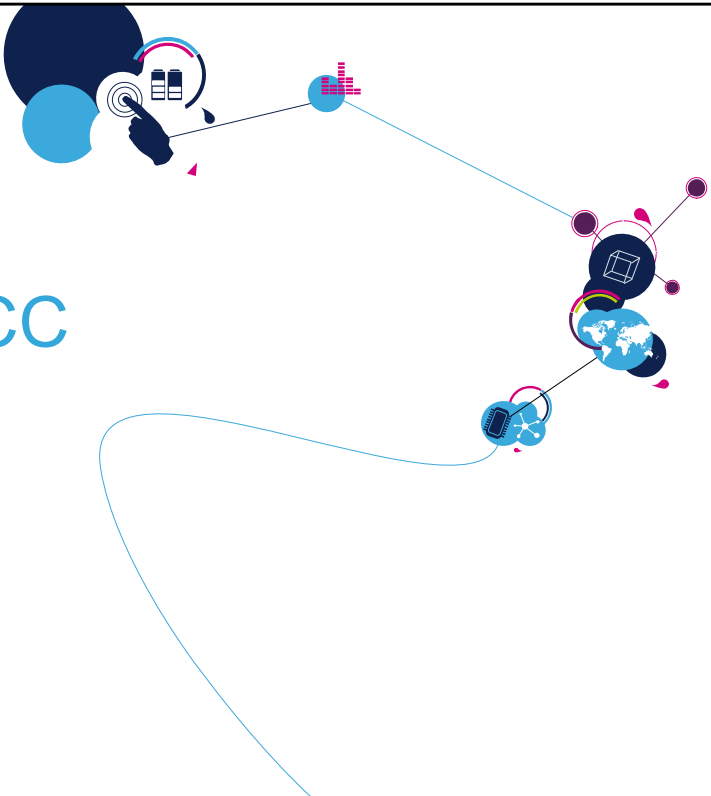




STM32G0 - RCC

リセットおよびクロック・コントローラ

レビジョン 1.0



STM32G0 リセットおよびクロックコントローラのプレゼンテーションへようこそ。

STM32F0との主な違い

2

- リセットおよびクロックコントローラは、F0ファミリに実装されているものと似ているが、いくつかの機能が強化されている。

	STM32F0	STM32G0
NRST	入出力	GPIO、入力、入出力
リセットホルダー	いいえ	はい
PLL	1つの出力	3つの出力
LSE + LSCO の CSS *	いいえ	はい
SYSCLK への HSI 分周器	いいえ	はい
2xSYSCLK で動作するタイマ 1 および 15	いいえ	はい



* HSE の CSS は、F0 製品と G0 製品の両方ですでに利用可能

STM32G0 に実装された RCC ユニットは、STM32F0 マイクロコントローラに対していくつかの新しい機能を提供します。

NRST ピンには次の 3 つの使用法があります。

1. STM32G0 にリセット条件を通知するために外部ロジックが使用するリセット入力
2. リセット入出力(レガシーモード)。ピン上のあらゆる有効なリセット信号がデバイスの内部ロジックに伝播され、このピンに対するパルス発生回路を介して、すべての内部リセットソースが外部的に駆動されます。
3. GPIO。このモードでは、ピンは標準の GPIO として使用でき、リセットはデバイスの内部リセットソースからのみ可能です。

リセットホルダオプションは、オプションバイトで有効化されている場合に、ピンの電圧が VIL 閾値と一致するまでピンがローに引き下げられていることを確認するために使用できます。

PLL は、PLLCLK、PLLQCLK、PLLRCLK の 3 つの独立した出力を提供する 3 つのポスト分周器を備えています。

また、クロック・セキュリティ・システム(CSS)は LSE を監視し、障害を検出します。低速外部 32.768 kHz オシレータ(LSE)をシステムクロックとして使用している場合、LSE クロックの障害が検出されると、システムクロックは自動的に低速内部 32 kHz RC オシレータ(LSI)に切り替わります。

HSISYS は高速内部 16 MHz RC オシレータ(HSI16)を、1~128 の範囲のプログラム可能な比率で分周したものです。

PLLQCLK は高速 TIM1 および TIM15 タイマで選択可能であり、その周波数は 128 MHz を超えないように設定する必要があります。これは Cortex®-M0+ の最大周波数の 2 倍です。

- STM32G0のリセットおよびクロック・コントローラは、システムとペリフェラルのクロックを管理
 - 2つの内部オシレータ
 - 2つの外部オシレータ(クリスタルまたは発振子)
 - 1つのPLL
 - 多くのペリフェラルは独立したクロックを備えている
- RCCはさまざまなシステムおよびペリフェラルのリセットを管理



アプリケーション側の利点

- 消費電力と精度の要件を満たすクロックソース選択の柔軟性が高い
- 多数のペリフェラル・クロックが独立して動作するので、通信ボーレートに影響を与えることなく消費電力を調整することや、低消費電力モードで特定のペリフェラルをアクティブに維持することができる
- 安全で柔軟なリセット管理

STM32G0 のリセットおよびクロックコントローラは、システムとペリフェラルのクロックを管理します。STM32G0 デバイスには、内部オシレータが 2 個、外部のクリスタルまたは発振子で使用するオシレータが 2 個、および位相ロックループ(PLL)が 1 個搭載されています。多くのペリフェラルは、システムクロックから独立した固有のクロックを備えています。また、RCCは、デバイスに存在するさまざまなリセットを管理します。

STM32G0 RCC はクロックソースを柔軟に選択できるので、システム設計者は、消費電力と精度の要件を両方とも満たすことができます。多数のペリフェラルクロックが独立して動作するので、設計者は、通信ボーレートに影響を与えることなくシステムの消費電力を調整することや、低消費電力モードで特定のペリフェラルをアクティブに維持することができます。最後に、RCC は安全で柔軟なリセット管理を提供します。

リセットの主な機能

4

外部コンポーネントを使用しない安全で柔軟なリセット管理

- 次の 3 種類のリセットを管理：
 - システムリセット
 - 電源リセット
 - バックアップ・ドメイン・リセット
- ペリフェラルには個別のリセット制御ビットがある



外部コンポーネントを使用しない安全で柔軟なリセット管理により、アプリケーションのコストが削減されます。
RCC は、システムリセット、電源リセット、およびバックアップドメインリセットの 3 種類のリセットを管理します。
ペリフェラルには、個別のリセット制御ビットがあります。

• システムリセット

- 特定の RCC レジスタ、および RTC ドメインを除くすべてのレジスタをリセットする
- リセットソース
 - NRST ピンのローレベル(外部リセット)
 - WWDG イベント
 - IWDG イベント
 - ソフトウェアリセットリクエスト
 - 低消費電力モード・セキュリティ・リセット
 - オプションバイトローダリセット
 - ブラウンアウトまたはパワーオンリセット
- リセットソースフラグは RCC_CSR レジスタにある



最初のタイプのリセットであるシステムリセットでは、リセットおよびクロックコントローラのいくつかのレジスタを除くすべてのレジスタがリセットされます。また、RTC ドメインはリセットされません。

システムリセットソースは次のとおりです。

- 外部リセット(NRST ピンのローレベルによって生成される)、
- ウィンドウ型ウォッチドッグイベント、
- 独立型ウォッチドッグイベント、
- ソフトウェアリセットリクエスト、
- 低消費電力モードセキュリティリセット(STOP、STANDBY、または SHUTDOWN モードへの移行がオプションバイト設定により禁止されている場合に生成される)、
- オプションバイトローダリセット、
- およびブラウンアウトまたはパワーオンリセット。

リセットソースフラグは、RCC 制御およびステータスレジスタにあります。

リセットソース

6

- NRST ピンの新しい設計 => PF2-NRST
 - リセット回路の設定は、オプションバイト NRST_MODE[1:0] および IRHEN を介して行われる

モード	設定		動作
	NRST_MODE	IRHEN	
入力／出力 (レガシー)	11	0	内部リセットの場合、NRST ピンで 20 μ s の出力パルスが生成される
		1	NRST 電圧が V_{IL} 閾値 ($\sim 0.3 VDD$) に達するまで出力パルスが維持される
入力のみ	01	x	内部リセットはパーツの外部に伝播されない (PU は常にオン)
GPIO	10	x	PF2 のみ、リセットピンなし



オプションバイトの次の 2 つのフィールドは、NRST ピンを設定するために使用されます。

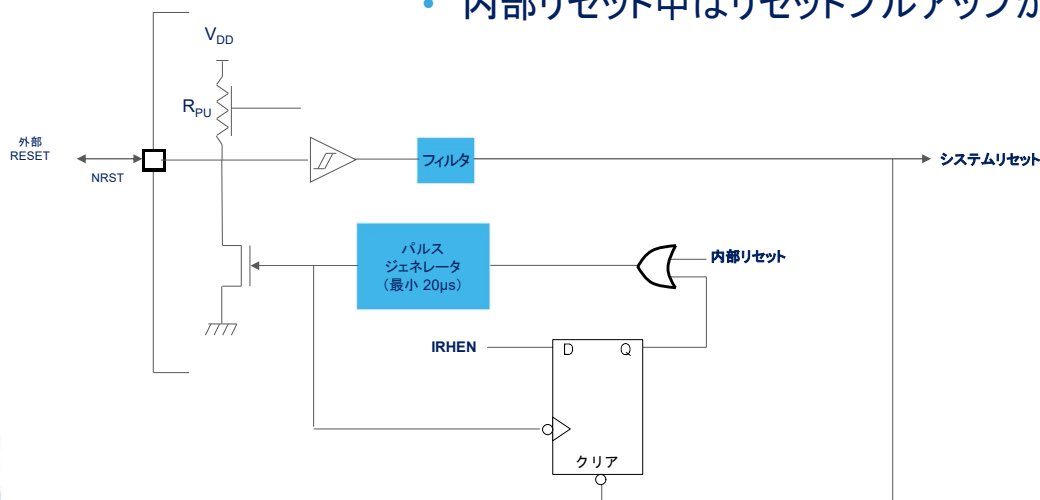
- NRST_MODE は、NRST ピンの動作モード (入力／出力リセット、入力のみリセットまたは GPIO) を選択します。
- IRHEN は Internal Reset Holder Enable (内部リセットホルダイネーブル) の略です。このモードを有効にすると、NRST ピンは、その電圧レベルが電圧入力ロー閾値を下回るまでローに駆動されます。

リセットソース

7

内部フィルタと電力監視により外部コンポーネントは不要
システムリセットソースは外部コンポーネントをリセット可能

- 内部リセット中はリセットプルアップが無効

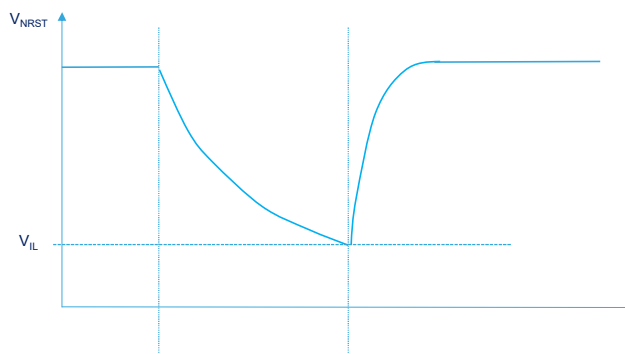
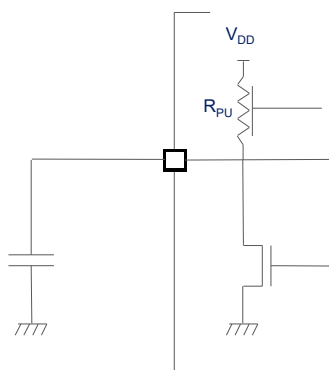


これは、システムリセットの簡略化されたブロック図です。すべての内部リセットソースは NRST ピンでリセット信号を発生します。このピンを使用して、アプリケーションボードの他のコンポーネントをリセットできます。また、内部グリッチフィルタと、VDD が選択した閾値を下回った場合にアプリケーションのリセットを保証する安全な電力監視機能があるため、外部リセット回路は必要ありません。NRST ピンの内部プルアップ（リセット信号がローに駆動されていないときにハイレベルを維持するために必要）は、内部リセットが駆動されると非アクティブになります。これにより、リセット時の消費電力が削減されます。さらに、デバッグピンと一部のテストピンを除き、すべての I/O ピンは、リセット中およびリセット後にアナログモードになります。これにより、リセット時およびソフトウェアの初期化前に I/O がフローティング状態のときにシュミットトリガを通じて消費電力が削減されます。

リセットソース

8

外部コンポーネントが不要。ライン上に外部デバイスに使用される強力なキャパシタンスが存在する場合、リセットホルダを使用できる。



内部リセット

アクティブ

リセットホルダの目的は、この信号の電圧レベルが V_{IL} を下回るまで、ローに駆動された NRST を維持することです。これは、NRST ラインに重要な容量性負荷がある場合に役立ちます。

• 電源リセット

• ソース

- ブラウンアウトリセット(BOR)またはパワーオンリセット(POR) => RTCドメインのレジスタ以外のすべてのレジスタをリセット
- STANDBY の終了 => VCORE ドメインのすべてのレジスタをリセット
VCORE ドメイン以外のレジスタ(RTC、WKUP、IWDG および STANDBY/SHUTDOWN モード制御)は影響を受けない。
- SHUTDOWN の終了により BOR リセットが生成される。

• RTC ドメインリセット

- RTC レジスタ、バックアップレジスタ、および RCC BDCR レジスタをリセット

• ソース

- RCC BDCR レジスタの BDRST ビット
- VDD または VBAT パワーオン。ただし、両方の電源供給がともにオフ状態であった場合。



リセットの 2 番目のタイプは、電源リセットです。ブラウンアウトリセット (BOR) は、VBAT から電源を供給されている、RTC、バックアップレジスタおよび外部低速オシレータが含まれる RTC ドメインのレジスタを除く、すべてのレジスタをリセットします。STANDBY モードが終了すると、レギュレータから電力が供給されるすべてのレジスタがリセットされます。SHUTDOWN モードが終了すると、ブラウンアウトリセットが生成されます。

リセットの 3 番目のタイプは RTC ドメインリセットです。これは、RTC レジスタ、バックアップレジスタ、および RTC ドメイン制御レジスタをリセットします。このリセットは、RTC ドメイン制御レジスタで BDRST ビットがセットされている場合に発生します。VDD と VBAT の電源供給がオンのとき(ただし、以前電源供給がともにオフ状態であった場合)にも発生します。

低消費電力、精度、および性能に応じたクロックソースの選択

- 2 つの内部クロックソース
 - 高速内部 16 MHz RC オシレータ(HSI16)
 - 低速内部 32 kHz RC オシレータ(LSI)
- 2 つの外部オシレータ
 - 高速外部 4~48 MHz オシレータ(HSE): クロック・セキュリティ・システムを装備
 - 低速外部 32.768 kHz オシレータ(LSE): クロック・セキュリティ・システムを装備
- 3 つの独立した出力を備えた 1 つの PLL



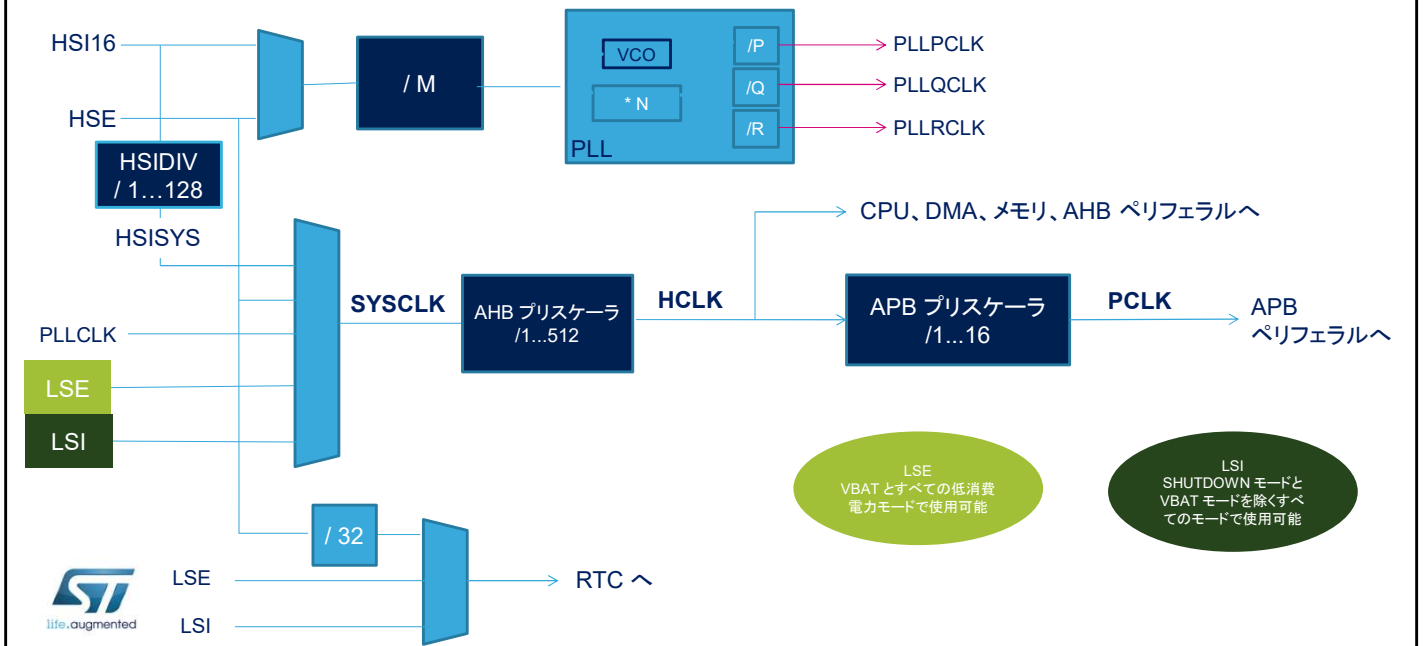
RCC により非常に多くのクロックソースを選択できるようになり、低消費電力、精度、および性能の要件に応じた選択が可能です。

STM32G0 デバイスには 2 つの内部クロックソースが組み込まれています。1 つは高速内部 16 MHz RC オシレータ(HSI16)、もう 1 つは低速内部 32 kHz RC オシレータ(LSI)です。

STM32G0 デバイスには、外部のクリスタルまたは発振子とともに使用する 2 つのオシレータが組み込まれています。1 つはクロック・セキュリティ・システムを装備した高速外部 4~48 MHz オシレータ(HSE)、もう 1 つはクロック・セキュリティ・システムを装備した低速外部 32.768 kHz オシレータ(LSE)です。STM32G0 デバイスには、フェーズロックループが組み込まれており、さまざまな周波数でさまざまなペリフェラルにクロックを供給するための 3 つの独立した出力を備えています。

シンプルなクロックツリー

11



システムクロックは、高速内部 16 MHz RC オシレータ(HSI16)、高速外部 4~48 MHz オシレータ(HSE)、低速内部オシレータ(LSI)、または低速外部オシレータ(LSE)から取得できます。HCLK と呼ばれる AHB クロックは、プログラム可能なプリスケアラでシステムクロックを分周することによって取得できます。PCLK と呼ばれる APB クロックはプログラム可能なプリスケアラで AHB クロックを分周することによって生成されます。

RTC クロックは、低速外部 32.768 kHz オシレータ(LSE)、低速内部 32 kHz RC オシレータ(LSI)、または 32 分周された HSE によって生成されます。

LSE は RTC 電源ドメインに属しているため、LSE はすべての低消費電力モードおよび VBAT モードで有効のままにすることができます。

LSI は、SHUTDOWN モードと VBAT モードを除くすべてのモードで有効のままにすることができます。

高速内部 (HSI16) クロック

12

1% の精度でウェイクアップ時間が短い

- 16 MHz、工場出荷時調整済み、ユーザによる調整可能 (HSI16)
- HSI16 クロック:
 - STOP 0 および STOP 1 モードからのウェイクアップクロック
 - クロック・セキュリティ・システム (CSS) のバックアップクロック
- I2C、USART、LPUART、CEC、および UCPD は、STOP モード中に HSI16 を有効にして、ウェイクアップシーケンスを検出できる。
 - HSI16 は、ペリフェラルのウェイクアップシーケンス検出を除き、STOP モード中はオフのまま。



STOP モード (STOP 0 および STOP 1) では、VCORE ドメインのすべてのクロックを停止し、PLL に加え、HSI16 および HSE オシレータを無効にします。

高速内部オシレータ (HSI) は、1% の精度でウェイクアップ時間が短い 16MHz RC オシレータです。HSI16 は生産試験時に調整されていますが、ユーザによる調整も可能です。

HSI16 クロック (HSIDIV で分周された HSI16 クロック) は、STOP 0 または STOP 1 モードからのウェイクアップ時のクロックとして使用できます。

HSI16 は、HSE クリスタルオシレータに障害 (クロック・セキュリティ・システムによって検出される) が起きた場合のバックアップクロックソース (補助クロック) として使用されます。

USART1、USART2、LPUART1、CEC、UCPD および I2C1 ペリフェラルでは、MCU が STOP モードの場合でも、HSI16 オシレータを有効にすることができます (HSI16 が当該ペリフェラルのクロックソースとして選択されている場合)。

HSI16 の特性

13

	HSI16 (16 MHz)
精度 (標準)	温度範囲 [0-85 ° C]: $\pm 1\%$
消費電流 (標準)	180 μA
起動時間 (標準)	1 μs



この表は、HSI16 クロックの特性を示しています。

HSI16 の精度を向上させるには、トリミング手順を実施し、TIM14、TIM16、または TIM17 を使用してその周波数を測定します。この場合、HSI クロックによってタイマにクロックを供給し、チャンネル 1 の入力キャプチャで正確なクロック基準 (HSE/32、RTCCLK、LSE など) を提供します。

HSI クロックの起動時間は 1 マイクロ秒 (代表値) ですが、HSE クロックの起動時間は 2 ミリ秒 (代表値) です。

高速外部(HSE)クロック

14

安全なクリスタルシステムクロック

- HSE 4～48 MHz
 - 最大 48 MHz の外部ソース(バイパスモード)
 - 外部クリスタル／セラミック発振子(4～48 MHz)
- クロック・セキュリティ・システム(CSS)
 - HSE の障害を自動的に検出し HSISYS に切り替わる
 - ノンマスカブル割込み生成
 - TIM1/TIM15/TIM16/TIM17 へのブレーク入力 => モータ制御などの重要なアプリケーションを安全な状態に移行できる



高速外部オシレータは、安全なクリスタルシステムクロックを提供します。

HSE は、4～48 MHz の外部クリスタルまたはセラミック発振子をサポートし、またバイパスモードで外部ソースをサポートします。

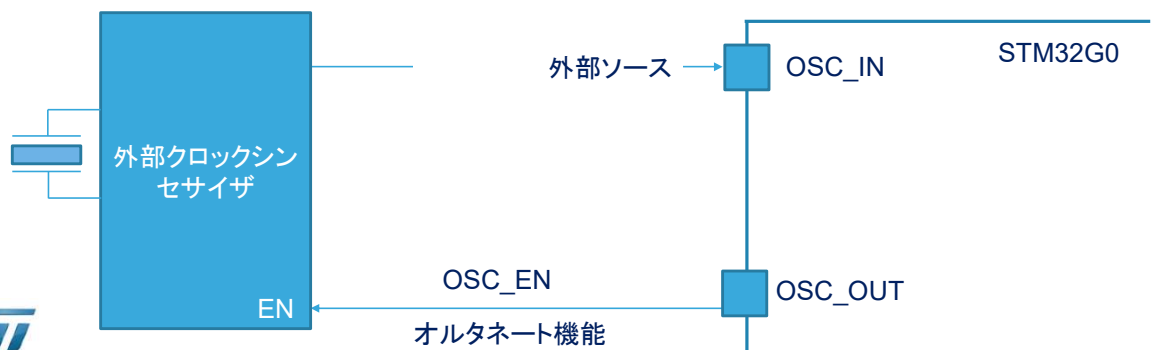
クロック・セキュリティ・システムは、HSE の障害を自動検出できます。ノンマスカブル割込みが生成された場合、モータ制御などの重要なアプリケーションを安全な状態に移行するために、ブレーク入力をタイマに送信できます。HSE の障害が検出された場合、HSE オシレータは自動的に無効になります。

HSE が直接または間接的にシステムクロックとして選択され (SYSCLK には PLLRCLK が選択され、PLL 入力として HSE が選択されている)、HSE クロックの障害が検出されている場合、システムクロックは自動的に HSISYS に切り替わるので、クリスタルオシレータに障害が発生してもアプリケーションソフトウェアは停止しません。

高速外部 (HSE) クロック

15

- オシレータで使用する HSE システムで、新しいオルタネート機能が使用可能。
 - バイパスモードで外部クロックを使用する場合、アプリケーションを外部クロックの ENABLE 信号として使用するために、新しい OSC_EN 機能が使用可能。低消費電力モードに移行するときに、外部クロックをオフにするために使用される。



外部ソースモード (HSE バイパスモードとも呼ばれる) では、外部クロックソースが必要です。最大 48 MHz までの周波数を使用できます。

周波数に応じて 40~60% のデューティサイクルを持つ外部クロック信号 (矩形波、正弦波、または三角波) で、OSC_IN ピンを駆動する必要があります。

OSC_OUT ピンは GPIO として使用したり、OSC_EN オルタネート機能として設定して、デバイスが低消費電力モードに移行するときに外部クロックシンセサイザの停止を有効にする信号を提供することができます。

低速内部 (LSI) クロック

16

超低消費電力内部 32 kHz オシレータ

SHUTDOWN モードと VBAT モードを除くすべてのモードで使用可能

	LSI 32 kHz
精度 (標準)	+6.3/-7.8%
消費電流 (標準)	110 nA



STM32G0 デバイスは、超低消費電力の 32 kHz RC オシレータを内蔵しており、SHUTDOWN モードと VBAT モードを除くすべてのモードで使用可能です。
LSI を使用して、RTC、低消費電力タイマ、および独立型ウォッチドッグにクロックを供給できます。LSI 消費電流は 110 nA (標準) です。

低速外部 (LSE) クロック

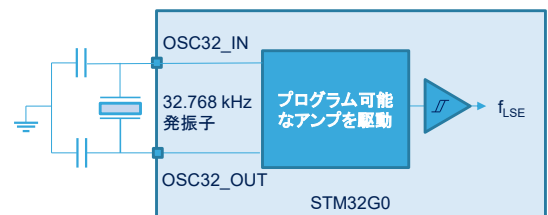
17

低消費電力または高駆動に設定可能な 32.768 kHz

すべての電力モードと VBAT モードで使用可能

- LSE は外部水晶発振器／発振子またはバイパスモードの外部クロックソースで使用可能
- LSE のクロック・セキュリティ・システム (CSS) : SHUTDOWN モードと VBAT モードを除くすべてのモードで使用可能
 - リセット中に動作
- LSE は、RTC、CEC、USART、LPUART、および LPTIM で使用できる
- オシレータの駆動制御機能:

モード	最大限界 水晶 gm ($\mu\text{A/V}$)	消費電流 (nA)
超低消費電力	0.5	250
中低駆動	0.75	315
中高駆動	1.7	500
高駆動	2.7	630



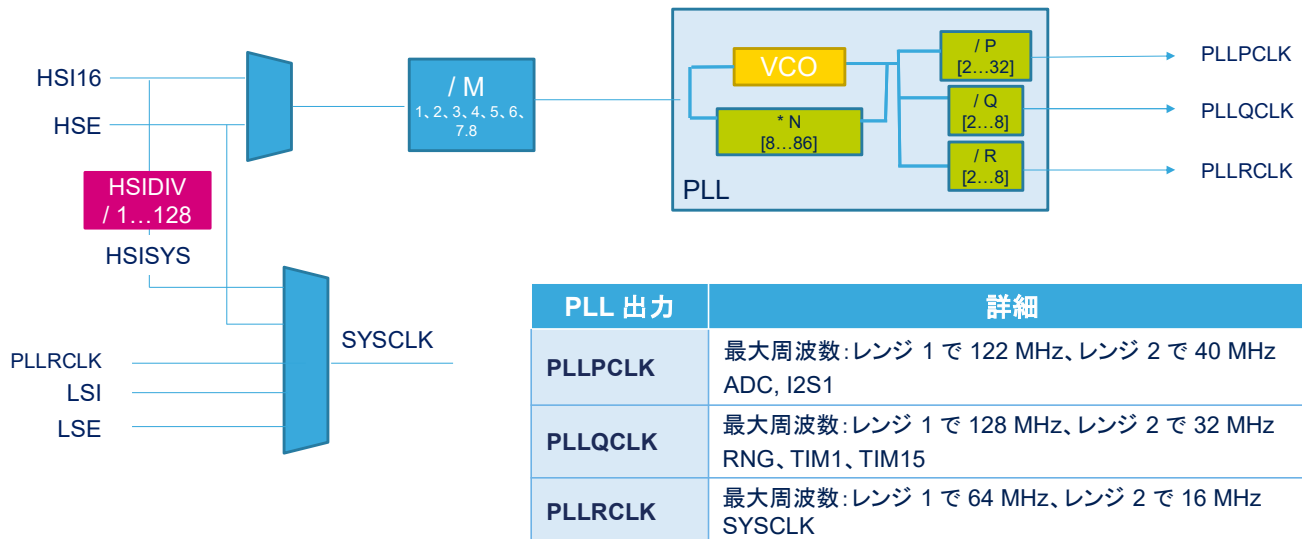
32.768 kHz 低速外部オシレータは、外部水晶発振器／発振子またはバイパスモードの外部クロックソースで使用できます。オシレータの駆動機能はプログラム可能です。消費電流がわずか 250 nA の超低消費電力モードから高駆動モードまで 4 つのモードが用意されています。

クロック・セキュリティ・システムは、LSE オシレータの障害を監視します。LSE がシステムクロックとして選択されている場合で、LSE クロックの障害が検出されている場合、システムクロックは自動的に LSI に切り替えられます。CSS は、SHUTDOWN モードと VBAT モードを除くすべてのモードで動作します。また、リセット中も動作します。

LSE を使用して、RTC、CEC、USART または低消費電力 UART の各ペリフェラル、および低消費電力タイマにクロックを供給できます。

PLLクロック

18



STM32G0 デバイスには、フェーズロックループが組み込まれており、それぞれ 3 つの独立した出力を備えています。PLL の入力クロックは、HSI16 と HSE から選択できます。

PLLQCLK を使用して、RNG とタイマ (TIM1 および TIM15) にクロックを供給できます。

PLLPCLK を使用して、I2S1 と ADC にクロックを供給できます。

PLLRCLK は、AHB および APB クロックドメインのルートクロックである SYSCLK と呼ばれるシステムクロックとして選択できます。

PLLQCLK および PLLPCK の最大周波数は、最大 SYSCLK 周波数よりも大きいことに注意してください。

2 つの異なる電源範囲 (レンジ 1 とレンジ 2) をメインレギュレータでプログラムして、システムの最大動作周波数に応じて消費量を最適化できます。

システム・クロック

19

- HSI16、HSE、PLL、LSI、LSEから選択
- システムクロック、AHB、APB の最大周波数: 56MHz

電圧範囲	SYSCLK	HSI16	HSE	PLL
レンジ 1	最大 64 MHz	16 MHz	48 MHz	VCO max = 344 MHz
レンジ 2	最大 16 MHz	16 MHz	16 MHz	VCO max = 128 MHz
低消費電力 RUN/SLEEP	最大 2 MHz	分周器つき で許可	禁止	禁止



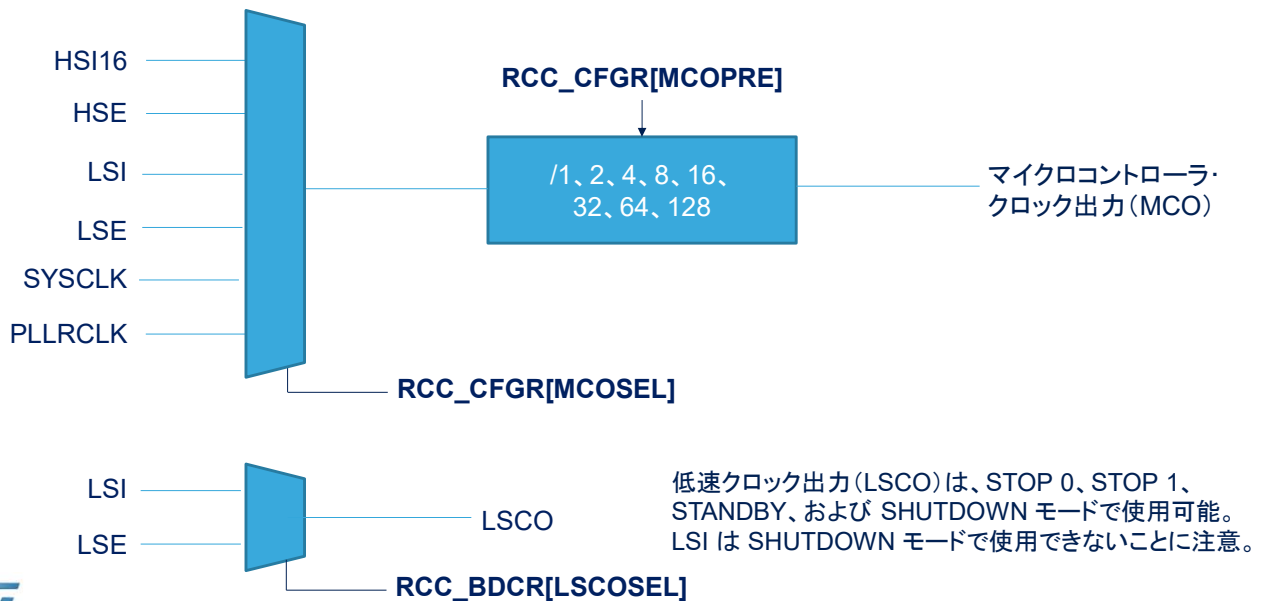
システムクロックは、HSI16、HSE、LSI、LSE および PLL 出力から選択されます。

最大システムクロック周波数は 64 Hz です。APB1 と APB2 バス周波数も最大 64 MHz です。

最大クロックソース周波数は、電圧スケーリングおよび電力モードに依存します。システムクロックは、レンジ 1 では 64 MHz、レンジ 2 では 16 MHz、低消費電力 RUN／低消費電力 SLEEP モードでは 2 MHz に制限されています。

クロック信号出力

20



I/O ではさまざまなクロックを出力できます。マイクロコントローラクロック出力機能では、HSI16、HSE、LSI、LSE、SYSCLK、および PLLCLK の 6 つのクロックのいずれかをピンに出力できます。

低速クロック出力 (LSCO) 機能では、LSI または LSE クロックをピンに出力できます。低速クロック出力は、STOP 0、STOP 1、STANDBY、および SHUTDOWN モードで使用可能です。これを有効にするには、RCC_BDCR レジスタの LSCOEN ビットをセットします。

LSI は SHUTDOWN モードで使用できないことに注意してください。

(LP) Run および (LP) Sleep モードで動的消費電力を最適化

- ペリフェラル・クロック有効レジスタ
 - ペリフェラル・クロックはデフォルトでは無効 (Flash メモリを除く)
 - クロックが無効の場合、レジスタの読み書きアクセスはサポートされない。
 - 注: SRAM にはイネーブル・ビットはない (Run / 低消費電力 Run モードで常に有効)
- SLEEP および STOP モードでのペリフェラル・クロック有効レジスタ
 - SLEEP、低消費電力 SLEEP、STOP 0/1 モードでペリフェラル・クロックを有効または無効にする
 - 対応するペリフェラルクロック有効がクリアされている場合は効果がない
 - バスとカーネルの両方のクロックを制御
 - SLEEP モードと STOP モードに影響を与える (STOP モードで独立したクロックがアクティブなペリフェラルの場合)
 - 注: 各ペリフェラルについて、SLEEP/低消費電力 SLEEP モードでは、関連するクロックがデフォルトで有効になる



ペリフェラルクロックゲーティングを使用すると、動的消費電力を最適化できます。

RUN モードと低消費電力 RUN モードでは、各ペリフェラルクロックをゲートオン／オフできます。

デフォルトでは、ペリフェラルのクロックは無効になっています (デフォルトで有効になっている Flash メモリクロックを除く)。

ペリフェラルのクロックが無効になっていると、ペリフェラルのレジスタを読み書きできません。

他のレジスタでは、STOP、SLEEP、および低消費電力 SLEEP モード中にペリフェラルのクロックを設定できます。また、これは、STOP モードで独立したクロックがアクティブなペリフェラルの場合、STOP 0 モードと STOP 1 モードにも影響します。対応するペリフェラルクロック有効がクリアされた場合、これらの制御ビットは効果がありません。デフォルトでは、STOP、SLEEP、および低消費電力 SLEEP モードでアクティブなペリフェラルクロックはゲートされません。ペリフェラルが不要な場合は、消費電力を削減するために、そのクロック有効ビットをクリアする必要があります。

割込みイベント	説明
LSEクロック・セキュリティ・システム	LSEオシレータで障害が検出された場合にセット
HSEクロック・セキュリティ・システム	HSEオシレータで障害が検出された場合にセット
PLLレディ割込みフラグ	PLLロックによるクロックレディ
HSEレディ	HSEオシレータクロックがレディ状態
HSI16レディ	HSI16オシレータクロックがレディ状態
LSEレディ	LSEオシレータクロックがレディ状態
LSIレディ	LSIオシレータクロックがレディ状態



このスライドでは、RCC 割込みを示しています。LSE と HSE のクロック・セキュリティ・システム、PLL レディ、および 5 つすべてのオシレータレディ信号が割込みを生成できます。

- 次のペリフェラルにリンクされているこれらのトレーニングを参照
 - STM32G0電源制御(PWR)
 - STM32G0割込み(NVIC、EXTI)



このトレーニングに加えて、電源制御と割込みコントローラのトレーニングが役に立つ可能性があります。

- 詳細については、次のソースを参照：
 - AN2867 (STM8AF/AL/S および STM32 マイクロコントローラ用発振器設計ガイド)
 - AN5126 (STM32G0 シリーズ内部 RC 発振器の較正)



詳細については、アプリケーションノート AN2867 (STM8AF/AL/S および STM32 マイクロコントローラ用発振器設計ガイド) およびアプリケーションノート AN5126 (STM32G0 内部 RC 発振器の較正方法の説明) を参照してください。