



# STM32G0 - SYSCFG

システム設定コントローラ

レビジョン 1.0



STM32G0 システム設定コントローラのプレゼンテーションへ  
ようこそ。

- STM32G0xxマイクロコントローラは一連の設定レジスタを備えている
- システム設定コントローラの主な目的は次の通りである。
  - I<sup>2</sup>C高速モードプラスの高駆動の有効化／無効化
  - USB Power Delivery インタフェースの設定
  - アナログスイッチ電圧ブースタの有効化／無効化
  - 赤外線タイマ (IRTIM) モジュールの設定
  - PA11とPA12のGPIOのPA9とPA10への再配置
  - アドレス0x0000\_0000でアクセス可能なメモリの選択
  - 安全機能の有効化／無効化



STM32G0xx マイクロコントローラは、SYSCFG モジュールに一連の設定レジスタを備えています。

システム設定コントローラでは、以下の各機能を利用できます。

- I<sup>2</sup>C 高速モードプラスの高駆動の有効化／無効化
- USB Power Delivery インタフェースの設定
- アナログスイッチ電圧ブースタの有効化／無効化
- 赤外線タイマ (IRTIM) モジュールの設定
- PA11 と PA12 の GPIO の PA9 と PA10 への再配置
- アドレス 0x0000\_0000 でアクセス可能なメモリの選択
- 安全機能の有効化／無効化

## I<sup>2</sup>C I/O高速モード

3

- STM32G0の2つのI<sup>2</sup>Cコントローラで3つの速度をサポート

モード	ビットレート	追加の出力駆動 I/O
標準モード (Sm)	≤ 100 Kbps	なし
高速モード (Fm)	≤ 400 Kbps	なし
高速モードプラス (Fm+)	≤ 1 Mbps	あり

- SYSCFGモジュールによって追加の出力駆動を制御
  - I<sup>2</sup>Cが選択されたオルタネート機能でない場合でも有効にできる



STM32G0 に存在する 2 つの I<sup>2</sup>C コントローラは、次の 3 つの速度をサポートします。

- 標準モード、最大ビットレートは 100 Kbit/秒
- 高速モード、最大ビットレートは 400 Kbit/秒
- 高速モードプラス、最大ビットレートは 1 Mbit/秒。

高速モードプラスは高駆動機能を必要とします。これは SYSCFG モジュールで有効化されます。

高駆動はピンレベルで制御されるため、他のオルタネート機能でも使用可能です。

## I<sup>2</sup>C I/O高速モード

4

ピン	I <sup>2</sup> C オルタネート機能	I <sup>2</sup> C FM+ モードの有効化
PA9	I2C1_SCL	SYSCFG_CFGR1[I2C_PA9_FMP]=1 OR SYSCFG_CFGR1[I2C1_FMP]=1
PA10	I2C1_SDA	SYSCFG_CFGR1[I2C_PA10_FMP]=1 OR SYSCFG_CFGR1[I2C1_FMP]=1
PB6	I2C1_SCL	SYSCFG_CFGR1[I2C_PB6_FMP]=1 OR SYSCFG_CFGR1[I2C1_FMP]=1
PB7	I2C1_SDA	SYSCFG_CFGR1[I2C_PB7_FMP]=1 OR SYSCFG_CFGR1[I2C1_FMP]=1
PB8	I2C1_SCL	SYSCFG_CFGR1[I2C_PB8_FMP]=1 OR SYSCFG_CFGR1[I2C1_FMP]=1
PB9	I2C1_SDA	SYSCFG_CFGR1[I2C_PB9_FMP]=1 OR SYSCFG_CFGR1[I2C1_FMP]=1
PB10	I2C2_SCL	SYSCFG_CFGR1[I2C2_FMP]=1
PB11	I2C2_SDA	SYSCFG_CFGR1[I2C2_FMP]=1
PB13	I2C2_SCL	SYSCFG_CFGR1[I2C2_FMP]=1
PB14	I2C2_SDA	SYSCFG_CFGR1[I2C2_FMP]=1

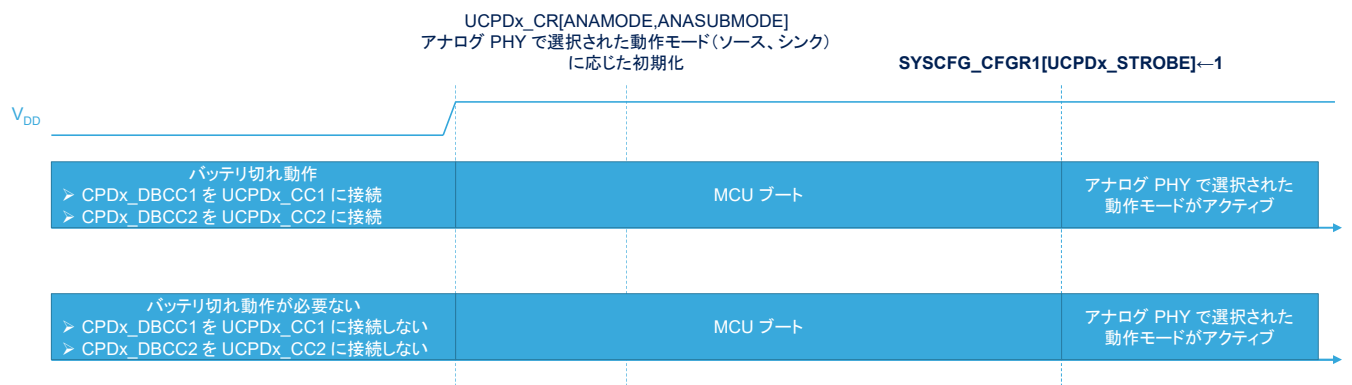


I2C1 ピンの高駆動機能は、I2C\_PA9-10\_FMP および I2C\_PB6-9\_FMP ビットを介してピンごとに、または I2C1\_FMP ビットをセットすることによってグローバルに設定できません。

I2C2 ピンの高駆動機能は、I2C2\_FMP ビットをセットすることによってグローバルに制御されます。

# USB Power Delivery インタフェース設定

5



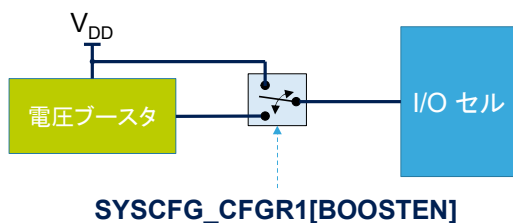
USB Power Delivery インタフェースは、ブートプログラムの早い段階で設定する必要があります。

ここで、2つのタイミング図を示します。これらの唯一の違いは、電力が到着する前の初期設定です。つまり、バッテリー切れ動作が必要かどうかです。

ブートプログラムは、UCPD 制御レジスタの ANAMODE フィールドと ANASUBMODE フィールドを初期化して、UCPD インタフェースを設定します(通常はソースまたはシンクとして)。ただし、この設定は、SYSCFG\_CFGR1 レジスタの UCPDx\_STROBE ビットがセットされている場合のみアクティブになります。

## I/Oアナログ・スイッチ電圧ブースタ

6



- 低  $V_{DD}$  電圧動作 (2.4 V 未満など) でアナログ入力を使用する場合は、電圧ブースタをアクティブにすることを推奨。

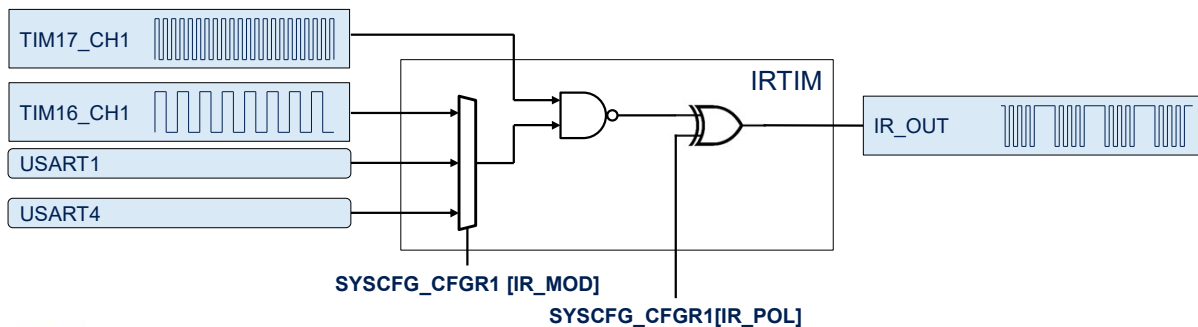


STM32G0 は、アナログ入力が低  $V_{DD}$  電圧で動作する場合に使用する電圧ブースタをサポートしています。  
電圧ブースタをアクティブにするには、`SYSCFG_CFGR1` レジスタの `BOOSTEN` ビットをセットします。

## IRTIMモジュール設定

7

- 赤外線タイマ (IRTIM) モジュールは、USART および タイマ ソースを利用して変調エンベロープを生成する
  - SYSCFG モジュールはソース信号を選択するために使用される
  - また、出力インバータをアクティブにするためにも使用される

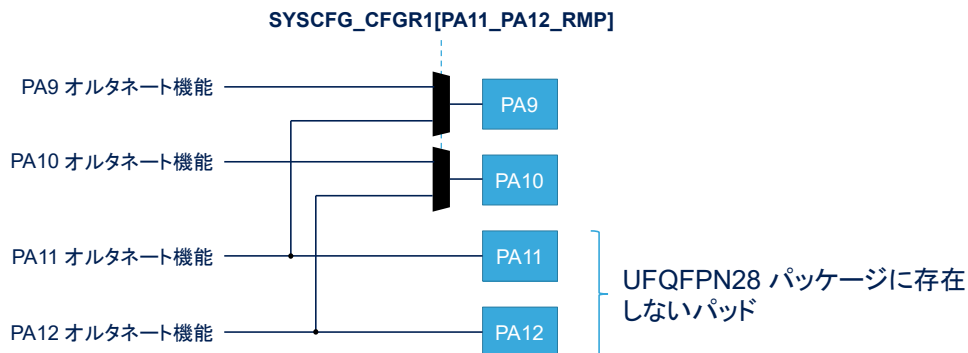


赤外線タイマ (IRTIM) ユニットには、USART または TIM16 のいずれかによって提供される変調エンベロープ信号が必要です。SYSCFG\_CFGR1 レジスタの IR\_MOD フィールドは、関連する入力マルチプレクサを制御します。SYSCFG\_CFGR1 レジスタの IR\_POL ビットは、出力信号を反転するかどうかを選択します。

## GPIOの再配置

8

- PA12とPA11の2つのGPIOは、それぞれPA10とPA9に再配置できる。これにより、ピンがパッケージでネイティブに使用できない場合にそれらの機能にアクセスすることができる。

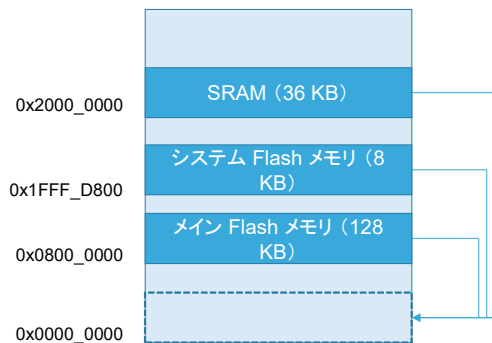


SYSCFG\_CFGR1 レジスタの PA11\_PA12\_RMP ビットがセットされると、PA11 と PA12 のオルタネート機能が PA9 と PA10 のピンに再配置されます。これは、ピン数の少ないパッケージで PA11 と PA12 のピンが使用できないときに、これらのオルタネート機能が必要な場合に役立ちます。



# GPIOメモリ・マッピング

- 3つのメモリをアドレス0x0000\_0000にエイリアスできる
  - メインFlashメモリ
  - システムFlashメモリ
  - 内蔵SRAM



**SYSCFG\_CFGR1[MEM\_MODE]**  
=0bX0:メイン Flash メモリ  
=0b01:システム Flash メモリ  
=0b11:SRAM

- デフォルト値は、ピン BOOT0、nBOOT1、nBOOT0、BOOT\_SEL のオプションビットおよび BOOT\_LOCK 制御ビットの状態によって異なります。



SYSCFG\_CFGR1 レジスタの MEM\_MODE フィールドは、アドレス 0 でアクセス可能なメモリを選択します。メイン Flash メモリ、システム Flash メモリ、SRAM の 3 つのメモリをアドレス 0 にエイリアスできます。このフィールドのデフォルト設定は、ブートピン、オプションバイト、および制御ビットに依存することに注意してください。

- SYSCFG\_CFGR2レジスタは、安全機能を制御する。
  - SRAM\_PEF は、SRAMパリティエラーが検出されたときにセットされる。
  - 他の4つのビットは、以下のイベントが発生したときに TIM1/15/16/17ブレーク入力のアサートを有効／無効にするために使用される。
    - SRAMパリティエラー
    - Flashメモリ ECCエラー
    - プログラム可能な電圧検出器の立ち上がりまたは立ち下がりの閾値を超えた場合
    - Cortex®-M0+ロックアップ
      - 1 以上の優先度で障害またはスーパーバイザ・コールが発生した場合、Cortex-M0+ はロックアップ状態になる



SYSCFG\_CFGR2 レジスタには、安全性と堅牢性にリンクされている制御およびステータスビットが含まれています。4 つの制御ビットは、特定のエラー検出イベントをタイマブレーク入力に送信します。これにより、アプリケーションのクラッシュ中に、タイマ出力を既知の状態にすることができます。一度プログラムされると、次のシステムリセットまで接続はロックされます。これらの内部イベントとして、電源電圧検出器イベント、Cortex-M0+ ロックアップ状態、SRAM パリティエラー、および Flash ECC エラーが挙げられます。SYSCFG\_CFGR2 レジスタには、SRAM パリティエラーが検出されたときにセットされるフラグビットも含まれています。

## 割込みラインステータス・レジスタ

11

- SYSCFGモジュールには専用の読出し専用レジスタが実装されており、各割込みラインに関連付けられたすべての保留中の割込みソースを1つのレジスタへ集める
  - これにより、どのペリフェラルで処理が必要かを1回の読出し操作でチェックできる
  - これらのレジスタの利点を説明するために、次のスライドではEXTI2およびEXTI3の割込みリクエストの管理について説明する。



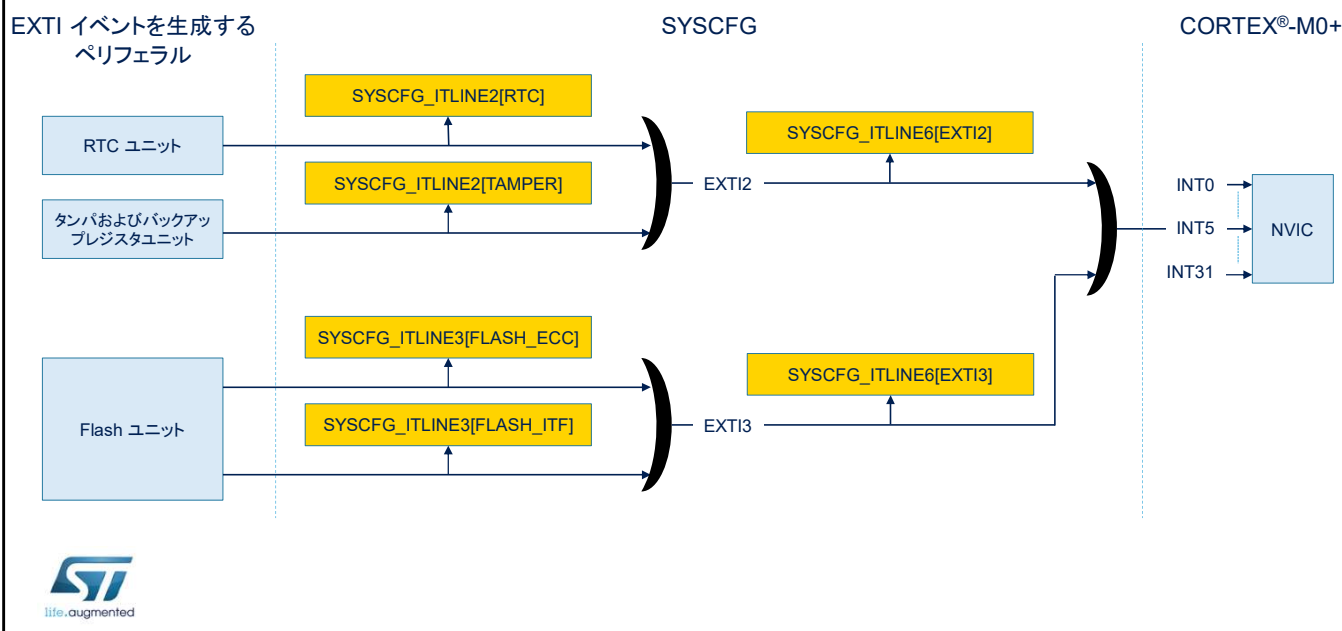
SYSCFG モジュールは、32 個の割込みラインステータスレジスタをサポートしています。

これらのレジスタにより、ソフトウェアは、特定の割込みラインに関連付けられているすべての保留中の割込みソースを同じレジスタに集めることで、EXTI 割込みの原因を簡単に見つけることができます。

これらの割込みラインステータスレジスタの利点を説明するために、次のスライドでは EXTI2 および EXTI3 の割込みラインに焦点を当てます。

## 割り込みステータス・レジスタ

12



図の左側は、EXTI2 と EXTI3 をアサートできるペリフェラル（それぞれ RTC／タンパと Flash メモリユニット）を表しています。

EXTI2 に関しては、RTC とタンパの割り込みリクエストがまとめて論理和が取られます。

EXTI3 に関しては、Flash メモリ ECC と Flash インタフェースの割り込みリクエストがまとめて論理和が取られます。

さらに、EXTI2 と EXTI3 の割り込みリクエストもまとめて論理和が取られて、Cortex®-M0+ NVIC が受信する INT 番号 5 が生成されます。

INT5 割り込みサービスルーチンでは、ソフトウェアは最初に SYSCFG\_ITLINE6 レジスタを読み出して EXTI2 または EXTI3 が保留中であるかどうかを確認し、次に SYSCFG\_ITLINE2 または SYSCFG\_ITLINE3 レジスタを読み出して割り込みの正確な原因を確認する必要があります。

- このペリフェラルにリンクされている次のトレーニングを参照：
  - I<sup>2</sup>C (Inter-Integrated Circuit)
  - USB Power Deliveryインタフェース (UCPD)
  - 赤外線タイマインタフェース (IRTIM)
  - 汎用入力／出力 (GPIO)
  - Flashメモリ (Flash)
  - 割込み (NVIC、EXTI)
  - タイマ (TIM)



このトレーニングに加えて、I2C、UCPD、IRTIM、GPIO、Flashメモリ、割込みおよびタイマの各トレーニングを参照してください。

- 詳細については、次のドキュメントを参照：
  - AN2606: STM32 microcontroller system memory boot mode



詳細については、アプリケーションノート AN2606: STM32 microcontroller system memory boot modeを参照してください。