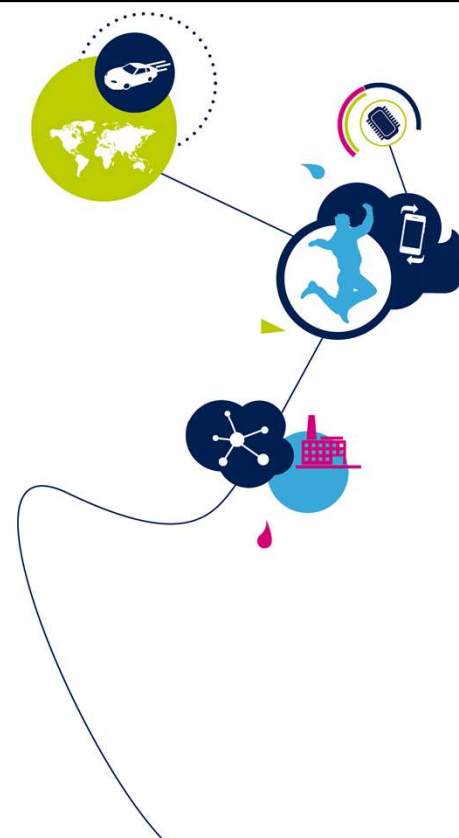


STM32G4 – SYSCFG

システム・コンフィグレーション・コントローラ

1.0版



STM32G4 システムコンフィグレーションコントローラのこのプレゼンテーションへようこそ。

- STM32G4xxマイクロコントローラは、システム・コンフィギュレーション・レジスタを備えている
- システム・コンフィギュレーション・コントローラの主な目的は以下の通り:
 - メモリ領域の再マッピング
 - GPIO 外部割込みの管理
 - 「堅牢性」機能の管理
 - CCM RAM書き込み保護とソフトウェア消去の設定
 - FPU割込み
 - I²C高速モード・プラスの設定

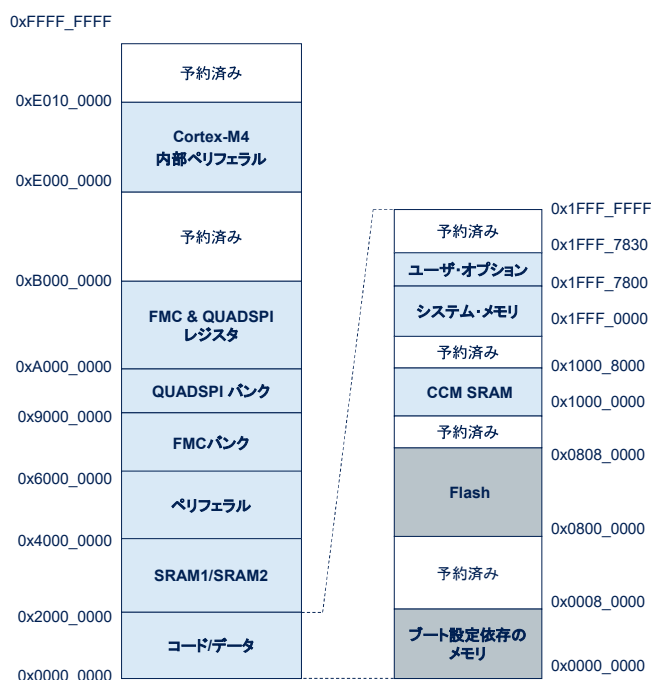


STM32G4マイクロコントローラは、SYSCFGモジュール内に配置されたシステムコンフィギュレーションレジスタを備えています。システムコンフィギュレーションコントローラは、以下の機能にアクセスできます。

- メモリ領域の再マップとアドレス0x0000_0000でアクセス可能なメモリの選択
- GPIO 外部割り込みの管理
- 「堅牢性」機能の管理
- CCM RAM書き込み保護とソフトウェア消去の設定
- FPU 割込み
- I²C高速モードプラスの設定。

STM32G474 メモリ・マップ

- Flashメモリ: 最大512KB, デュアル・バンク
 - FB_MODE = 0 SYSCFG_MEMRMP:
 - バンク 1 @ 0x0800 0000 (エイリアス0x0000 0000)
 - バンク 2 @ 0x0804 0000
 - FB_MODE = 1 SYSCFG_MEMRMP
 - バンク 2 @ 0x0800 0000 (エイリアス0x0000 0000)
 - バンク 1 @ 0x0804 0000
- SRAM: 128 KB 3パーツに分割:
 - SRAM1: 80KB @ 2000 0000
 - SRAM2: 16KB @ 2001 8000
 - CCM SRAM: 32KB @ 1000 0000
 - D-codeと I-codeを通じてアクセス



ここでは、STM32G474マイクロコントローラのメモリマップについて説明します。

STM32G474とSTM32G431の違いは、このプレゼンテーションの後半で説明されています。

フラッシュメモリのサイズは、デュアルバンク構成で最大 512 K バイトです。

FB_MODEビットは、バンク1と2のアドレスマッピングを決定し、アドレス0にエイリアスされるバンクを選択します。

SRAM の合計サイズは 128 キロバイトです。それは3つの部分に分かれています:

- SRAM1 サイズはアドレス 0x2000_0000から 80 KB です。
- SRAM2 サイズはアドレスから始まる 16KB 0x2001_8000
- コア結合メモリ(CCM)SRAMサイズは、アドレス0x1000_0000から 32Kバイトです。

SRAM1 および SRAM2 メモリは、SRAM 専用の通常の Arm V7-M メモリ空間に配置され、CCM SRAM は D-code および I-code AHB バスを介してアクセスされます。

このアーキテクチャにより、CCM SRAMおよびSRAM1またはSRAM2メモリへの同時アクセスが可能になります。

パフォーマンス向上

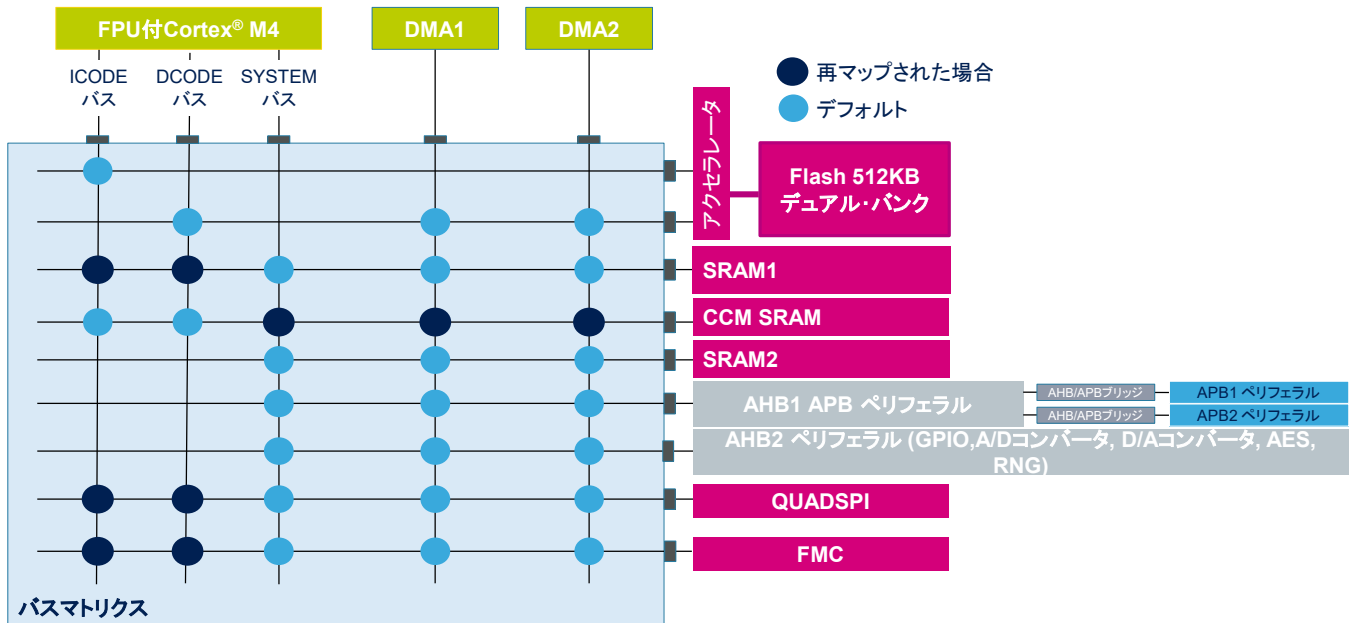
- アドレス0x0000_0000 再配置オプション
 - メインFlashメモリ
 - システムFlashメモリ(ブートローダ)
 - FMCバンク 1 (NOR/PSRAMモード)
 - SRAM1
 - QUADSPI
 - システム・バス・アクセスの代わりに I-Code/D-Code アクセスによる性能向上
- FB_MODE SYSCFG_MEMRMP
 - スワップFlashメモリ・バンク1 & 2



アドレス 0 でのメモリ再配置は、システム バスを使用する代わりに、専用の I-CODE バスアクセスと D-CODE バスアクセスにより、コード実行パフォーマンスを向上させます。アドレス 0 のメモリリマップは、アドレス 0 でアクセス可能なメモリを選択します。メイン のフラッシュ メモリ、システム フラッシュ メモリ、FMC バンク 1、SRAM1、または QUADSPI のいずれかです。FMC バンク 1 は、外部の NOR フラッシュメモリまたは PSRAM メモリをマッピングします。システム構成再マップ レジスタのFB_MODE ビットでは、フラッシュメモリ バンク 1 と 2 の間でスワップが可能です。

STM32G474x バス・マトリクス

5



STM32G4バスマトリクスを示しています。

バスマスタは最上部に示され、その3つのAHBマスターインターフェイス-I-CODE、D-CODE、システムと2つのDMAコントローラを備えたCortex-M4コアがあり

バススレーブは、内部および外部のメモリとペリフェラルが接続されています。

フラッシュメモリはアクセラレータを介して読み取られます。

Cortex-M4 コアが CODE または DATA アドレス範囲内のデータにアクセスする場合、D-CODE バスが使用されます。

Cortex-M4 コアが CODE または DATA アドレス範囲内の命令にアクセスする場合、I-CODE バスが使用されます。

SRAM1 はデフォルトでシステム・バスを介してアクセスされ、パフォーマンスを向上させるためにアドレス 0 で再配置されるときに、I-CODE バスおよび D-CODE バスを介してアクセスできます。

CCM SRAM メモリは常に I バスと D バスを介してアクセスされ、待機時間が0でコードの実行が可能です。

Quad-SPIおよびFMCバンクはデフォルトでシステムバスを通じて読み取りおよび実行でき、またアドレス0で再配置してパフォーマンスを向上させることができます。

2つのDMAコントローラは、すべてのメモリとペリフェラルにアクセスできます。

	Flashメモリから実行						SRAM から実行	
	> ART ON > I-Cache ON > D-Cache ON > Prefetch ON		> ART ON > I-Cache ON > D-Cache ON > Prefetch OFF		> ART OFF		> SRAM1 上に コードと データ	> CCM SRAM 上にコード > SRAM1上にデータ
CoreMark / MHz	デュアル バンク	シングル バンク	デュアル バンク	シングル バンク	デュアル バンク	シングル バンク		
@ 150 MHz	3.26	3.36	3.23	3.32	1.05	1.47	2.37	3.42
@170 MHz	3.23	3.35	3.20	3.31	0.94	1.36	2.37	3.42



この表では、EEMBC CoreMarkベンチマークを実行しながら、150 MHzと170MHzでのコード実行パフォーマンスを比較しました。

CCM SRAMでコードを実行し、データをSRAM1に配置すると、最大のパフォーマンスが得られます。SRAM1 がアドレス 0 で再配置された場合、SRAM1 のコードと SRAM2 のデータを使用して最大のパフォーマンスに到達することもできます。フラッシュメモリから実行すると、ARTアクセラレータが有効になるとCoreMarkの最大パフォーマンスに達し、170 MHzで8ウェイト、150 MHzで7ウェイト必要とするフラッシュアクセス時間のためにパフォーマンスが低下することはほとんどありません。

プリフェッチバッファを有効にすると、シングルバンクモードの場合は3.36 CoreMark / MHzというスコアがやや高くなります。

STM32G431デバイスとの違い

7

- 多層AHB マトリクス
 - QUADSPIスレーブ無し
 - FMCスレーブ無し
- SRAMサイズ
 - SRAM1: 16KB、SRAM1全体でパリティ・チェック
 - SRAM2: 6KB
 - CCM SRAM: 10KB、CCM SRAM全体でパリティ・チェック
- メモリマッピング:
 - CCM SRAM はアドレス 0x2000_5800でエイリアスされ、SRAM1/SRAM2 による連続アドレス空間が可能
- Flash:
 - シングル・バンクFlash



STM32G431とSTM32G474マイクロコントローラの主な違いを示しています。

STM32G431 ラインには、クアドSPIおよびFMCユニットは含みません。

STM32G431 ラインは、16 キロバイト SRAM1 と 10 キロバイト CCM SRAM の両方がパリティをサポートし、6 キロバイト SRAM2 という SRAM メモリが小さくなっています。

マッピングに関しては、CCM SRAMはアドレス 0x2000_5800でエイリアスされ、SRAM1およびSRAM2メモリを持つ連続RAMアドレス範囲が可能になります。

最後に、STM32G431はシングルのフラッシュメモリバンクを持っています。

ブートモード 選択					ブートモード・エリアの選択
BOOT_LOCK bit	nBOOT1 bit	BOOT0 pin	nSWBOOT0 bit	nBOOT0 bit	
0	x	0	0	x	メインFlashメモリ
0	1	1	0	x	システム・メモリ
0	0	1	0	x	内蔵SRAM
0	x	x	1	1	メインFlashメモリ
0	1	x	1	0	システム・メモリ
0	0	x	1	0	内蔵SRAM
1	x	x	x	x	メインFlashメモリ(強制)

- 他のオプションビットに関係なくBOOT_LOCKビットはFlashメモリからブート
- SYSCFG_MEMRMP[MEM_MODE]フィールドは、ソフトウェアによって物理的な再配置を選択するために使用され、BOOTピンとオプションビット設定をバイパスする



- リセット後これらのビットは BOOT0 ピン(またはオプション ビット nSWBOOT0)と BOOT1 オプション ビットで選択された値を取る

BOOT0 ピンまたは nBOOT0 ビット (nSWBOOT0 ビットがクリアされている場合) と nBOOT1 ビットによって選択される 3 つのブートモードがあります。

BOOT0ピンがローレベルになると、STM32G4マイクロコントローラはユーザーフラッシュメモリから起動します。

BOOT0 ピンがハイレベルになると、nBOOT1 ビットによってブートモードが決まります。nBoot1が1の場合、ブートは、ST 独自のブートコードを含むシステムメモリから実行されます。

もう1つのオプションは、SRAM1 メモリ領域からの起動です。BOOT_LOCK ビットが1の場合、ブートはメインフラッシュメモリから強制的に実行されます。

ソフトウェアは、SYSCFG_MEMRPLレジスタのMEM_MODE フィールドをプログラミングすることにより、アドレス 0 に表示されるメモリを動的に選択できます。

このフィールドのデフォルト値は、ブート・ピンの状態および関連するオプション・バイト値、BOOT_LOCKおよび nSWBOOT0 によって異なります。

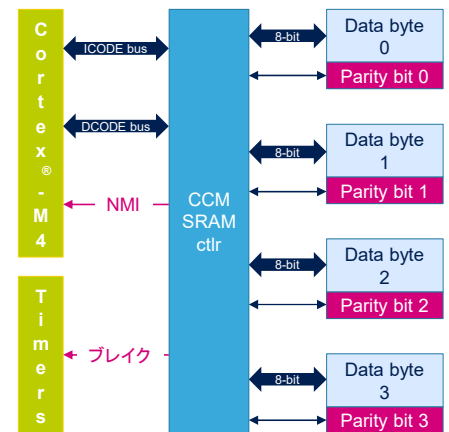
プロトコル	I/O とコメント
USART	USART1 PA9/PA10 ピン USART2 PA2/PA3 ピン USART3 PC10/PC11 ピン
USB	USB DFUインタフェース PA11/PA12 ピン
SPI	SPI1 PA4/PA5/PA6/PA7 ピン SPI2 PB12/PB13/PB14/PB15 ピン
I2C	I2C2 PC4/PA8 ピン I2C3 PC8/PC9 ピン I2C4 PC6/PC7 ピン



オンチップのブートローダを使用すると、ペリフェラルのシリアル通信を介してSTM32G4にダウンロードされたイメージでフラッシュメモリをプログラムできます。
サポートされているプロトコルは、USART、USB、CAN、SPI、およびI²Cです。

パフォーマンス、整合性、セーフティ (Class B, SIL)

- D-codeとI-codeを介したアクセスを持つ32 KB CCM SRAM:
 - 再配置を使用せず、コード実行を最大パフォーマンスに
- HWパリティチェック: ワードあたり4bit
 - SRAM_PEの有効 ユーザ・オプション・バイト
 - パリティ・エラーでNMIの生成
 - オプションのブレイク・トゥ・タイマ、システム障害時のHRTIM停止
 - デフォルトで無効
- パリティ・チェックはSRAM1の最初の32KBにも実装



CCM SRAMの32キロバイトは、パフォーマンス、整合性、セーフティに特に適しています。

CCM SRAM は、D-CODE バスと I-CODE バスを介してアクセスされ、メモリの再配置せずにゼロウェイトでのコード実行が可能になります。

CCM SRAM はパリティチェックをサポートします。データ バスの幅は32ビットで、たとえばクラス B または SIL 規格によってメモリの堅牢性を高めるために、4 ビットがパリティ チェック (1 ビット/バイト) に使用できます。クラス B および SIL は機能安全です: クラス B は家電製品用、SIL は安全整合性レベルです。

パリティビットは SRAM に書き込むときに計算され、格納されます。次に、読み取り時に自動的にチェックされます。少なくとも 1 ビットで障害が発生すると、ノンマスカブル割り込み (NMI) が生成されます。同じエラーは、タイマの ブレイク 入力と HRTIM システム障害入力にもリンクできます。

パリティ チェックは既定で無効になっています。

SRAM1 の下位 32 K バイトもパリティ生成と検査をサポートします。

セキュリティで保護された SRAM

- 1Kバイト単位の書込み保護機能
 - SYSCFG_SWPR書き込み保護レジスタでプログラム可能
 - 32bit, KBあたり1ビット
- RDPによる読出し/書込み保護
 - RDP がレベル1 からレベル0 に変化した場合に消去
- ソフトウェア・リセットとシステム・リセット時のハードウェア・リセット(オプション)
 - SYSCFG_SCSRのレジスタ CCMER ビットにセットされると消去
 - ユーザーオプションのバイトのCCMSRAM_RSTを用いたシステム・リセットで消去



CCM SRAMは、セキュアなアプリケーションにも適しています。

CCM SRAMは1KB単位で書込み保護可能です。

また、RDP オプション・バイトによって読出し保護を行うこともできます。保護時にはCCM SRAM、およびフラッシュメインメモリとバックアップレジスタは、デバッグモードまたはブートRAM またはブートローダからコードが実行されている場合に、完全にアクセスできません。

読み出し保護がレベル 1 からレベル 0 に変更されると、CCM SRAM は消去されます。

CCM SRAM は、CCM SRAM システムコンフィグレーションコントローラおよびステータス・レジスターに CCMER ビットを設定することにより、ソフトウェアによって消去できます。

CCM SRAM は、ユーザー・オプション・バイトのCCMSRAM_RST オプション・ビットに応じて、システム・リセットを使用して消去することもできます。

安全性と堅牢性

- コンフィグレーション・レジスタ 2 の安全性と堅牢性の機能

SYSCFG_CFGR2フィールド	説明
SPF (SRAMパリティ・フラグ)	SRAM および CCM SRAM パリティ・エラーが検出された場合にセット
ECCL (ECCロック)	=0: タイマの中断または HRTIM の障害はない
PVDL (PVDロック)	=1: ECC、PVD、SRAMパリティ、またはプロセッサのロックアップ状態
SPL (SRAM1 と CCMパリティ・ロック)	が原因でTIM1/8/15/16/17/20ブレイク入力とHRTIMシステム障害入力
CLL (Cortex®-M4ロックアップ)	のアサーションが発生

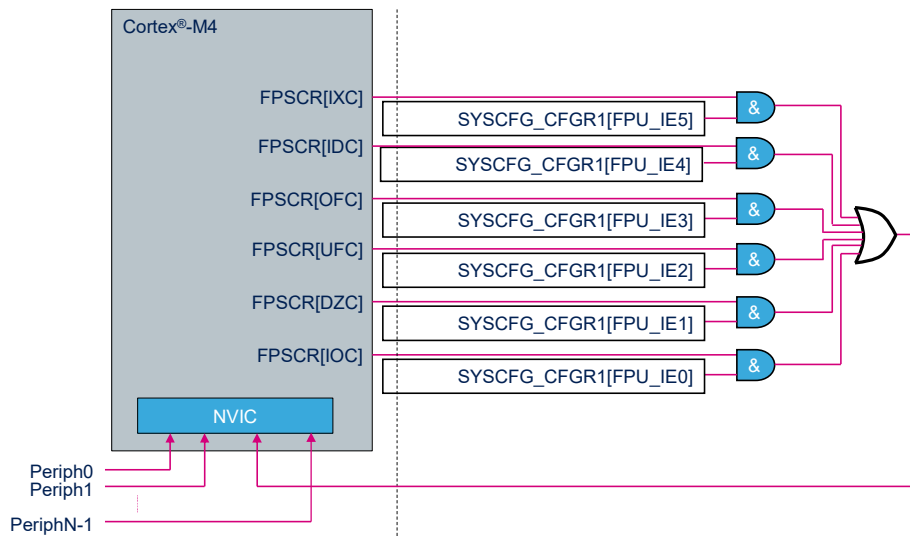
- パワーエレクトロニクス制御に使用するタイマは、STM32G4マイクロコントローラで検出された回復不能な障害の場合に安全な状態に設定可能



life.augmented

システムコンフィギュレーションレジスタ 2 には、CCM SRAM パリティ エラー フラグなどの安全性と堅牢性に関連するコントロールビットとステータスビット、およびエラー検出イベントをタイマのブレイク入力に送るコントロールビットが含まれています。

これにより、アプリケーションのクラッシュ時にタイマ出力を既知の状態に配置できます。プログラムが完了すると、次のシステムがリセットされるまで、接続はロックされます。これらの内部イベントには、フラッシュエラーコード修正イベント、電源電圧検出器イベント、SRAM1 および CCM RAM パリティエラーイベント、および Cortex M4 ハードフォールトが含まれます。



Cortex-M4 コアに存在する浮動小数点ユニット (FPU) は、FPv4 アーキテクチャに従って、各命令に必要な FPSCR レジスタの累積例外ステータス フラグを設定します。FPU はユーザー モードトラップをサポートしません。この例外は、FPSCR のゼロ読み取りビットを有効にし、書き込みは無視されます。このプロセッサには、累積例外フラグの 1 つの状況をそれぞれ反映する 6 つの出力ピン (IXC、FC、OFC、DZC、IDC、IOC) もあります。SYSCFG_CFGR1 レジスタ内の対応するイネーブルビットが設定されている場合、フラグが設定されると割り込みが要求されます。割り込みサービス ルーチンは、どのフラグが設定されているかを決定します。

- STM32G4の4つの I²C コントローラは3つの速度をサポート

モード	ビットレート	20 mA 出カドライブ I/O
スタンダード・モード(Sm)	≤ 100 Kbps	NO
ファースト・モード (Fm)	≤ 400 Kbps	NO
ファースト・モード・プラス (Fm+)	≤ 1 Mbps	Yes

- エクストラハイドライブは SYSCFG モジュールによって制御される
 - I²C が選択されていない他の機能でも有効にすることが可能



STM32G4マイクロコントローラに組み込まれた4つのI²Cコントローラは、3つの速度をサポートします。

- 標準モード、最大ビットレートは100キロビット/秒
 - ファーストモード、最大ビットレートは400キロビット/秒
 - ファーストモードプラス、最大ビットレートは1メガビット/秒
- ファーストモードプラスは、SYSCFG モジュールで有効にされ、かつ高いドライブ機能を必要とします。

ハイドライブはピンレベルで制御されるため、他の代替機能でも使用できます。

ピン	I ² C 代替機能	I ² C FM+モード・イネーブル
PA13, PA15, PB8	I2C1_SCL	SYSCFG_CFGR1[I2C1_FMP]=1
PA14, PB7, PB9	I2C1_SDA	
PA9, PC4, PF6	I2C2_SCL	SYSCFG_CFGR1[I2C2_FMP]=1
PA8, PF0	I2C2_SDA	
PA8, PC8, PF3, PG7	I2C3_SCL	SYSCFG_CFGR1[I2C3_FMP]=1
PB5, PC9, PC11, PF4, PG8	I2C3_SDA	
PA13, PC6, PF14, PG3	I2C4_SCL	SYSCFG_CFGR1[I2C4_FMP]=1
PB7 , PC7, PF15, PG4	I2C4_SDA	

ピン	代替機能	FM+モード・イネーブル
PB6	TIM16_CH1N, TIM4_CH1, TIM8_CH1, TIM8_ETR, TIM8_BKIN2, USART1_TX, COMP4_OUT, CAN2_TX, LPTIM1_ETR, HRTIM_SCIN, HRTIM_EEV4, SAI_FS_B, EVENTOUT, UCPD_CC1	SYSCFG_CFGR1[I2C_PB6_FMP]=1
PB7	TIM17_CH1N, TIM4_CH2, TIM8_BKIN, TIM3_CH4, I2C4_SDA, I2C1_SDA , USART1_RX, COMP3_OUT, CAN2_TXFD, LPTIM1_IN2, FMC_NL, HRTIM_EEV3, UART4_CTS, EVENTOUT, PVD_IN	SYSCFG_CFGR1[I2C_PB7_FMP]=1
PB8	TIM16_CH1, TIM4_CH3, SAI_CK1, I2C1_SCL , USART3_RX, COMP1_OUT, CAN1_RX, TIM8_CH2, TIM1_BKIN, HRTIM_EEV8, SAI_MCLK_A, EVENTOUT	SYSCFG_CFGR1[I2C_PB8_FMP]=1
PB9	TIM17_CH1, TIM4_CH4, SAI_D2, I2C1_SDA , IR_OUT, USART3_TX, COMP2_OUT, CAN1_TX, TIM8_CH3, TIM1_CH3N, HRTIM_EEV5, SAI_FS_A, EVENTOUT	SYSCFG_CFGR1[I2C_PB9_FMP]=1



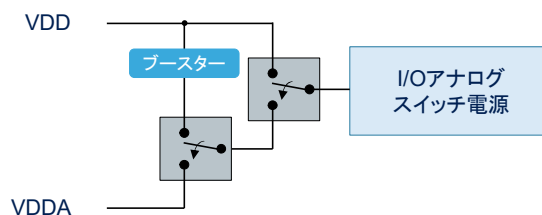
各I2Cコントローラは、SYSCFG_CFGR1レジスタにファーストモードとドライブ許容モードを有効にする制御ビットを持っています。

各ピンPB6、PB7、PB8、PB9には、選択されたペリフェラルに依存せず、ファーストモードプラス向けのドライブ能力をアクティブにする独自のI2C_PB_FMP制御ビットを持っています。

GPIOピンでFM+モードがアクティブ化されると、GPIOx_OSPEEDRレジスタにプログラムされたGPIOの速度コンフィグレーションは無視されます。

場合によっては、FM+モードをアクティブ化する方法が2つあります。たとえば、I2C1_FMPまたはI2C_PB8_FMPビットがSYSCFG_CFGR1レジスタ内の1に設定されている場合、PB8ピンはFM+をサポートI2C1_SCLとして設定されます。

VDD	VDDA	BOOSTEN	ANASWVDD
-	> 2.4 V	0	0 ➤ VDDAが提供するI/Oアナログ・スイッチ
> 2.4 V	< 2.4 V	➤ I/OアナログスイッチはVDDA電圧で供給	1 ➤ VDDが提供するI/Oアナログ・スイッチ
< 2.4 V	< 2.4 V	1 ➤ I/Oアナログスイッチは専用の電圧ブースター (VDDIによって供給される)によって供給される	0 ➤ ブースターが提供するI/Oアナログ・スイッチ



SYSCFG_CFGR1レジスタの2ビットBOOSTENとANASWVDDは、I/Oアナログスイッチの電源を選択するために使用されます。

これらは、VDDとVDDAの電源の電圧に応じて初期化する必要があります。

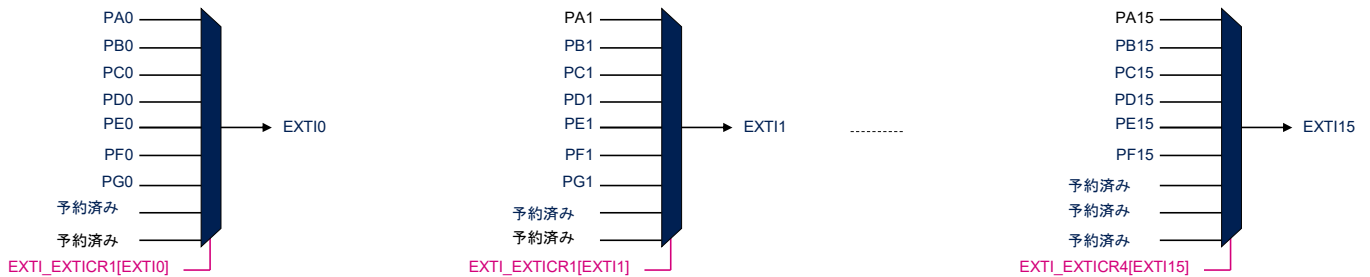
VDDA電圧が2.4Vより大きい場合、I/OアナログスイッチはVDDAによって電源を供給する必要があります。

VDDA電圧が2.4Vより低く、VDDが2.4Vより高い場合、I/OアナログスイッチはVDDによって電力を与えられなくてはなりません。

VDDとVDDAの両方の電圧が2.4Vより低い場合、I/OアナログスイッチはVDDブースターの出力によって電源を供給されます。

GPIOマルチプレクサはSYSCFGからEXTIに変更

17



- 異なるポートに同じ番号を持つ2つ以上のGPIOパッドは、EXTI構成可能イベントと同時に選択できない



STM32G4マイクロコントローラには7つのIOポートがあり、ポートAからFは16ピン幅のポート、ポートGは11ピン幅のポートです。

GPIOポートに関連する16のEXTI構成可能イベントのそれぞれは独立したマルチプレクサを持っています。

EXTIマルチプレクサ出力は、EXTI_IMRおよびEXTI_EMRレジスタで定義されたマスクとは別に使用できます。

- 詳細は、以下を参照してください。
 - STM32G4マイクロコントローラ・リファレンス・マニュアル
 - このペリフェラルに関連するペリフェラル・トレーニング
 - 拡張割り込みおよびイベント・コントローラ(EXTI)
 - Arm Cortex®-M4コア(CM4)
 - メモリ保護(MEMPROTECT)
 - タイマ(TIM)
 - 高分解能タイマ (HRTIM)



life.augmented

システムコンフィグレーションモジュールの詳細については、STM32G4マイクロコントローラリファレンスマニュアルを参照してください。

必要に応じて、次のトレーニングも参照してください。

- 拡張割り込みおよびイベント・コントローラ
- アームコルテックス-M4コア、
- タイマ
- 高分解能タイマ