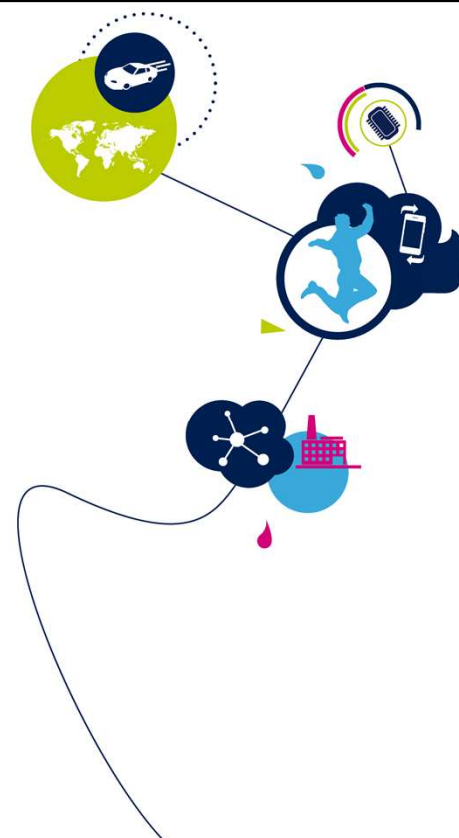


STM32G4 – QUADSPI

Quad-SPI メモリ・インタフェース

1.0版



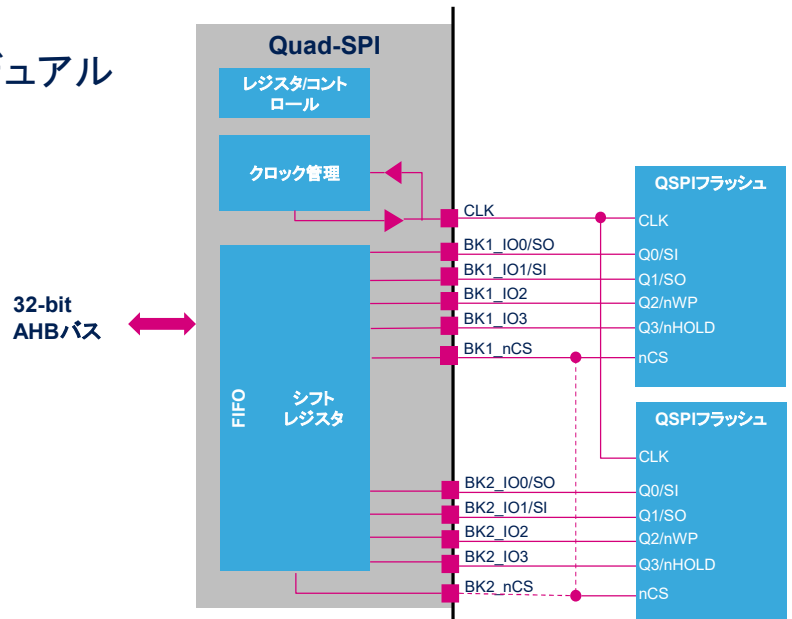
こんにちは、STM32 Quad-SPI メモリインタフェースのプレゼンテーションへようこそ。このプレゼンテーションでは、マイクロコントローラと外部メモリの接続に広く使われている QuadSPI メモリインタフェースの特徴について説明します。

シングル、もしくはデュアルQuad-SPIアクセス?

2

ピン数と性能による柔軟な選択

- Quad-SPIは、シングルおよびデュアルの外部Flash操作をサポート(*)
- 4bit、もしくは8bitデータ・バス



* : 部品番号に依存

STM32G4マイクロコントローラ内に内蔵されたQuad-SPIメモリアンタフェイスは、通信インタフェイスを提供し、マイクロコントローラが外部のSPIおよびQuad-SPIメモリと通信可能になります。

Quad-SPIメモリアンタフェイスは、1つまたは2つの外部メモリへの接続をサポートします。つまり、メモリとマイクロコントローラの間で、4ビットまたは8ビットのデータバスを通じてデータを転送できます。接続に必要なピン数 (シングルの場合は6、デュアル接続では10) とデータ転送のパフォーマンス (1ビットの場合は4ビット、ダブル接続の場合は8ビット) の中から柔軟に選択できます。

2つの外部メモリは、専用チップセレクトで個別に管理できます。

また、同じチップセレクトを使用して、8ビットのデータメモリとして動作することもできます。この場合、2つのメモリ参照は同じである必要があります。

- 3つの操作モード
 - インダイレクト
 - ステータスポーリング
 - メモリマップド
- 最大133MHzの最適化された操作(*)
 - デュアルFlashモード(2つのFlashメモリにパラレル8bitでアクセス)
 - シングル・データレート (SDR)とデュアル・データレート (DDR) をサポート



* : VDDの範囲は2.7Vから3.6 Vまで

STM32 製品に搭載の Quad-SPI メモリインタフェースは 3つの動作モードを提供し、デュアルデータ レート動作に対応した外部メモリとの通信に最適化されています。これにより、シングル読出しサイクルで 8bit でのアクセスが可能となっています。また、シングルデータとデュアルデータレートの両方の動作をサポートします。

柔軟な動作モードで CPU 負荷を軽減

- インダイレクト・モード
 - すべての動作はレジスタにより実行 (従来のSPI)
- ステータス・ポーリング・モード
 - Flashメモリ・ステータス・レジスタの定時読出しおよびマッチ時の割込み生成
- メモリ・マップド・モード
 - 外部Flashメモリを内部メモリのように読出し可能



Quad-SPI メモリインタフェースは 3 つのモードで動作します。

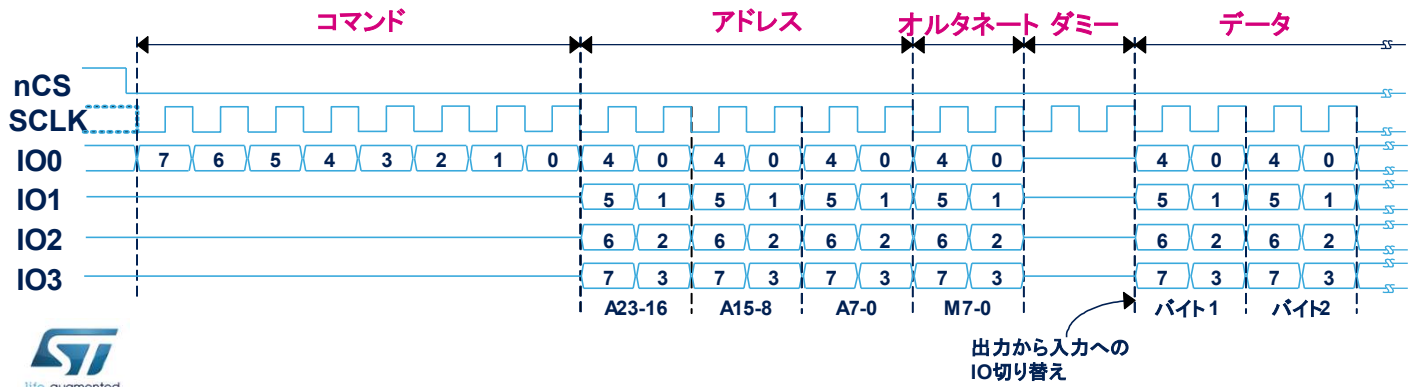
1.インダイレクトモードでは、従来の SPI インタフェースとして動作し、全ての動作はレジスタを通じて実行されます。

2.ステータスポーリングモードでは、フラッシュステータスレジスタが周期的に読み出され割込みが生成されます。

3.メモリマップドモードでは、外部フラッシュメモリを内部メモリのように読み出すことができます。

シングル/デュアル/クワッド SPI シリアル フラッシュ メモリとの互換性

- QSPI コマンドには、最大5つの設定可能なフェーズが含まれる
 - 各フェーズは有効化または無効化が可能
 - 各フェーズの長さを設定可能
 - 各フェーズのライン数を設定可能



Quad-SPI メモリインタフェースは、フレームフォーマットの設定で高い柔軟性を発揮します。この柔軟性により、あらゆるシリアルフラッシュメモリに対応できます。ユーザーは、5つのフェーズのそれぞれを有効または無効でき、また各フェーズの長さや各フェーズで使用されるライン数を設定できます。

従来の SPI インタフェイス

- 従来の通信IPと同じ使い方
 - データは、データレジスタへの書き込みまたは読出しで転送
 - バイト数はデータ長レジスタに指定
- データ FIFO の管理
 - 割込みフラグ(転送完了フラグ)
 - DMAサポート
- コマンドの開始
 - 命令が必要なときに命令を書込み
 - 命令とアドレスが必要なときにアドレスを書込み
 - データフェーズが必要なときにデータを書込み



life.augmented

Quad-SPI メモリインタフェイスをインダイレクト動作モードで使用すると、従来の SPI インタフェイスのように動作します。転送データは、FIFOでデータレジスタを経由します。データの交換は、ソフトウェア、Quad-SPI ステータス レジスタの関連割込みフラグ、または DMA コントローラによって動作します。

外部メモリにアクセスするための各コマンドは、命令を受けるコンテキストに応じて、命令、アドレスまたはデータを書き込むと開始します。

ステータスポーリング動作モード

7

ソフトウェア・オーバーヘッドの削減

- ステータスレジスタ・ポーリングの固有モード
 - プログラム可能なレジスタの長さ: 8/16/24/32ビット
 - 指定した間隔での繰り返し読み出し動作
- 応答をマスクし、一致した際にマッチ時に割込みを生成
 - プログラム可能なマスク (PSMKR レジスタ)
 - 一致レジスタ (PSMAR) で、マスクした値をビットごとに比較
 - 比較の結果は、AND または OR で処理される
 - 一致を検出すると割込みを生成します (一致フラグで停止)
- 一致を検出すると自動的に停止



Quad-SPI インタフェイスには、指示を受けずに外部フラッシュメモリのステータスレジスタを自律的にポーリングする固有のモードが実装されています。またQuad-SPI インタフェイスは、定期的に外部フラッシュメモリ内のレジスタを読み出すように設定できます。応答データをマスクして、評価対象のビットを選択できます。選択したビットは、マッチレジスタに保存した要求値と比較します。比較の結果は、2通りの方法で取り扱われます。1つは論理積 (AND) モードで、全ての選択ビットが一致したときに割込みを生成します。もう1つは論理和 (OR) モードで、選択したいずれかのビットが一致したときに割込みを生成します。一致が発生すると、Quad-SPI インタフェイスは自動的に停止します。

プロジェクトへのメモリの拡張が容易

低電力管理

- XiP をサポートするプリフェッチ
- ウェイトステート付きの内部メモリとみなされる外部Flashメモリ
 - AHBアクセスにより、読出し動作が自動的に生成される
 - インダイレクト・モードと同様に、フレームとオペコードは IP設定時に定義される
- nCS ピンはローのまま保持、クロックは停止して Quad-SPI バスをストールさせ、必要に応じてシーケンシャル読出しが再開
- タイムアウト・カウンタがnCS ピンをハイにリリースして低電力を実現



Quad-SPI メモリインタフェースはメモリマップドモードも備えています。このモードで導入されるアプリケーションの主な利点は、この外部メモリをアクセスの観点から内部メモリと見なすことです。本モードは読出し動作時にのみ適しています。外部フラッシュメモリは、その速度の遅さを相殺するためのウェイトステートを持つ内部メモリと見なせます。本モードで対応できるサイズは最大で 256MB です。

内部プリフェッチバッファは、コードを内部RAMにダウンロードすることなく、外部メモリから直接実行できるため、コードを最適化することができます。

本モードはまた、一部のフラッシュメモリで提供されている SIOO (Send Instruction Only Once = 初回命令再利用) モードにも対応しています。コントローラはこの機能により命令を1回送信するだけで、後続アクセスのための命令フェーズを省略することができます。

PCB レイアウトに起因する信号遅延対策として有益

- サンプリング・クロックは、 $\frac{1}{2}$ クロック・サイクルだけシフト
 - PCB上での入力データ遅延伝搬時間を補正するため
 - SDRモードのみサポート
- 出力データは、 $\frac{1}{4}$ Quad-SPI出力クロック・サイクルでシフト可能*
 - DDRモードでのみサポート



* :部品番号に依存

遅延データサンプリングにより、PCB レイアウト最適化上の制約による信号の遅延を補正できます。これにより、SDR モード時のアプリケーションによるデータサンプリング時間が $\frac{1}{2}$ クロックサイクルだけシフトできます。DDR モード時に出力データを $\frac{1}{4}$ システムクロックサイクルだけシフトすることで、ホールド時間の制約を緩和できます。

割り込みイベント	説明
タイムアウト	タイムアウトの発生時にセットされる
ステータス一致	自動ポーリング・モードで、マスクされた受信データがマッチレジスタの該当ビットと一致したときにセットされる
FIFO しきい値	FIFO しきい値 インダイレクト・モードで、FIFO 閾値に達したときにセットされる
転送完了	インダイレクトモードで、プログラムされたデータ数が転送されたとき、またはモードに関係なく転送が中止されたときにセットされる
転送エラー	インダイレクト・モードで、無効なアドレスへのアクセスがあったときにセットされる

- DMA リクエストは、インダイレクト・モードで FIFO 閾値に達したときに生成される



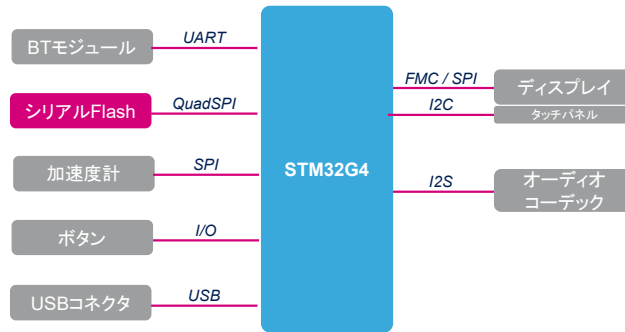
Quad-SPI メモリインタフェースには 5 つの割り込みソースがあります。タイムアウト、自動ポーリングモードでマスクされた受信データがマッチレジスタの該当ビットと一致したときのステータスマッチ、FIFO しきい値、転送完了、および転送エラーです。DMA リクエストは、インダイレクトモードで FIFO しきい値に達したときに生成されます。

モード	説明
RUN	有効
SLEEP	有効 ペリフェラル割込みによって、デバイスは SLEEPモードを終了
STOP	停止 ペリフェラル・レジスタの内容は保たれる
STANDBY	パワーダウン状態 ペリフェラルは、STANDBYモード終了後に再初期化する必要がある



Quad-SPI メモリインタフェースは、RUN、SLEEPモード時にアクティブとなります。Quad-SPI からの割込みにより、デバイスは SLEEPモードから復帰します。STOPモードでは、Quad-SPI は停止し、そのレジスタの内容は保持されます。STANDBY モードでは、Quad-SPI の電源がオフになり、その後に再初期化する必要があります。

- 接続可能でユーザ・インタフェースを持つウェアラブル・アプリケーション



ウェアラブルアプリケーションには、高品質のユーザーインタフェースと共に低電力管理機能が必要です。これは、STM32G4のQuad-SPIインタフェースを使用して、背景画像、高解像度アイコン、または複数の言語をサポートするフォントなどすべてを含むグラフィカルコンテンツを外部フラッシュメモリに保存することで実現できます。着信音用の追加のオーディオデータは、外部フラッシュメモリによって提供される大きなスペースの恩恵を受けることができます。このようなデバイスを駆動するための必要なピン数が少ないため、高度に最適化されたシステム統合が可能になります。

- このペリフェラルに関連する以下のペリフェラル・トレーニングを参照してください。
 - RCC (Quad-SPI クロック・コントロール、Quad-SPI イネーブル/リセット)
 - 割込み(Quad-SPI割込みマッピング)
 - DMA (Quad-SPIデータ転送)
 - GPIO (Quad-SPI入力/出力ピン)

詳しくは、RCC、割込み、DMA、および GPIO に関するペリフェラルトレーニングスライドを参照してください。

STM32シリーズ全体の比較

QUADSPI 機能	STM32L4	STM32F0	STM32F1	STM32F2	STM32F3	STM32F4	STM32F7	STM32G4
インスタンス数	1	0	0	0	0	1	1	1
最高速度	48 MHz	N/A	N/A	N/A	N/A	90MHz	100MHz	133MHz
デュアル Flash	N	N/A	N/A	N/A	N/A	Y	Y	Y
ソフトウェアの 互換性	N/A	N/A	N/A	N/A	N/A			



低レベルドライバー
ソフトウェアの互換性:

- 互換、またはほぼ互換
- 部分的
- 互換性なし

Quad-SPIは一部のSTM32F4およびSTM32L4デバイスにも実装されていますが、STM32F4、STM32F7、STM32G4はデュアルフラッシュサポートと高速なI/O速度を提供します。

- 詳細については、以下の資料を参照してください。：
 - アプリケーション・ノート AN4760: Quad-SPI (QSPI) interface on STM32 microcontrollers



life.augmented

詳しくは、AN4760 - Quad-SPI (QSPI) interface on STM32 microcontrollers を参照してください。