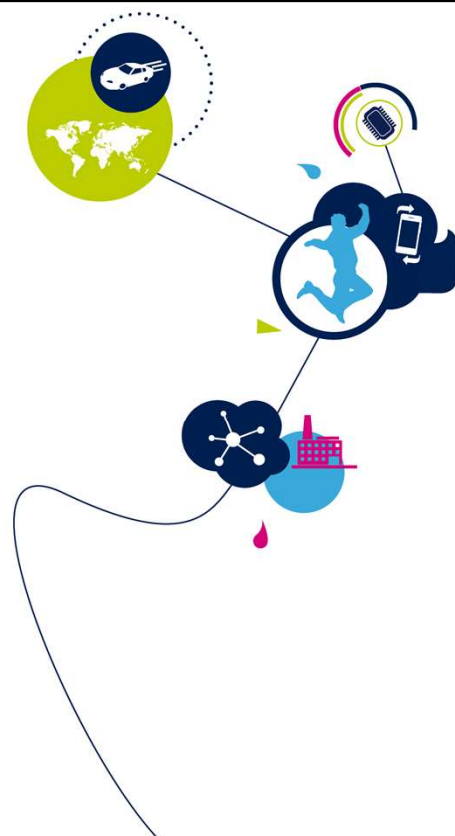


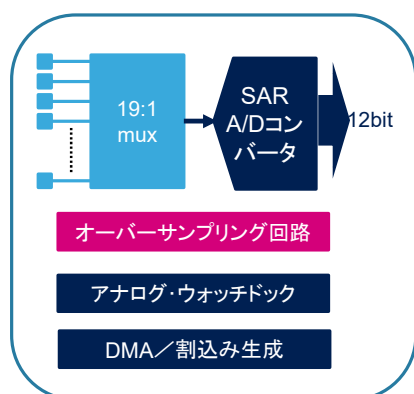
STM32G4 – A/Dコンバータ

A/Dコンバータ

1.0 版



こんにちは、STM32G4 A/D コンバータブロックのプレゼンテーションによろこそ。このブロックの主な機能について説明します。このブロックは、センサー出力のような外部のアナログ電圧をデジタル値に変換して、デジタルドメインでさらに処理するために使用します。



- アナログからデジタルへの変換を提供
 - 最大42の入力チャネルを備えた5つの12bit A/Dコンバータ
 - オーバーサンプリング機能
 - 最速4メガサンプル/秒 (12bit分解能)
 - A/Dコンバータ あたり3つのアナログ・ウォッチドッグ
 - DMAリクエストの生成
 - 割込みの生成

アプリケーション側の利点

- 超低消費電力
- フレキシブル・トリガ、CPUの負荷低減のためのデータ管理



STM32G4マイクロコントローラ内のA/D コンバータにより、マイクロコントローラはセンサ出力のようなアナログ値を受け入れ、デジタルドメインに信号を変換できます。

最大5つのA/Dコンバータがあり、42のアナログ入力を使用できます。

オーバーサンプリングユニットは、メインプロセッサの負荷をオフロードするためにデータをプリプロセスします。複数の変換を処理し、データ幅を最大16ビットまで増加させたデータに平均化が可能です。

ADC モジュールは、12ビットの逐次比較型コンバータで、オーバーサンプリングハードウェアを追加で備えています。

サンプリング速度は、12ビット解像度で毎秒4メガサンプルです。データは、DMA転送または割込みのいずれかを介してソフトウェアに利用可能にすることができます。

このA/Dコンバータは、低消費電力と高性能を実現するように設計されています。

トリガメカニズムは多数あり、データ管理はCPUワークロードを最小化するように構成できます。

A/Dコンバータモジュールはアナログ・ウォッチドッグも統合します。

機能	説明
A/Dコンバータ・ユニット	5モジュール(最大)
入力チャンネル	最大42の外部チャンネル(GPIO)、シングルまたは差動チャンネルと3つの内部チャンネル
テクノロジー	12bit 逐次比較
変換時間	最小15ADCクロック・サイクル 200ns ($f_{ADC_CLK} = 60\text{MHz}$, 12bit分解能の場合) 4.0メガサンプル/秒
機能モード	シングル、連続、スキャン、不連続またはインジェクト
トリガ	ソフトウェアまたは外部トリガによる(タイマとIO から)
特別な機能	ハードウェア・オーバー サンプリング、アナログ・ウォッチドッグ(+フィルタ)、データの事前処理(オフセットおよびゲイン補償)、柔軟なサンプリング時間
データ処理	割込みの生成、DMA リクエスト
低電力モード	ディープ・パワーダウン、自動遅延変換モード、低い周波数で動作する場合のA/Dコンバータ消費電流を低減する「速度適応型低電力モード」



最大5つのアナログ・デジタル・コンバータをSTM32G4xx製品に内蔵しています。

入力チャンネルは、シングルエンドまたは差動モードで信号を変換可能で、最大42チャンネルに接続されます。

ADC クロック周波数が 60 MHz の場合、A/Dコンバータ は 12 ビット モードで毎秒 4 メガサンプルの信号を変換できます。

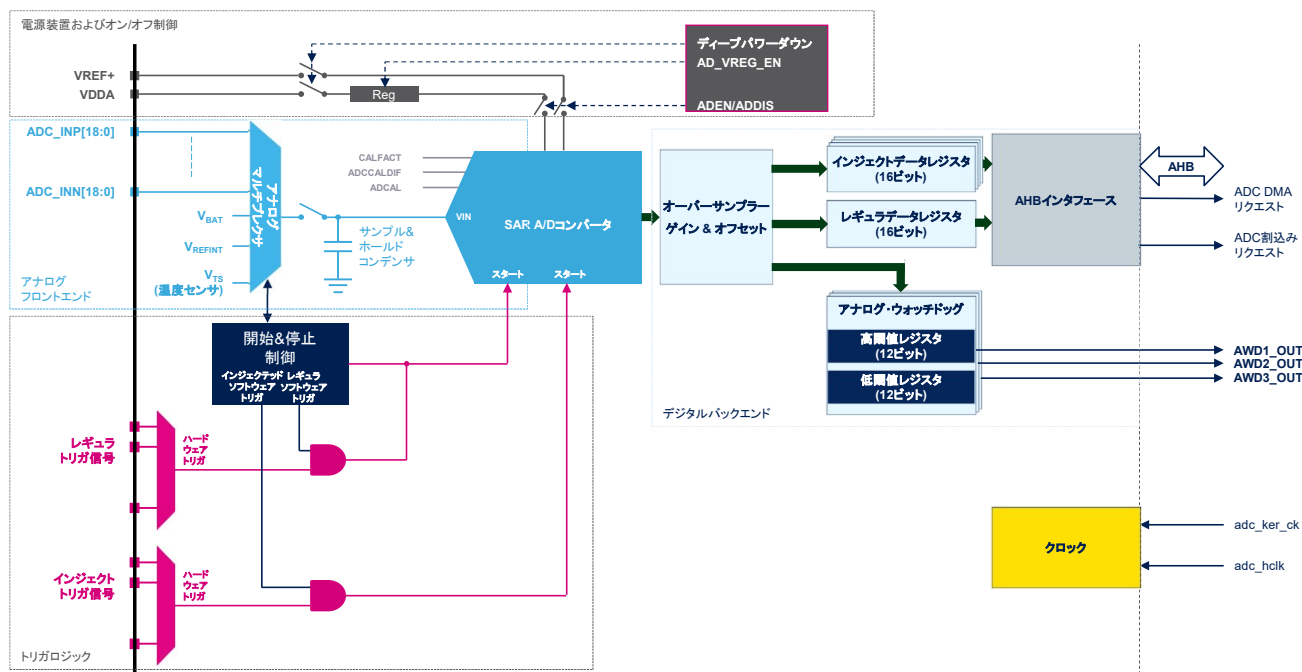
また後で説明する、いくつかのサポート機能があります。

いくつかの異なるトリガ方法もあります。CPU の負荷をオフロードするために、A/Dコンバータ には、しきい値を監視するためのアナログ ウォッチドッグがあります。アナログウォッチドッグには新規のフィルタリング機能があります。

A/Dコンバータは、最終的なビット数を拡張、変換するオーバーサンプリング回路も提供します。

また、新しい柔軟なサンプリング時間制御と新しいゲインとオフセット補正があります。

電力を重視するアプリケーション用に、A/D コンバータは多くの低消費電力機能を備えています。



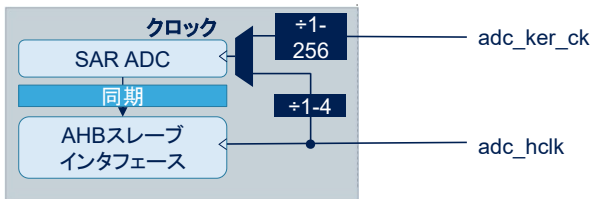
このスライドは、A/Dコンバータの全般的なブロック図を示しています。

A/Dコンバータの主になる重要なサブユニットは、以下になります。

- 電源装置およびオン/オフ制御
- アナログフロントエンド
- トリガロジック
- アナログ・ウォッチドッグとAHBスレーブ・インタフェースを含むデジタル・バックエンド
- クロック

次のスライドでは、これらすべてのサブユニットについて詳しく説明します。

クロック



- A/Dコンバータ はデュアル・クロック・ドメイン・アーキテクチャを実装
 - ADCクロックを取得するために使用するルート・クロックを選択する必要がある
 - オプション1: adc_ker_ckは通常、PLLのP出力を係数(プログラム可能)で除算 (1から256)
 - オプション2: AHBクロックを係数(プログラム可能)で割った値(1、2、または4)

オプション	利点
1	ADCクロック周波数は AHBクロック速度に依存しない
2	一意のクロック・ドメインが使用されるため、再同期遅延は発生しない



ADC には、adc_ker_ckとadc_hclkの 2 つのクロック入力があります。

AHB インタフェースは、adc_hclk クロックドメインに属します。逐次比較型(SAR) A/Dコンバータのデジタル部分に関しては、2つのオプションがあります。

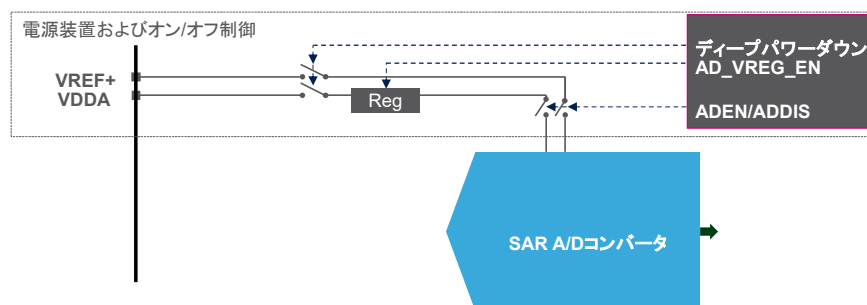
- adc_hclkを基準クロックとして使用する
- または、adc_hclkに独立して専用であるadc_ker_ckを使用しています。

この 2 番目のオプションを使用すると、AHB および CPU クロックドメインに動的に周波数スケーリングを実装でき、サンプリング クロックは固定されます。

ただし、adc_ker_ckクロックドメインで取得したサンプルは、同期遅延が必要なCPUまたはDMAによって読み取られるにはAHBクロックドメインに渡す必要があります。

即時のトリガの不確実性は、2つのクロックドメイン間の再同期によっても追加されます。

電源装置およびオン/オフ制御



• ディープ・パワーダウン・モード

- A/Dコンバータの内部供給は、漏れ電流低減のための電源スイッチによって無効にすることが可能



A/Dコンバータのアナログ部分には 2 つの電源が必要になります。

- 正のアナログリファレンスでVREF+と
- アナログ電源であるVDDA。

デフォルトでは、A/Dコンバータはディープパワーダウンモードで、漏れ電流を減らすために供給が内部的にオフになっています。

A/Dコンバータの操作を開始するには、まず ディープパワーダウンビットをゼロに設定して、ディープパワーダウンモードを終了する必要があります。

また、A/Dコンバータの電圧レギュレータを無効にすることで、電力を節約することができます。これは、ビット ADVREGEN をゼロに書き込むことで可能になります。

ADDIS を 1 にセットすると、A/Dコンバータ が無効になります。アナログ A/Dコンバータ が事実上無効になると、ADEN と ADDIS はハードウェアによって自動的にクリアされます。

電源装置およびオン/オフ制御、IO電圧ブースタ

IOアナログ・スイッチ電圧ブースタ

- VDDAが減少するとアナログ・スイッチの抵抗が増加
 - VDDAが低い場合、内部の電圧ブースタを有効にしてスイッチを制御することで、アナログ・スイッチの抵抗を最小限に抑えることが出来る
- 推奨されるアナログ・スイッチの電源は以下の通り

VDD	VDDA	BOOSTEN	ANASWVDD	アナログ・スイッチ電源
-	>2.4 v	0	0	VDDA (default)
>2.4 v	<2.4 v	0	1	VDD
<2.4 v	<2.4 v	1	0	電圧ブースタ

ANASWVDD

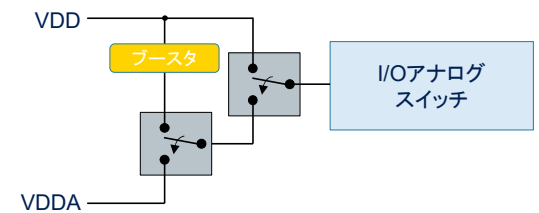
1: I/O VDDが提供するアナログ・スイッチ

0: I/O VDDAまたはブースタが提供するアナログ・スイッチ

BOOSTEN

1: I/Oアナログ・スイッチは電圧ブースタによって供給

0: I/Oアナログ・スイッチはVDDAによって供給



IO内部のアナログスイッチは、アナログスイッチの電圧が減少すると抵抗が大きくなります。

VDDAとVDDが低い場合は、アナログスイッチを電力を供給し、低抵抗を最小限に抑えることが必要になります。

アナログスイッチの推奨電源はVDDAを使用する方法です。

しかし、VDDAが2.4ボルトより低く、VDDが2.4ボルトより大きい場合、電源はVDDに切り替えることができます。

VDDAとVDDの両方が2.4ボルトより低い場合は、電圧ブースタを有効にする必要があります。

電源装置およびオン/オフ制御、内部電圧リファレンスVREFBUF

- アナログ電圧リファレンスVrefは、電圧リファレンスVREFBUFを介して外部または内部に提供することが可能
 - 3つの電圧が利用可能: 2.048V, 2.5V, 2.9V
- Vref+ ピンが使用可能なパッケージでのみ使用可能
- VREFBUFを使用しても、デカップリング・コンデンサをVrefpピンに配置する必要がある



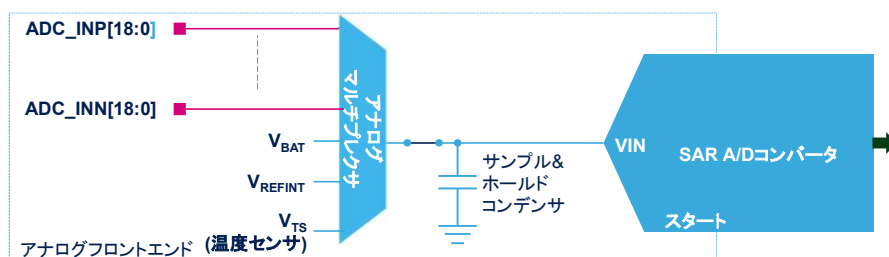
VREFBUFを使用して内部基準電圧Vrefを内部で提供することが可能です。

3つの電圧レベルが利用できます。

この機能は、パッケージに Vref ピンが含まれる場合にのみ使用できます(32 ピン STM32G431 UFQFPN32 および LQFP32 パッケージを除くすべてのパッケージ)。

Vref が内部 VREFBUF によって提供される場合でも、デカップリング コンデンサは Vref ピンに外部接続する必要があります。

アナログ・フロントエンド



- 最大5個のADCのうち4つのADC (ペア) がデュアル・モードで動作可能:
 - ADC1は14の外部チャネル + 4つの内部チャネルに接続
 - ADC2は16の外部チャネル + 2つの内部チャネルに接続
 - ADC3は15の外部チャネル + 3つの内部チャネルに接続
 - ADC4は16の外部チャネル + 2つの内部チャネルに接続
 - ADC5は13の外部チャネル + 5つの内部チャネルに接続



- オフセットを減らすための自動キャリブレーション

STM32G4は、最大5個のADCをサポートします。

これらの各チャネルは、外部アナログチャネルと内部アナログソースに接続されています。

内部チャネルは次のとおりです。

- 内部基準電圧(VREFINT)
 - 内部温度センサ(VSENSE)
 - VBATモニタリングチャネル(VBAT/3)
 - OPAMP1,2,3,4,6は、図には示されていないが、様々なADCに接続されています。
- アナログ入力はシングルエンドまたは差動の設定ができます。

ADCは自動キャリブレーションの機能を提供します。

キャリブレーションは、任意のA/Dコンバータの動作に対して予備的です。プロセス、供給電圧、温度変動により、チップごとに変化するオフセットエラーを除去します。シングルエンド入力と差動入力は、ADCCALDIF ビット値の状態に応じて個別に調整されます。

ソフトウェアは、ADCAL ビットを 1 に設定することで、キャリブレーションの要求ができます。

キャリブレーション係数は、ADC_CALFACTレジスタから読み取れます。

リファレンス電圧が10%を超えて変化する場合は、アプリケーション上でキャリブレーションを実行することをお勧めします。これには、RESETからの再起動、またはアナログ電圧供給が取り外され、再確立された低電力状態からの起動が含まれます。高温での動作でも、オフセットキャリブレーションの実行が必要になる場合があります。

A/Dコンバータ 内部チャネル

アナログ・フロントエンド

10

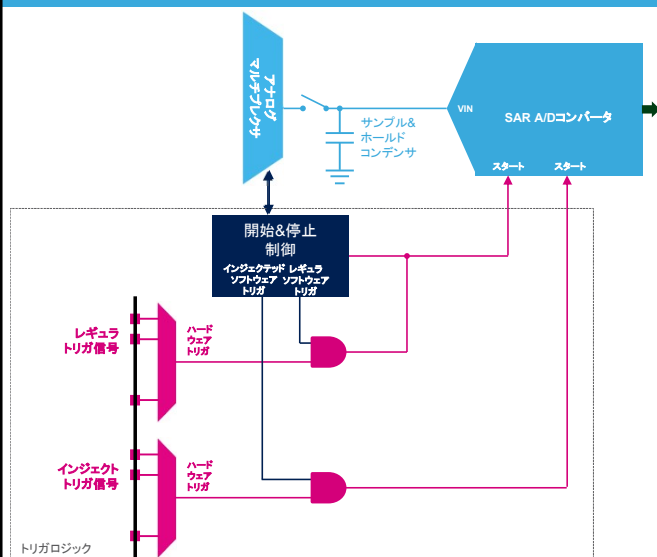
	ADC1	ADC2	ADC3	ADC4	ADC5
温度センサ	IN16	-	-	-	IN4
VBAT/3	IN17	-	IN17	-	IN17
VREFINT	IN18	-	IN18	IN18	IN18
OPAMPx内部出力(*)	IN13 (x = 1)	IN16 (x = 2), IN18 (x = 3)	IN13 (x = 3)	IN17 (x = 6)	IN3 (x = 5), IN5 (x = 4)

(*) 外部ピンの占有のない、ADC内部への OPAMP出力の接続



この表は、5 つの A/Dコンバータ の内部アナログ チャネルを示します。

トリガロジック



- 柔軟なシーケンスは、変換を2つのグループに編成: レギュラおよびインジェクト
- グループは、任意のチャネル、任意の順序で行うことができるように一連の変換で構成
 - レギュラ・グループは、最大16の変換で構成
 - レギュラ・チャネルと変換シーケンスでのそれらの順序は、ADC_SQRyレジスタで選択する必要がある
 - インジェクト・グループは4つまでの変換から構成
 - インジェクト・チャネルと変換シーケンス内のそれらの順序は、ADC_JSQRレジスタで選択する必要がある

変換は、レギュラグループとインジェクトグループの2つのグループに分けて構成されます。

インジェクトグループは、レギュラグループサンプリングシーケンスの実行を先取りできます。

ユーザーは、各グループのサイズを選択を担当します。レギュラグループで最大16回、インジェクトグループで最大4回の取得です。

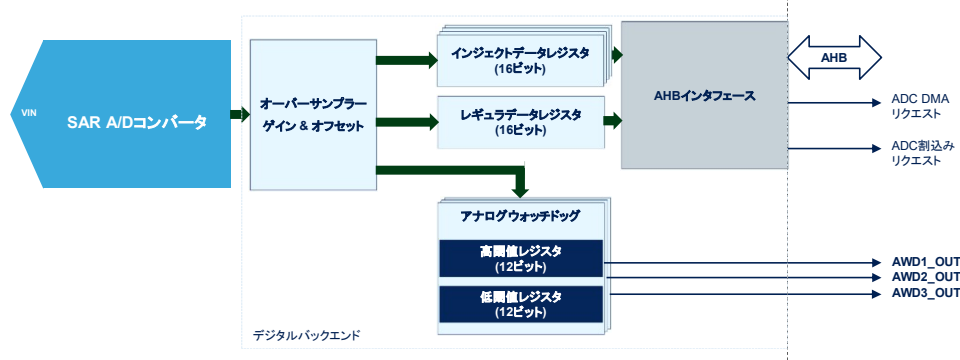
また、シーケンス内のサンプリングごとにアナログチャネルを割り当てる必要があります。

各グループには、独自のトリガロジックがあります。

トリガは、外部信号(GPU またはタイマ出力から来る)の場合があります。

取得のシーケンスは、ソフトウェアによってもトリガすることができます。

デジタル・バックエンド



- AHBバスに A/Dコンバータ がマッピングされ、高速なデータ処理が可能
- アナログ・ウォッチドッグ機能により、入力電圧がユーザ定義の高閾値または低閾値の範囲外かどうかをアプリケーションで検出可能



デジタルバックエンドは、SAR A/Dコンバータで得られたサンプルをオーバーサンプラー、ゲイン&オフセットユニットで処理します。

サンプルされた生データは、ソフトウェアに提供される前に、オーバーサンプラー、ゲイン、オフセット補償ユニットによって処理することも可能です。

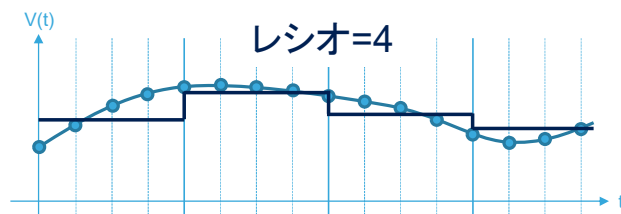
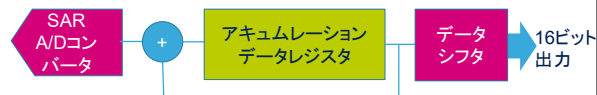
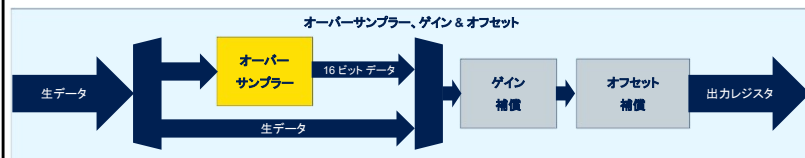
その結果は、AHB スレーブインタフェースからアクセス可能なレジスタに格納されます。

AHB は、CPU と DMA も AHB 相互に接続されるため、高帯域幅をサポートし、遅延を最小限に抑えます。

A/Dコンバータ は DMA への要求をアサートすることができるため、通常のチャネルから送信されるサンプルは自動的にメモリに移動されます。

インジェクト取り込みされたチャネルは、DMAリクエストをサポートしません。

デジタル・バックエンド、オーバーサンプラー



オーバーサンプリングレシオ	出力分解能	同等のサンプリング周波数の最大値
x4	13ビット	1.0033メガサンプル/秒
x16	14ビット	250.333キロサンプル/秒
x64	15ビット	62.583キロサンプル/秒
x256	16ビット	15.6208キロサンプル/秒

- ハードウェアオーバーサンプリング
 - プログラマブル・オーバーサンプリングレシオ:
 - x2, x4, x8, x16, x32, x64, x128, x256
 - プログラマブル・データシフタ & トランケータ
 - オーバーサンプリングは、サンプルに4を掛けるとき追加の1ビットを追加
 - 右シフト(除算) 0~8ビット
 - アキュムレータとビットシフタは、CPUサポートなしで16ビットデータを出力可能



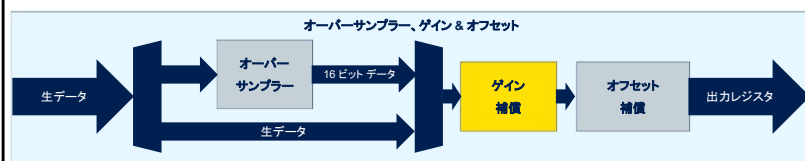
A/Dコンバータには、データを蓄積し、CPUのサポートなしで除算するオーバーサンプリングハードウェアが含まれています。

オーバーサンプラーは2から256の時間サンプル、および右シフト1から8の二進数に収容できます。

12ビットデータは、16ビットデータとして表示するために拡張できます。

この機能は、アベレージファンクションとして、またはデータレートの低減と信号対雑音比の改善、および基本的なフィルタリングに使用できます。

デジタル・バックエンド、オーバーサンプラー、ゲイン補償



ゲイン補償

- 入力範囲が基準電圧に合致しない場合でも、A/Dコンバータのダイナミック・レンジを向上
- ゲインファクターを適用すると、信号範囲を拡張してA/Dコンバータ全範囲にマッピングするのに有効
- オーバーサンプリング・シフト後、変換されたすべてのデータ(すべてのチャンネル)に適用される
- $\text{ゲインファクタ} = (\text{ADC_GCOMP.GCOMP_COEFF}[13:0]) / 4096$
 - ゲイン係数は 0 から 3.999756 の範囲
- 各変換後、データは次の数式で計算される
 - $\text{データ} = \text{データ(ADC結果)} \times (\text{GCOMP_COEFF}[13:0]) / 4096$

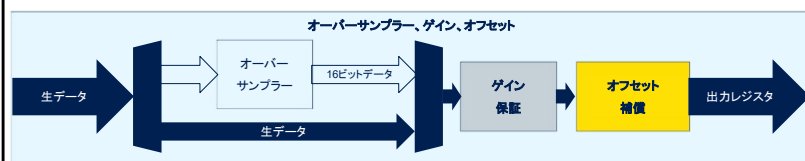


ダイナミックレンジを改善するために、生データにゲイン係数を適用できます。

ゲイン係数はオーバーサンプリング後に実行されます。

0から4の範囲でプログラム可能です。

デジタル・バックエンド、オフセット飽和制御



• オフセット補償

- チャンネル依存オフセット補正(最大4チャンネル)
 - チャンネル選択に設定 `ADC_OFRy.OFFSETy_CH[4:0]`
- オフセット値はプログラミングによって設定 `ADC_OFRy.OFFSETy[11:0]`
 - オフセットは正または負の値になる (`ADC_OFRy.OFFSETPOS`)
- 飽和制御で(`ADC_OFRy.SATEN`)、オーバーフローを防ぐために有効にすることが可能
 - データは符号なしになり、負のオフセットの場合は `0x000`、正のオフセットの場合は `0xFF` で飽和する
- データ = データ(ゲイン結果) +/- `OFFSETy[11:0]`
- オフセット補正はオーバーサンプリング・モードではサポートされていない



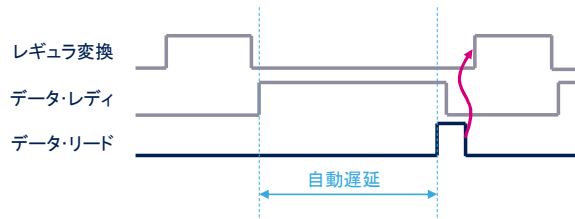
ビット `OFFSETy_EN=1` をレジスタに設定すると、
`ADC_OFRy`レジスタのオフセット y ($y=1,2,3,4$) をチャンネルに適用。

オフセットが適用されるチャンネルは、レジスタのビット `OFFSETy_CH[4:0]` `ADC_OFRy`プログラムされます。
 この場合、変換された値は、ビット `OFFSETy[11:0]` に書き込まれたユーザー定義オフセットによって減少します。
 結果は、読み取りデータがSIGNの場合に負の値になることがあります。

複数の低電力機能が実装

• 自動遅延モード

- 新しいA/Dコンバータは、以前のデータが処理され、ADC_DRレジスタが読み取られた後、またはEOCビットが通常の変換用にクリアされている場合にのみ開始することが可能
- 最後のシーケンスを除く、インジェクト・シーケンスの各変換の間に遅延は挿入されない



• VDDAからの消費電力はサンプリング時間に依存

- 590 μ A @ 4メガサンプル/秒
- 16 μ A @ 10キロサンプル/秒



自動遅延モードがアクティブな場合、A/Dコンバータは、最後の変換データが読み取られるか、変換終了フラグがクリアされてから次の変換を開始するまで待機させることができます。これは、データを読取るシステムの速度に自動的にA/Dコンバータの速度を適応させる方法です。

また、不要な変換を回避し、消費電力を削減します。

この自動遅延モードは、レギュラ変換に戻す際の最後の変換を除き、インジェクト変換には適用されません。

VDDA電源からの消費電力は、サンプリング時間に依存し、毎秒10キロのサンプルで16 μ Aから毎秒4メガサンプルで590 μ Aになります。

低サンプリングレートの場合、電流消費量はほぼ比例して減少します。

変換速度は分解能に依存

- t_{CONV} = サンプルング時間 + 変換時間
 - ADCは、サンプル期間と変換のための $12.5_{\text{ADC_CLKs}}$ に最低限の $2.5_{\text{ADC_CLKs}}$ を必要とする (12ビット分解能)
- 最大クロック60MHz、4.00メガサンプル/秒、15サイクルで変換
- デュアル・インターリーブ・モードで7.0メガサンプル/秒
 - ※最大周波数は、アクティブ化されたインスタンスの数によって異なりますので、データシートを確認ください。
- 低い分解能でスピードアップ
 - 12ビット: $12.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 4.00$ メガサンプル/秒
 - 10ビット: $10.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 4.61$ メガサンプル/秒
 - 8ビット: $8.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 5.45$ メガサンプル/秒
 - 6ビット: $6.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 6.66$ メガサンプル/秒

分解能	t_{SAR} (ADCクロック)	t_{CONV} (ADC クロック)
12ビット	12.5サイクル	15
10ビット	10.5サイクル	13
8ビット	8.5サイクル	11
6ビット	6.5サイクル	9



全体の変換時間は、サンプルング時間に変換時間を加算した値です。

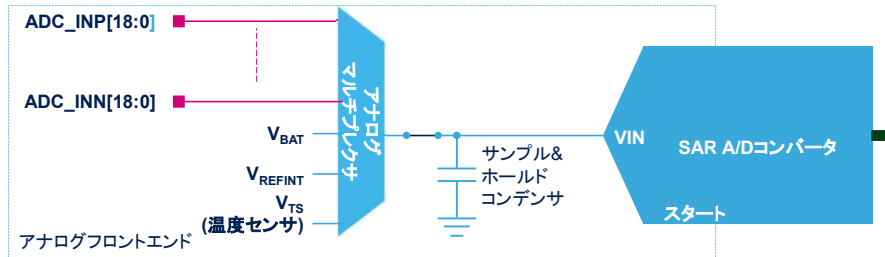
ADC は、サンプルングに最低 2.5 クロック サイクル、12 ビットモードの変換に 12.5 クロック サイクルを必要とします。

60 MHzのADCクロックにより、毎秒4メガのサンプルを実現できます。

サンプルング速度を高くする場合、解像度を10ビット、8ビット、6ビットに下げることにより可能です。

マスタとスレーブ ADC を関連付けるインターリーブモードの場合、最大パフォーマンスは 8 クロックごとに 1 サンプル、56 MHz で毎秒 7 メガのサンプルです。

プログラム可能なサンプリング時間



- 変換を開始する前に、A/Dコンバータは測定対象の電圧源とA/Dコンバータの内蔵サンプリング・コンデンサとの間で直接接続を確立する必要がある
 - 1つのADCは、さまざまなソース・インピーダンスで異なる入力ソースをスキャンすることが可能
 - 各チャンネルはプログラム可能で、異なるサンプリング時間でサンプリングすることが可能
 - 次のサンプリング時間をサポート
 - 2.5サイクル、6.5サイクル、12.5サイクル、24.5サイクル、47.5サイクル、92.5サイクル、247.5サイクル、640.5サイクル



変換の最初は、測定する電圧をサンプル&ホールドコンデンサで測定します。

サンプル時間を長くすることで、高いインピーダンスを持つ信号も正しく変換されます。

ADC クロック サイクルは、このスライドに示されているサンプリング時間を使用できます。

サンプリング時間は、A/Dコンバータの入力チャンネルごとに個別にプログラムできます。

プログラム可能なサンプリング時間

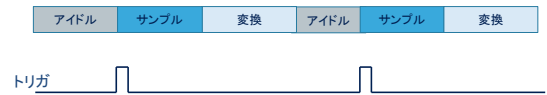
• フレキシブルなサンプリング時間

- バルブ・サンプリング・モード
- 不連続モードでのみ使用可能
 - サンプリングは、最後の変換の直後に開始
 - トリガから実際のサンプリング ポイントまでの待機時間を短縮
 - ハイインピーダンス・ソースで有用

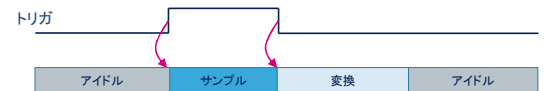
• サンプルタイム・コントロール・トリガ・モード

- サンプリング時間はトリガ信号によって完全に制御
- 立上がりエッジはサンプリングを開始し、立下りエッジはサンプリングを停止し、変換が開始

通常(不連続)モード



バルブ (不連続)モード



2つの新しいサンプリングメカニズムがSTM32F3シリーズから追加されました。

最初の1つは、不連続モードでのみ動作するバルブモードです。

このモードでは、最後の変換が終了した直後にサンプリングが開始され、アイドル状態に移行しません。これにより、トリガ信号から変換開始までの遅延が少なくなります。

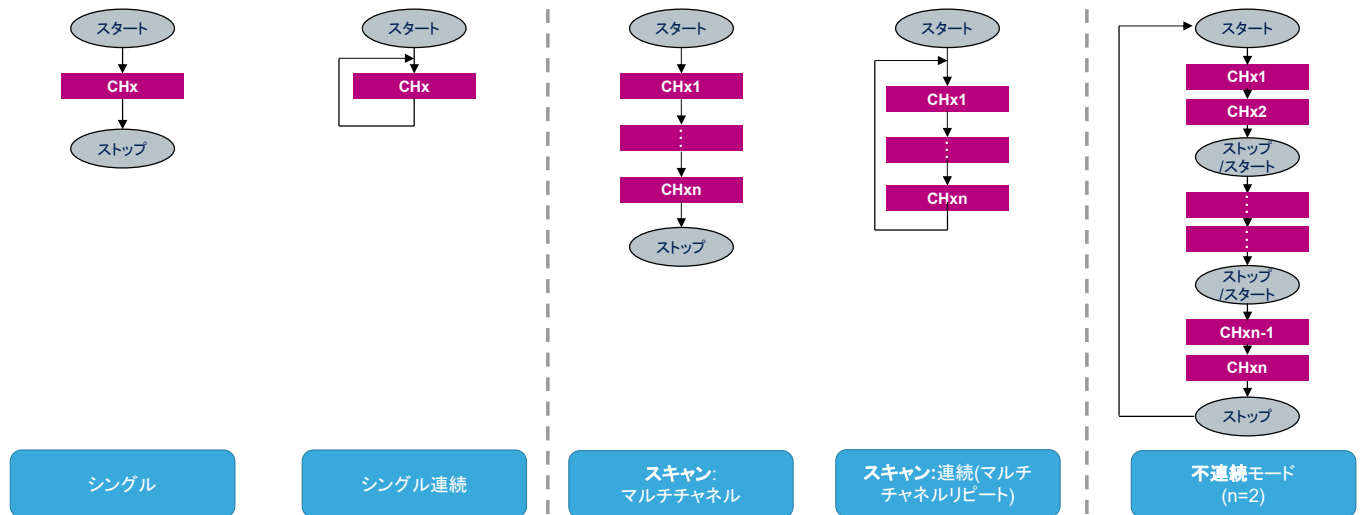
ADC が有効になった後、最初の A/Dコンバータの変換は、SMP ビットでプログラムされたサンプリング時間で実行されます。

バルブモードは、2回目の変換から有効です。

2番目のメカニズムは、トリガ信号に基づくサンプリングモードです。

- 立上がりエッジはサンプリングを開始します。
- 立下りエッジでサンプリングを停止し、変換が開始されます。

異なる変換モード



ADC は、いくつかの変換モードをサポートしています。:

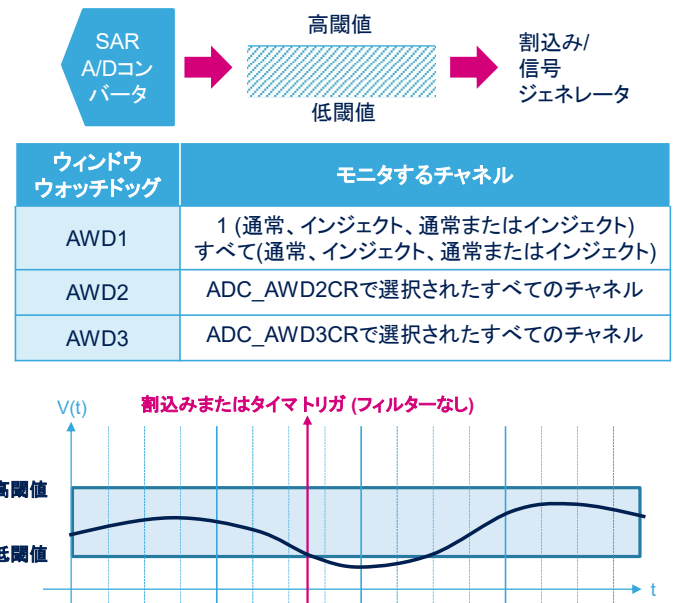
- シングルショットモードまたは連続モードで、1つのチャンネルのみを変換するシングルモード。
- スキャンモードは、事前に定義されたプログラムされた入力チャンネルの完全なセットを、シングルショットまたは連続モードで変換します。
- 不連続モードは、変換シーケンスの一部である n 変換 ($n \leq 8$) の短いシーケンス (サブグループ) を変換します。外部トリガが発生すると、シーケンス内のすべての変換が完了するまで、ADC_SQRレジスタで選択された次の n 個の変換が開始されます。

より堅牢(グリッチ・フリー)な、アナログ・ウォッチドッグ

- A/Dコンバータには3つのウィンドウ・ウォッチドッグがある
 - 1つのアナログ・ウォッチドッグで、選択した1つのチャンネル、またはすべての有効なチャンネルを監視可能
 - 2つのアナログ・ウォッチドッグは、複数の選択されたチャンネルを監視可能
- 各ウォッチドッグは、閾値を超えた場合、または閾値以下の状態を継続的に監視し、割り込みまたは外部信号を生成
- アナログ・ウォッチドッグ・フィルタ(AWD1のみ)
 - プログラム可能な連続した閾値検出後の割り込みまたは信号生成

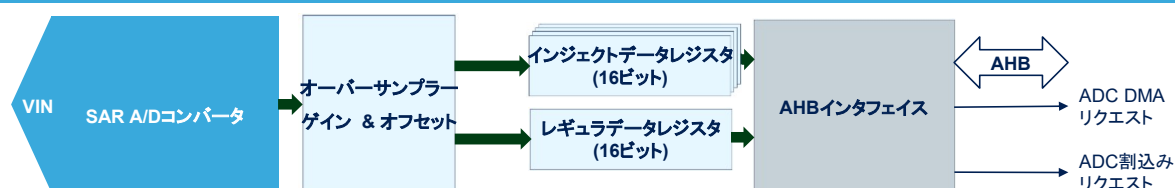


life.augmented



各A/Dコンバータには、高閾値と低閾値の設定を備えた、3つの統合された12ビットのアナログウォッチドッグがあります。A/Dコンバータの変換値は、このウィンドウ閾値と比較され、結果が閾値を超えた場合、CPUの介入なしに割り込みまたはタイマトリガ信号をアサートすることができます。変換されたデータが定義された間隔に属する場合、DMA 要求が生成されます。それ以外の場合は、DMA 要求は発行されません。アナログウォッチドッグ1にはフィルタリング機能もあります。データが、ADCx_TR1レジスタの AWDFILT で指定された値よりも多い数倍の範囲を超える場合、AWDx フラグが設定され、対応する割り込みが発行されます。

ソフトウェアのオーバーヘッドを削減



- レギュラ変換データは 16 ビットのデータ・レジスタに保存
 - デュアル・モードでは、レギュラ変換データは32bitのデータ・レジスタに保存ADCx_CDR
 - ソフトウェアのポーリング、割込み、またはDMA要求を使用してデータを移動可能
 - OVERRUNフラグは、以前に変換されたデータが現行データによって上書きされる時に設定される
 - アナログ・ウォッチドッグの場合、各データを処理する必要はない: OVERRUNフラグは無効にすることが可能
- インジェクト変換データは、4つの16bitデータ・レジスタに保存
 - インジェクト変換データは専用レジスタに保存
 - レギュラ・データ・シーケンスは、インジェクト変換が発生しても保持させる



ADC 変換の結果は、16 ビットのデータ レジスタに格納されます。

デュアル モードでは、2 つのサンプルが ADCx_CDR と呼ばれる 32 ビット レジスタに結合されるため、AHB 上のトランザクション数が最小限に抑えられます。

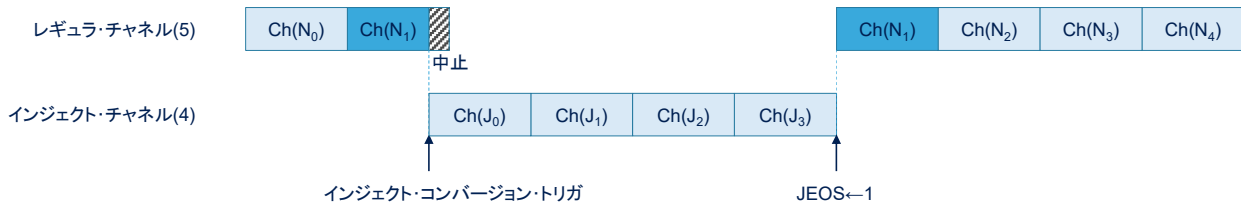
システムは、CPU ポーリング、割込み、または DMA コントローラを使用して、変換データを利用できます。

次の変換データの準備が整う前にデータが読み取られていない場合は、オーバーラン フラグを生成できます。

オーバーランが起きた場合、新しいサンプルが削除されるか、または前のサンプルが上書きされます。

インジェクト チャネル変換の場合、4つの専用データレジスタが利用可能です。

A/Dコンバータ変換中の中断



- A/Dコンバータ は、レギュラ変換が実行されている場合でも、インジェクト・トリガを受け入れることが可能
 - トリガは、レギュラ変換を停止し、インジェクト変換を開始
 - 1つのトリガで最大4つのインジェクト変換を利用可能
 - インジェクト変換が完了すると、自動再開が発生
 - インジェクト変換の取り込みキューは、その場で再プログラム可能



インジェクト変換は、レギュラ変換を中断し、最大 4 つのチャンネル変換を挿入するために使用されます。

インジェクト変換が完了したら、レギュラ変換シーケンスを再開します。

インジェクト変換結果は専用のデータレジスタに保存されます。

フラグと割込みは、変換の終了とシーケンスの終了に使用できます。

インジェクトチャンネルのためのキューは、その場で再プログラムすることができます。

レギュラ変換またはインジェクト変換が進行中であっても、キューに別のチャンネルを追加して、次にインジェクトチャンネルを前のチャンネルとは異なるようにすることができます。

デュアルモード	マスタ	スレーブ
ADC1 および ADC2	ADC1	ADC2
ADC3 および ADC4	ADC3	ADC4

- 各 A/Dコンバータのマスタは、A/Dコンバータのスレーブと同じ入力トリガを共有
 - ADC5は独立して制御

4つの可能なモード
インジェクト同時モード
レギュラ同時モード
インターリーブ・モード
交互トリガ・モード

デュアル結合モード
インジェクト同時モード + レギュラ同時モード
レギュラ同時モード + 交互トリガ・モード
インジェクト同時モード + インターリーブ・モード



STM32G4は、5つのA/Dコンバータを組み込んでいます。ADC1 とADC2 は、デュアル モードで連携するように構成でき、アナログからデジタルへの変換を各モジュール間で同期させることができます。

ADC3 とADC4 もデュアル モードで連携するように設定することができます。

ADC5 はスタンドアロンのコンバータとして機能します。

4 つの可能なデュアル A/Dコンバータ モードが実装されています。

- インジェクト同時モード
- レギュラ同時モード
- インターリーブモード
- 交互トリガモード

また、以下の方法で組み合わせてこれらのモードを使用することも可能です。

- インジェクト同時モード + レギュラ同時モード
- レギュラ同時モード + 交互トリガモード
- インジェクト同時モード + インターリーブ モード

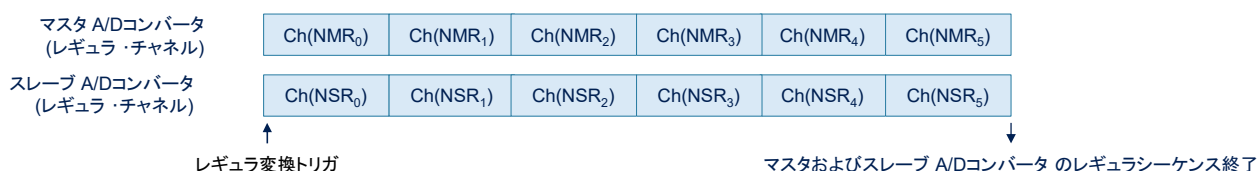
インジェクトおよびレギュラ同時モード

- デュアルA/Dコンバータ・モードでは、ADCx_CCRレジスタのデュアル[4:0]のビットで選択されたモードに応じて、A/DコンバータxマスタからA/Dコンバータ・スレーブへの変換の開始が交互または同時にトリガされる

4チャンネル・インジェクト同時モード



6チャンネル・レギュラ同時モード



デュアル A/Dコンバータ モードでは、変換はA/Dコンバータマスタと A/Dコンバータ スレーブで同時に開始することも、交互に開始することもできます。

マスタとスレーブ A/Dコンバータ で変換されたデータは、A/Dコンバータ 共通データ・レジスター (ADCx_CDR) を読み取ることによって並列に読み取ることができます。

2つの A/Dコンバータ 上の同じチャンネルを変換しないでください。

このスライドでは、インジェクト同時モードとレギュラ同時モードについて説明します。

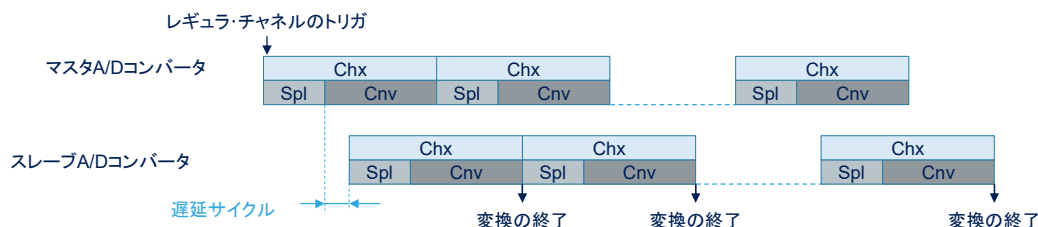
このトリガは、マスタとスレーブの両方の A/Dコンバータで変換のシーケンスを同時に開始するために使用されます。

変換シーケンスは、マスタとスレーブで等しいか、トリガ間の間隔が両方のシーケンスより長いことを確認する必要があります。

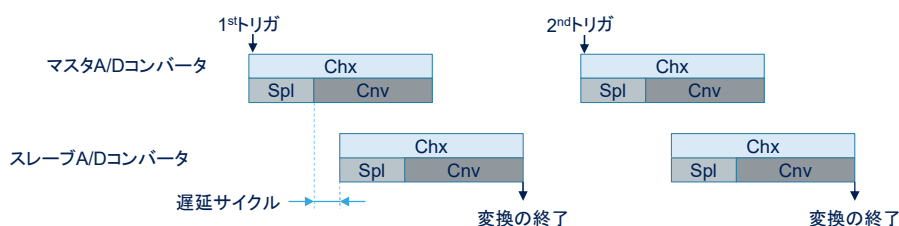
不連続モードでは、同時変換ごとにインジェクトトリガが必要です。

インターリーブモード

インターリーブ・モード、連続変換



インターリーブモード、不連続変換



life.augmented

インターリーブモードは、レギュラチャネルグループ(通常は1つのチャネル)を変換します。

変換を開始する外部トリガソースは、A/Dコンバータのマスタから取得されます。:

- A/Dコンバータマスタは直ちにスタートします
- A/Dコンバータスレーブは、マスタのサンプリング終了後、設定可能な遅延の後にスタートされます。

補完しているA/Dコンバータがデータをサンプリングしている間、A/Dコンバータは変換をスタートするのを防ぎます。

変換の終了(EOC)は、各チャネル変換の終了時に生成されます。

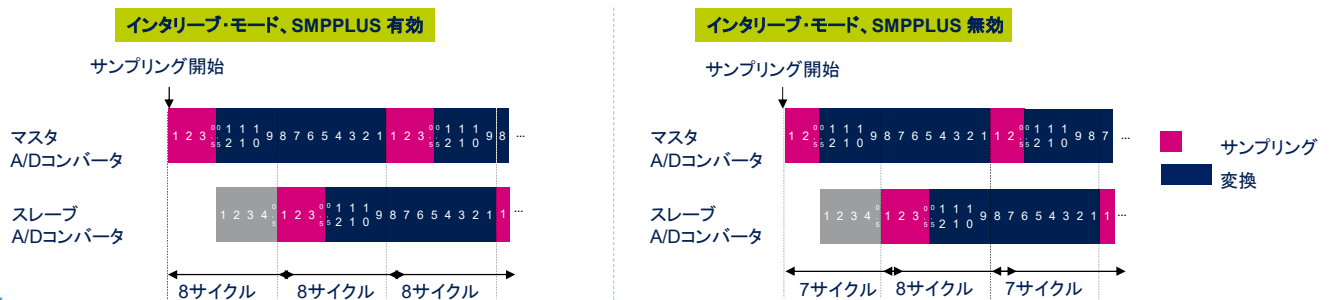
不連続モードでは、同時変換ごとに定期的なトリガが必要です。

デュアル A/Dコンバータ・モード

27

インタリーブ・モード、SMPPLUS

- ADC_SMPR1レジスタのSMPPLUSは、デュアル・インタリーブ・モードで設定して、マスタとスレーブの間で均等に変換可能
- 2.5サイクルのサンプリング時間の場合、合計変換時間は15サイクル
 - したがって、1サイクルがサンプリング時間に追加され、合計16サイクルの変換が可能になり、8サイクルごとにインタリーブすることが可能



サンプリング時間が 2.5 ADC クロック・サイクルである場合、12 ビット・モードでは、合計変換時間が 15 サイクルになります。

デュアル インターリーブ モードを使用する場合、サンプリング時間と変換時間を加えた偶数サイクルが必要になるため、サンプリング間隔は 2.5 ADC クロック サイクルと等しくすることはできません。

右側のタイミング図では、スレーブ A/Dコンバータのサンプリング時間を 3.5 クロックサイクルに増やす必要がありますが、マスタ A/Dコンバータのサンプリング時間は 2.5 クロックサイクルです。

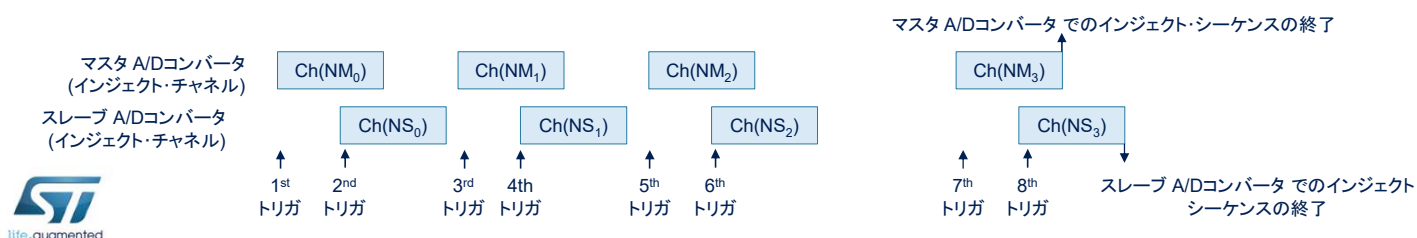
SMPPLUS ビットを使用して、サンプリング時間 2.5 ADC クロック・サイクルを 3.5 ADC クロック・サイクルに変更できます。このようにして、合計変換時間は16クロックサイクルとなり、8サイクルごとにインターリーブすることが可能になります。1 秒あたりのサンプルの最大数は、56 MHz を 8 => 7 メガサンプルで割った 1 秒あたりの数です。

交互トリガ・モード

交互トリガ・モード: 各A/Dコンバータのインジェクト・グループ、不連続無効



交互トリガ・モード: 各A/Dコンバータのインジェクト・グループ、不連続有効



交互トリガモードは、インジェクトチャンネルのグループを変換します。

変換は、ハードウェアトリガを使用した場合にのみ開始されます。

外部トリガソースは、マスタA/Dコンバータのインジェクトグループマルチプレクサから来ています。

不連続モードが無効になっており、最初のトリガが発生すると、マスタA/Dコンバータのグループ内すべてのインジェクトチャンネルが変換されます。

2番目のトリガが発生すると、スレーブA/Dコンバータのグループ内のすべてのインジェクトチャンネルが変換されます。

不連続モードが有効になっており、最初のトリガが発生すると、マスタA/Dコンバータの最初のインジェクトチャンネルが変換されます。

第2トリガが発生すると、スレーブA/Dコンバータの最初のインジェクトチャンネルが変換されます。

割込みイベント	説明	割込みイベント	説明
ADRDY	ADCは変換する準備が出来ている	AWD1-3	アナログ・ウォッチドッグの閾値違反検出が発生
EOC	レギュラ変換の終了	EOSMP	サンプリング・フェーズの終了
EOS	レギュラ変換グループのシーケンスの終了	OVR	データ・オーバーランが発生
JEOC	インジェクト変換の終了	JQOVF	インジェクト・シーケンス・コンテキスト・キューがオーバーフロー
JEOS	インジェクト変換グループのシーケンスの終了		

- DMA リクエストは、レギュラ・チャネルの変換の各エンドの後に生成



A/Dコンバータ は、ADC Ready、変換の終了、シーケンスの終了、インジェクト変換の終了、インジェクトシーケンスの終了、アナログ ウォッチドッグ、サンプリングの終了、データオーバーラン、およびインジェクトシーケンス コンテキスト キューのオーバーフローという 9 つの異なる割込みを生成できます。

DMA リクエストは、A/Dコンバータ 出力データの準備ができたときに、変換の各エンドで生成できます。

モード	説明
RUN	有効
SLEEP	有効 ・ ペリフェラルの割込みにより、デバイスはSLEEPモードを終了する
低電力RUN	有効
低電力SLEEP	有効 ・ ペリフェラルの割込みにより、デバイスが低電力SLEEPモードを終了する
STOP 0	利用できない ・ ペリフェラル・レジスタの内容が保持される
STOP 1	利用できない ・ ペリフェラル・レジスタの内容が保持される
STANDBY	パワーダウン ・ STANDBYモードを終了した後、ペリフェラルを再初期化する必要がある
SHUTDOWN	パワーダウン ・ SHUTDOWNモードを終了した後、ペリフェラルを再初期化する必要がある

- ・ ディープパワー・ダウンモードでは、各A/Dコンバータのアナログ部分がオンチップ電源スイッチによってオフになる



A/Dコンバータ は、RUN、SLEEP、低電力RUN、低電力SLEEP モードでアクティブです。

STOP 0 または STOP 1 モードでは、A/Dコンバータ は使用できませんが、そのレジスタの内容は保持されます。

STANDBYまたはSHUTDOWNモードでは、A/Dコンバータ は電源がオフになり、より高いモードに戻るときには、A/Dコンバータ を再初期化する必要があります。

各A/Dコンバータ自体にはディープパワーダウンモードがあり、オンチップの電源スイッチをオフにすることで漏れ電流を軽減します。

A/Dコンバータ を使用しない場合は、このモードが推奨されます。

	コンディション	データ(typ.)	ユニット
サンプリング・レート	12 ビット・モード	4.00	メガサンプル/秒
	10 ビット・モード	4.61	メガサンプル/秒
	8ビット・モード	5.45	メガサンプル/秒
	6ビット・モード	6.66	メガサンプル/秒
微分非直線性エラー		1.4	LSb
積分非直線性エラー	12 ビット・モード	2.4	LSb
有効なビット数 (ENOB)	12 ビット・モード	10.6	ビット
消費電流(VDDA)	4メガサンプル/秒	590	μA
	10キロサンプル/秒	16	μA

注意：この表は、1 つの A/Dコンバータのみがアクティブ化された場合のパフォーマンスを示しています。
複数の ADC がアクティブ化されると、パフォーマンスの低下が予想されます。
詳細についてはデータシートを確認してください。



次の表は、A/Dコンバータのパフォーマンス パラメータを示しています。

STM32G4 Vs STM32F3

32

A/Dコンバータの機能	STM32F3	STM32G4
A/Dコンバータの数	4	5
変換時間	0.19 μ s (5.1MSPS)	0.25 μ s (4 MSPS)
外部トリガ	16	32
HW オーバーサンプリング	-	あり
IO電圧ブースタ	-	あり
ゲイン補償	-	あり
オフセット補償	あり	あり + 飽和制御
パルス・サンプリング	-	あり
サンプリング時間制御トリガ	-	あり
内部リファレンス電圧Vref	-	あり (2.048V, 2.5V, 2.9V)
アナログ・ウォッチドッグ	あり	あり + フィルター
インタリーブモードSMPPLUS	-	あり



この表はSTM32F3のA/Dコンバータに関してSTM32G4のA/Dコンバータに実装された新しい機能を示しています。

- このペリフェラルに関連するペリフェラルのトレーニングは以下を参照してください。
 - DMA-ダイレクト・メモリ・アクセス・コントローラ
 - 割込み
 - GPIO-汎用入出力
 - RCC-クロック・モジュール
 - DAC -デジタル・アナログ変換器
 - TIM-割込みとイベント・トリガ用タイマ



A/D コンバータと組み合わせて正しく使用するには、これらのペリフェラルの個別設定が必要になることがあります。
詳しくは、対応するペリフェラルトレーニングモジュールを参照してください。

- 詳細については、以下の資料を参照してください。
 - Application note AN2834: How to get the best ADC accuracy in STM32Fx Series and STM32L1 Series devices
 - Application note AN4073: How to improve ADC accuracy when using STM32F2xx and STM32F4xx microcontrollers
 - Application note AN2668: Improving STM32F1x and STM32L1x ADC resolution by oversampling
 - Application note AN4629: ADC hardware oversampling for microcontrollers of the STM32 L0 and L4 series



A/D コンバータ専用のアプリケーションノートを利用できます。
A/D コンバータの詳細については、逐次比較型 A/D コンバータについて説明した、広範囲にわたるウェブページにアクセスしてください。