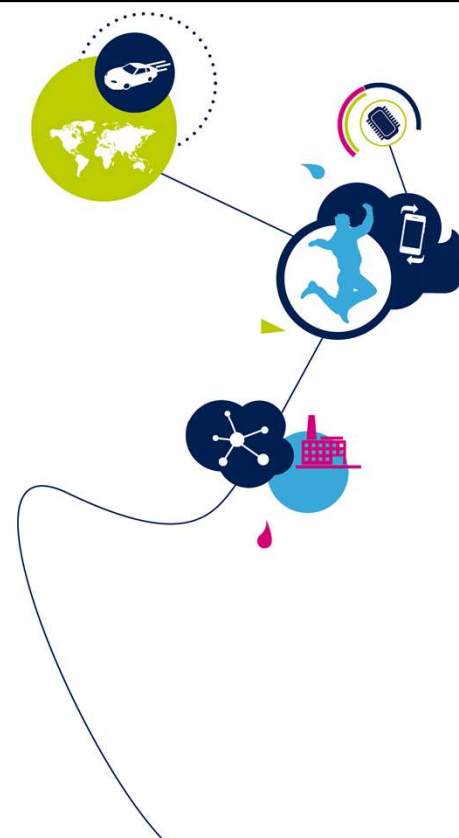


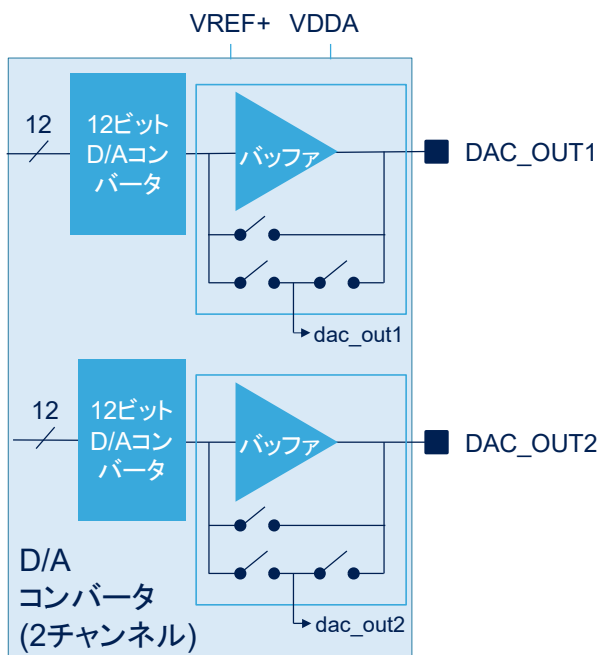
STM32G4 – D/Aコンバータ

D/Aコンバータ

1.0版



STM32G4 D/Aコンバータのプレゼンテーションによろこそ。
このブロックは、デジタル信号を外部とのインタフェイスが可能なアナログ電圧に変換する場合や、コンパレータやオペアンプなどのオンチップペリフェラルとの間に接続するために使用されます。



- デジタル・データをアナログ出力電圧に変換
 - 8bitまたは12bitモード
 - 4個のD/Aコンバータ・モジュール、最大2チャンネル埋め込み
 - 低電力のサンプル & ホールド・モード

アプリケーション側の利点

- オンチップ D/A コンバータ は、ポテンショメータに代わって外部バイアス回路を制御可能
- また、音声および任意の信号ジェネレータとしても機能可能

STM32G4 D/Aコンバータは、8ビットまたは12ビットのデジタル・データをアナログ電圧に変換します。
各 D/Aコンバータ モジュールには、同期または非同期で動作する 2 つのコンバータがあります。
低電力のサンプルおよびホールドモードも統合されています。
D/Aコンバータは外部ポテンショメータまたはバイアス回路とインタフェイス可能です。
また、音声や任意の信号を作成することができます。

- 8bitまたは12bitモード
- D/Aコンバータ 出力チャネル・バッファリングまたはバッファなし
- 低電力アプリケーションのサンプルおよびホールド・モード
- 同期更新機能
- DMA 機能
- ノイズ波、三角波、ノコギリ波の生成
- 複数のトリガ・システム



STM32G4マイクロコントローラ内のD/Aコンバータは、8ビットまたは12ビットモードでシンプルなデジタル・アナログ変換を実現します。

D/Aコンバータ出力にはローインピーダンスバッファがあり、外部負荷を駆動します。

サンプルおよびホールドモードを使用すれば、消費電力を大幅に削減できます。

2個のD/Aコンバータは互いに同期することもできます
入力データはDMAで転送できます。

また、ノイズ、三角形、ノコギリ波形を生成する小さなロジックを持っています。

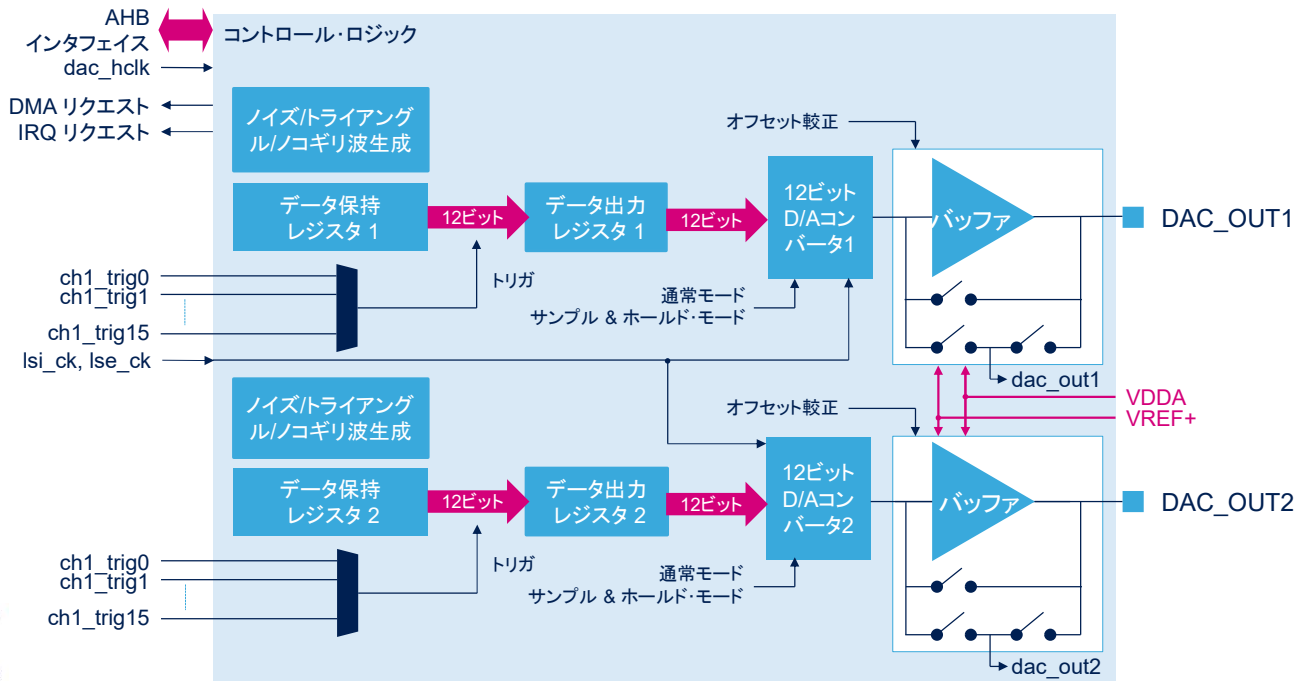
D/Aコンバータ出力データは、ソフトウェア要求、タイマ、HRTIM、およびEXTIに基づいて、複雑なトリガシステムによって更新されます。

- VREF+ ピンは基準電圧として使用
 - 内部VREFBUF出力によって駆動することが可能 : 2.048V、2.5V、2.9V
 - またはVREF+ ピンに外部リファレンスを接続可能
- バッファ・キャリブレーション
 - オフセット・キャリブレーションのみ
 - 工場出荷時にD/Aコンバータをリセット
 - ユーザ・トリミング



life.augmented

VREF+は正の電圧基準として使用されます。
入力リファレンスピン、VREF+ (他のアナログペリフェラルと共有) は、より良い分解能のために利用可能です。
内部リファレンス電圧バッファは、同じパッド上でリファレンス電圧を生成できます。
出力バッファの電圧オフセットは調整されます。
このキャリブレーションは、出荷工場でのリセット後にロードされます。
ユーザーキャリブレーションは、動作条件が工場での較正条件と異なる場合、特にVDD/VDDA電圧、温度、VREF+値が変化し、ソフトウェアによるアプリケーション中の任意のタイミングで行うことができます。



ここでは、D/Aコンバータの簡略化されたブロック図を見ることができます。

このD/AコンバータブロックはVDDAによって供給され、電圧リファレンスとしてVREF+を使用します。

D/Aコンバータは、AHBスレーブでデータホールドレジスタを満たすためにDMAリクエストをサポートします。

DAC_OUTx信号のどちらも、通常のGPIOとして使用可能な出力ピンから切り離すことができます。

DAC_OUTx信号は、内部ピンを使用して、コンパレータやオペアンプなどのオンチップペリフェラルに接続できます。

D/Aコンバータ出力チャネルは、バッファまたはバッファ無しにできます。

サンプルおよびホールドブロックはLSI(低速内蔵発振器)またはLSE(低速外部発振器)クロックソースを使用し、静的変換のSTOPモードで動作します。

データホールドレジスタの内容は、トリガ条件が検出されると対応するデータ出力レジスタに転送されます。それにはソフトウェアトリガも含まれます。

次に、データ出力レジスタの内容がコンバータに転送されます。

出力バッファには、電圧オフセットを較正するメカニズムがあります。

D/Aコンバータ・チャンネル構成

D/Aコンバータの機能	DAC1	DAC2	DAC3	DAC4
最大サンプリング時間	1Msps		15Msps	
出力バッファ	x	x		
チャンネル数	2 (外部)	1 (外部)	2 (内部)	2 (内部)
IOとの接続	CH1 は PA4 CH2 は PA5	CH1 は PA6	GPIO への接続なし	

• D/Aコンバータの速度:

- 15MHz:
 - 内部チャンネルのみ (DAC3_OUTx、DAC4_OUTx)
 - バッファなしモードのみ
- 1MHz:
 - 3つの外部チャンネル (DAC1_OUTx、DAC2_OUT1)
 - バッファ/非バッファモード



STM32G4は4つのD/Aコンバータ ユニートを内蔵しています。DAC1、3、4は2つのチャンネルをサポートし、DAC2は1つのチャンネルのみをサポートします。

DAC1 と DAC2 は GPIO に出力できますが、DAC3 と DAC4 には COMP および OPAMP ユニートに接続できる内部チャンネルのみが含まれています。

その結果、DAC3 と DAC4 は出力バッファを実装しません。

出力バッファは、DAC1 および DAC2 のオプションです。

DAC1 と DAC2 の最大速度は 1 秒あたり 1 メガサンプルで、DAC3 と DAC4 の最大速度は 1 秒あたり 15 メガサンプルです。

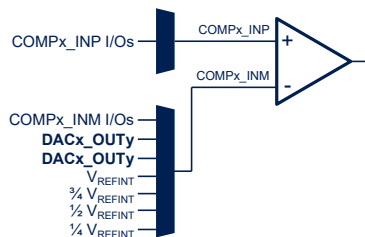
D/Aコンバータ 内部出力

7

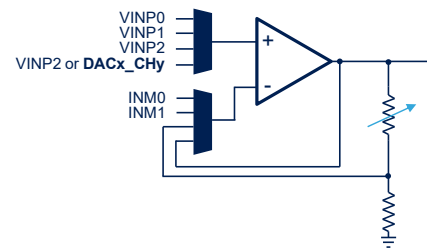
• D/Aコンバータ 出力は内部信号のみ:

- D/Aコンバータ出力チャンネルはDAC_OUTx出力ピンから切り離し、オンチップ・ペリフェラルに接続可能
- 対応するDAC_OUTxピンは別の目的に使用することが出来る

コンパレータINM入力としてD/Aコンバータ出力の使用 (COMP1-7)
コンパレータ用基準電圧(DC、波形生成)



D/Aコンバータの出力をOPAMP VINP入力として使用 (OPAMP1-6 OPAMP2を除く)
内部D/Aコンバータ・チャンネルを使用する方法(OPAMPx_VOUT)



DAC_OUTxは、コンパレータやオペアンプなどの内蔵ペリフェラルに内部でピン接続可能です。

DAC1とDAC2に関しては、対応するDAC_OUTxのGPIOを別の目的に使用することができます。

内部D/Aコンパレータ出力をCOMP INM入力に接続すると、コンパレータの基準電圧が定義されます。

内部へのD/Aコンバータ出力をOPAMP VINP入力に接続すると、OPAMP DCポイントをバイアスしたり、アナログ電圧を増幅できます。

また、DAC3 や DAC4 に役立つ、内部 D/Aコンバータ チャンネルをピン留めする方法でもあります。

柔軟なデータ入力形式

- 8bitモード:

- 右詰めデータ入力
(16ビット・データ・レジスタ)



- 12bitモード:

- 右詰めデータ入力
(16ビット・データ・レジスタ)
- 左詰めデータ入力
(16ビット・データ・レジスタ)



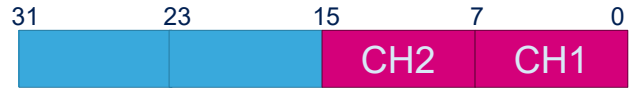
life.augmented

D/Aコンバータは、さまざまな入力形式をサポートできます。
8ビットモードでは、右詰めの8ビットデータ形式です。
また、符号なし、符号つきデータ形式も受け付けます。

デュアルチャンネルモード

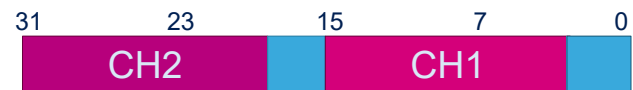
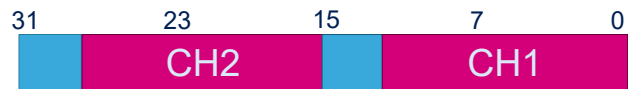
- 8bitモード:

- デュアル・チャンネル・モード用8bit+8bitデータ入力



- 12bitモード:

- 12bit+12bitデュアル・チャンネル・モード用の右詰めデータ入力
- デュアル・チャンネル・モード用の12bit+12bit左詰めデータ入力



デュアルチャンネルモードでは、2つのD/Aコンバータに入力データを提供するため、8ビット+8ビットのデータ形式です。12ビット+12ビットでは、入力データに右詰めまたは左詰めモードを使用できます。

これらのレジスタに保持されているデータは、関連するコンバータに同期して(例えば、ステレオオーディオの場合)、または非同期で転送されます。

つまり、2つのチャンネルは独立して動作できます。

D/Aコンバータを起動するためのトリガ

- 変換を開始

- データ保留レジスタに自動的に書込み(ソフトウェア・トリガ)
 - DAC_DHRxレジスタからDAC_DORxレジスタへは、AHB 1クロックサイクルのみを使用
- トリガ変換により
 - 7つの異なるタイマ出力
 - 7 HRTIM 出力
 - 外部 I/O トリガ
 - ソフトウェア・トリガ・ビットの設定
 - 下の表は、トリガとDAC_DOR更新の間の遅延を示す

HFSEL	AHB周波数	関数
00	≤ 80 MHz	DAC_DOR最大3 AHB クロック・サイクルの更新レート
01	∈[80 MHz, 160 MHz]	DAC_DOR更新レートは最大5 AHB クロック・サイクル
10	> 160 MHz	DAC_DOR更新レートは最大7 AHB クロック・サイクル
11	予約済み	



D/Aコンバータ 出力変換は、ソフトウェアを使用してデータ保留レジスタに書き込み、開始されます。

7つの異なるタイマ出力、7つの異なるHRTIM出力、外部I/OまたはソフトウェアがD/Aコンバータの変換をトリガすることができます。

ソフトウェアトリガを使用すると、データホールドレジスタの内容は、1 AHBクロックサイクル後に対応するデータ出力レジスタに転送されます。

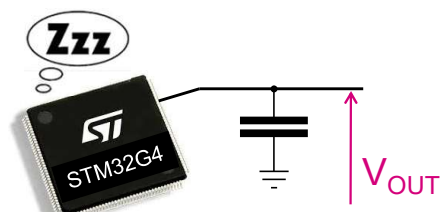
トリガモードでトリガが発生すると、AHB クロック周波数に応じて、データ・ホールド・レジスタの内容が、3、5、または 7 AHB クロック・サイクルの後に対応するデータ出力レジスタに転送されます。

サンプルおよびホールド機能

11

低電力モード

- 「サンプル & ホールド」機能の主な目的は、MCUがSTOP0/1モードで低電力動作時にD/Aコンバータの出力電圧維持
 - LSIまたはLSE クロックは、dac_hclkクロックがゲートされている間、アクティブなままです。
- 「サンプル & ホールド」モードで設定すると、D/Aコンバータは関連するすべてのアナログ回路とデジタル回路がOFFになっていても変換電圧を出力することが可能
- 内部または外部ホールド・コンデンサをD/Aコンバータ出力に接続可能



サンプル&ホールド機能は、アクティブに駆動しない間でもD/Aコンバータの出力電圧を維持します。

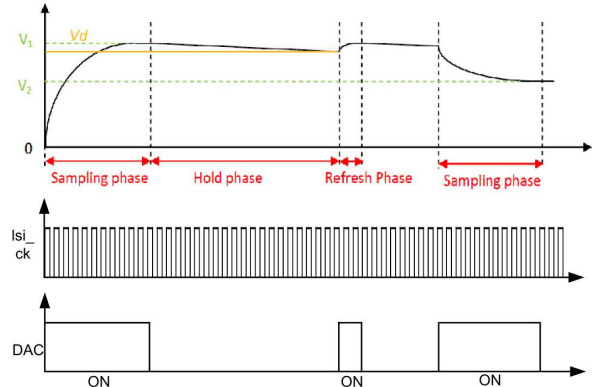
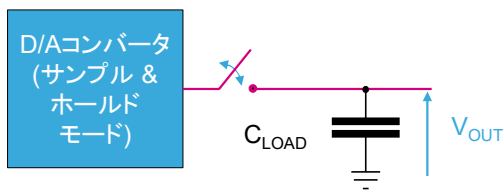
これは、サンプル期間の終わりに電圧レベルを保持する内部または外部コンデンサに依存しています。

その後、D/Aコンバータの出力をハイインピーダンスの設定ができます。

もちろんコンデンサは時間の経過とともに放電します。そのため、更新期間が定義されています。リフレッシュ期間が終了すると、D/Aコンバータの出力は再びアクティブに駆動され、コンデンサを充電します。

低電力モード

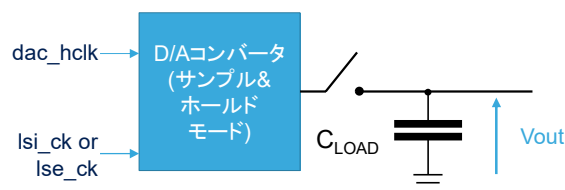
- 「サンプル & ホールド」モードでのD/Aコンバータ変換は3つのフェーズで構成
 - サンプリング・フェーズ**
 - このフェーズの間に、「サンプル & ホールド」回路は希望した電圧に充電される
 - ホールド・フェーズ**
 - この間、D/Aコンバータの出力はトライステート(ハイインピーダンス)になり、「サンプル & ホールド」の蓄積された電荷を維持
 - リフレッシュ・フェーズ**
 - 複数のソースからの漏れにより、出力電圧を希望の値(+/-LSb)に保つためにリフレッシュ・フェーズが必要



デジタル-アナログコンバータは断続的に動作し、外部または内部コンデンサを充電し、出力電圧がホールドコンデンサに保持されている間に電源を切ることができます。リフレッシュ期間の後、D/Aコンバータの電源が再びオンになり、ホールドコンデンサが再充電されます。

低電力モード

- 「サンプル & ホールド」機能は、極めて低い電力要件に対応
- サンプル、ホールド、およびリフレッシュのタイミングは設定可能
- このモードでは、D/Aコンバータ・コアとそれに対応するすべてのロジックおよびレジスタは、低速内蔵オシレータ・クロック (lsi_ck) または低速の外付けオシレータ・クロック (lse_ck) によって駆動される



D/Aコンバータを「サンプル&ホールド」モードで設定すると、変換された出力電圧を生成でき、アクティブ回路をオフにすることができます。

このモードでは、D/Aコンバータコアと対応するすべてのロジックとレジスタは、dac_hclkクロックに加えてLSIクロック (lsi_ck) またはLSEクロック (lse_ck) によって駆動され、STOPモードなどのディープ低電力モードでD/Aコンバータチャネルを使用できます。

リフレッシュのスケジュールを担当するロジックは、LSIクロックまたはLSEクロックのみを必要とします。

そうすることで、D/Aコンバータは非常に低いデューティサイクルの間のみアクティブになります。その結果、消費電力が非常に低くなります。

デューティサイクルプログラムは非常に柔軟に設定可能です。

低電力モード

- 「サンプル & ホールド」要素(内部または外部)
 - 外部に設定されている場合:外部コンデンサをD/Aコンバータの外部ピンに取り付ける必要がある
 - バッファは有効または無効に設定可能
 - D/Aコンバータ出力は内部コンポーネント(つまり内蔵コンパレータ)にルーティング可能、もしくはルーティングしない
 - 内蔵に設定されている場合:内蔵コンデンサが「サンプル & ホールド」要素として使用される
 - この構成では、D/Aコンバータの出力は内部コンポーネント(オンチップ・コンパレータなど)にのみルーティング
- 変換フェーズのタイミング
 - すべての変換フェーズ・タイミングは、LSIまたはLSEクロック・ソースを参照して行われる
 - サンプリング、ホールド、およびリフレッシュのタイミングは設定可能

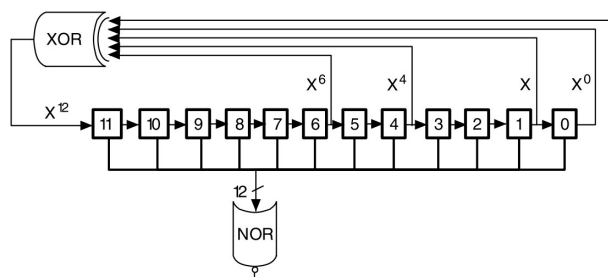


コンデンサは、外部または内部にすることができます。
外付けの場合は、バッファを使用でき、D/Aコンバータの出力を内蔵のコンパレータなどの内部コンポーネントにルーティングすることもできます。
内部にする場合、内蔵コンデンサが使用され、D/Aコンバータの出力は内部コンポーネントにのみルーティングされます。
充電時間はコンデンサ値によって異なります。
上記の3つのフェーズのタイミングは、`lsi_ck` またはクロックサイクル`lse_ck`単位です。

波形生成

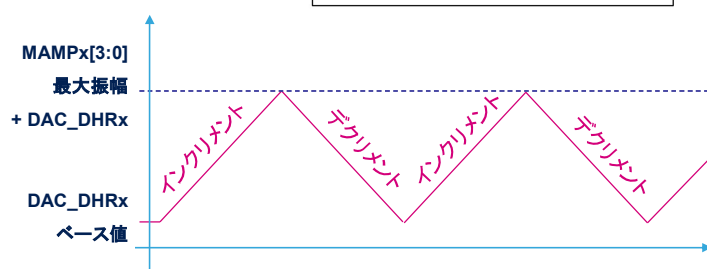
ノイズ生成

- LFSSR(線形フィードバックシフトレジスタ)に基づく
 - 計算されたノイズ値が外部トリガを使用してオーバーフローなしでデータホールドレジスタに入力
 - 振幅の設定可能



三角波生成

- アップダウンカウンタに基づいて、三角波を生成することが可能(各トリガは+/- 1ステップをインクリメント)
 - ベースと振幅の設定可能



life.augmented

D/Aコンバータ デジタルインタフェイスは、ノイズ、三角波、ノギリの3つの特別な信号発生器を統合しています。

線形フィードバックシフトレジスタ(LFSSR)は、D/A コンバータ入力のノイズ信号を生成できます。

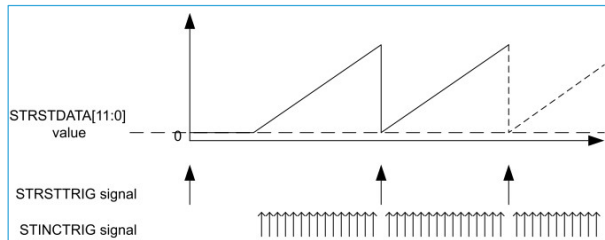
トリガごとに、LFSSR ブロックで D/A コンバータ出力データを更新します。

プログラム可能なカウント値のあるアップダウンカウンタで、D/A コンバータ出力データを更新できる三角波データを生成できます。

データは、トリガ信号でも更新できます。

波形生成

- D/Aコンバータ 自動波形生成機能
 - ノコギリ波
 - 設定可能なインクリメント / デクリメント値と振幅に基づく



- 複雑なトリガ・システム
 - インクリメント / デクリメントの場合
 - リセット用



D/Aコンバータはノコギリ波形を生成することが出来ます。
初期値、インクリメント値、方向制御に関する特定のレジスタ設定が可能です。

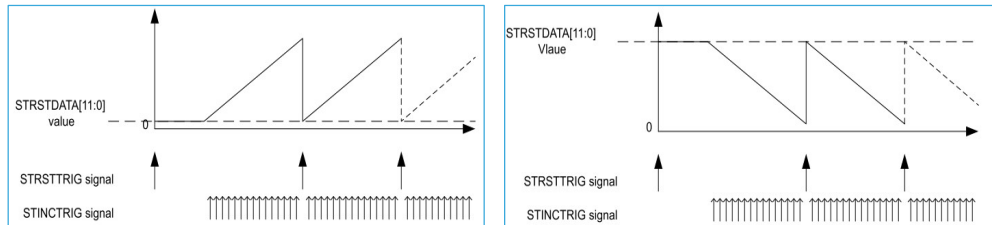
ノコギリ波カウンタは STRSTDATA から開始し、各増分トリガは STINCDATA 値をインクリメント (またはデクリメント) します。

インクリメントトリガおよびリセットトリガは、STINCTRIGSEL および STRSTTRIGSEL ビット・フィールドを使用して選択する必要があります。

この機能は、コンパレータがモータ電流を制御するための閾値電圧を作成するのに利用できます。

波形生成

ノコギリ波生成のプロパティ



インクリメント / デクリメント・カウンタ

- 16bitノコギリ波カウンタ(基準値からスタート: $\text{STRSTDATAx}[11:0] \ll 4$)
 - トリガ信号のリセットは、カウンタを基本値に初期化する $\text{STRSTDATAx}[11:0] \ll 4$
- 各 STINCTRIG トリガは $\text{STINCDATAx}[15:0]$ によってインクリメント / デクリメントされる
- D/Aコンバータ出力として使用されるのは、上位12bitのみ
 - $0x0000$ または $0xFFFF$ に達すると、値は飽和状態になる



インクリメント / デクリメント (STINCTRIG) およびリセット (STRSTTRIG) のトリガ信号

- SWTRIGビット、EXTI、TIMx_TRGO、HRTIM

インクリメント値は、DAC_STRx レジスタの STINCDATA ビットによって定義されます。

D/Aコンバータ出力は、このカウンタ値の 12 MSB から使用されます。

カウンタが $0x0000$ または $0xFFFF$ に達すると、値は飽和状態になります。

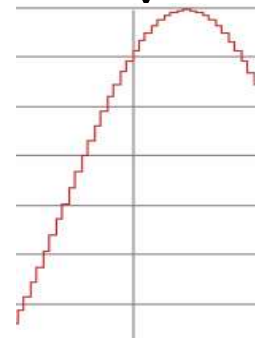
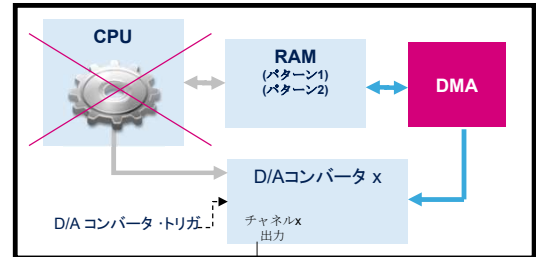
ノコギリ波の方向は、DAC_STRxレジスタの STDIR ビットによって定義されます。

DMAを使用したD/Aコンバータ

18

CPUの負荷をオフロード

- D/Aコンバータ DMAリクエストは、外部トリガが発生したときに生成
 - データホールドレジスタ値は、データ出力レジスタに転送
 - 安定したサンプリング時間ベースの出力(タイマ制御)を生成可能
- 割り込み機能を備えた DMA アンダーラン



D/A コンバータは、トリガ信号から DMA リクエストも生成できます。

トリガが検出されると、データホールドレジスタ値がデータ出力レジスタに転送されます。

次に、データホールドレジスタの新しいデータを取得するために、DMA リクエストが生成されます。

出力データレジスタの更新はトリガ信号によって直接開始されるため、D/A コンバータ出力信号にジッタはなく、安定したサンプリング時間信号出力を生成でき、サンプリング周波数をフィルタしやすくなります。

CPUの負荷をオフロード

- DMAダブルデータ・モード(DMADOUBLEx bit = 1)
 - 1回のDMA転送で2つの連続したD/Aコンバータ・サンプルの転送が可能
 - 1つのD/Aコンバータ・チャンネルの連続サンプル
 - DMAリクエストは、2番目のD/Aコンバータトリガごとに生成
 - 1つの32bitトランザクションで2つのサンプルが転送
 - 実装
 - 2つのデータホールド・レジスタ (DAC_DHRx, DAC_DHRBx)
2つの出力データ・レジスタ(DAC_DORx, DAC_DORBx)
 - DMA転送フィルDAC_DHRx, DAC_DHRBx
 - トリガの切り替えDAC_DORx, DAC_DORBx
 - DORSTATxビットはアクティブ・レジスタペアを示す



D/Aコンバータは、バス アクティビティを減らすためにダブルデータ DMA 機能をサポートします。

D/Aコンバータ DMA リクエストは、2つの外部トリガ (ソフトウェアトリガを除く) ごとに生成されるため、同じ 32 ビット AHB トランザクションで 2つのサンプルが転送されます。

DMA ダブル モードでは、DMA リクエストで処理できる D/Aコンバータのチャンネルは 1つだけです。

DMA ダブル モードで 2つのチャンネル出力を使用するには、各 DMA チャンネルを個別に設定する必要があります。

割込みイベント	説明
DMAアンダーラン	DMA リクエストが次の外部トリガによって処理されない場合

DMAイベント	説明
DMA リクエスト	DMAENx bit がセットされたときの外部トリガ



メモリからデータを転送するには、DMA リクエストを生成できます。

D/Aコンバータ DMA リクエストはキューに入れられていないため、最初の外部トリガの受信確認 (最初の要求) の前に 2 番目の外部トリガが到着した場合、新しいリクエストは発行されず、マスク可能な割込み要求を引き起こすアンダーランフラグが設定されます。

モード	説明
SLEEP	効果なし、D/Aコンバータ、DMAは使用可能
低電力RUN	効果なし
低電力SLEEP	効果なし、D/Aコンバータ、DMAは使用可能
STOP 0/ STOP 1	LSI/LSEクロックを使用してサンプル & ホールド モードを選択した場合、D/Aコンバータは静的な値でアクティブな状態を維持
STANDBY	D/Aコンバータペリフェラルの電源が切れ、STANDBYまたはSHUTDOWNモードを終了した後に再初期化する必要がある
SHUTDOWN	



D/A コンバータは、RUN、SLEEPの低電力モードではアクティブになります。

STOP 0 モードおよび STOP モードでは、サンプルとホールドモードが選択されている場合はアクティブな状態が維持されます。

STANDBY モードとSHUTDOWN モードでは、D/Aコンバータの電源がオフになり、後で再初期化する必要があります。

	条件	値(標準)	単位
VDDA		1.71 ~ 3.6	V
単調出力		10	ビット
微分非直線性(DNL)		+/-2	LSB
積分非線形性(INL)		+/-4	LSB
有効ビット数(ENOB) 1 kHz出力	バッファオン	11.4	ビット
	バッファオフ	11.5	ビット
VREF+からの消費 (1 Msps)	バッファオン	185	μA
	バッファオフ	155	μA
安定時間(1 Msps)	+/-1 LSB, C = 50 pF	1.6	μs
サンプリングレート		1.0	メガサンプル/秒
		15.0	メガサンプル/秒



life.augmented

次の表には、D/Aコンバータのパフォーマンスパラメータをいくつか示しています。D/Aコンバータは1.71 ~ 3.6 Vの間で動作します。

D/Aコンバータ出力バッファがONの場合、またはピンDAC_OUT接続されている場合、VDDAの最小電圧値は1.8Vです。

10ビット単調出力が保証されます。

1メガサンプル/秒で動作する場合、バッファが有効な場合は消費電力は185 μA、バッファ無効の場合は155 μAです。

サンプル&ホールドモードを使用することで、消費電流を大幅に削減できます。コンディションやホールドコンデンサの特性に応じて、このモードでは1μA未満の電流消費が可能です。D/Aコンバータバッファ出力は、50 pF負荷で1.6 μsecの安定時間を持っています。

D/Aコンバータは、1秒あたり1メガサンプルまたは1秒あたり15メガサンプルのサンプリングレートを処理できます。

- 本ペリフェラルに関連する以下のペリフェラルのトレーニングを参照してください。
 - VREFBUF-電圧リファレンス・バッファ
 - RCC- クロック・モジュール
 - DMA – ダイレクト・メモリ・アクセス
 - 割込み
 - GPIO – 汎用入出力
 - TIM – タイマ
 - Op Amp – オペアンプ
 - COMP – コンパレータ



これは、D/A コンバータに関連するペリフェラルの一覧です。
詳細については、必要に応じてこれらのペリフェラルのトレーニングを参照してください。

- 詳細については、次のリソースを参照してください。
 - AN3126: Audio and waveform generation using the DAC in STM32 microcontrollers
 - AN4566: Extending the DAC performance of STM32 microcontrollers



D/A コンバータの項目に特化したアプリケーションノートも参照できます。