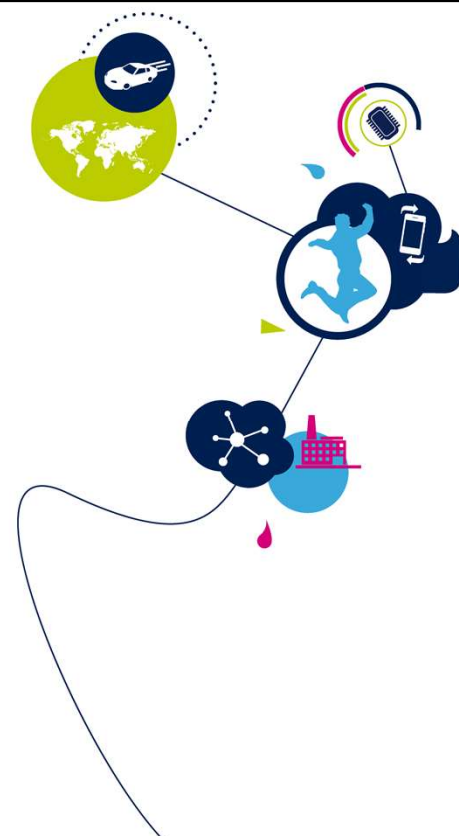


STM32G4 – IWDG

独立型ウォッチドッグ

1.0 版



STM32 独立型ウォッチドッグ (IWDG) のプレゼンテーションによ
うこそ。問題発生時にマイクロコントローラをリセットするウォッ
チドッグとして、また、アプリケーションタイムアウト管理のための
フリーランタイムとして用いることのできるこのペリフェラルの主な
機能の説明を行います。

- ソフトウェア障害による誤動作の検出と解決に役立ちます。
 - 期待されるタイムウィンドウ内にリフレッシュされない場合にシステム・リセットをトリガ
 - メインクロックに障害が発生しても常時アクティブ
 - ひとたびアクティブになると無効にできず、リフレッシュする必要がある

アプリケーション側の利点

- メインアプリケーションの外部にある完全に独立したプロセス
- ハードウェア・スタートまたはソフトウェア・スタートを選択可能
- STANDBY モードと STOP モードでは低電力停止を選択可能



独立型ウォッチドッグは、ソフトウェア障害による誤動作の検出と解決に使用されます。

期待されるタイムウィンドウ内にリフレッシュされない場合に、リセットシーケンスをトリガします。

そのクロックは独立した 32kHz ロースピード内部 RC オシレータ (LSI) であるため、メインクロックに障害が発生してもアクティブのままとなります。

ひとたび有効化されると、ロースピード内部オシレータが強制的にアクティブ化され、無効にできるのはリセットのみとなります。

アプリケーションにとっての主な利点の 1 つは、メインクロックとは独立に動作可能であることです。

- IWDG の主な機能
 - 125 μ s から 32.8秒の範囲でプログラム可能なタイムアウト
 - プログラム可能なタイムウィンドウ幅
 - 独立 RCオシレータ(LSI)からクロック供給
 - 以下の時点でリセットを生成:
 - タイムアウト値に到達
 - ウィンドウ外でリフレッシュが発生
 - DEBUG、STOP、STANDBY の各モードで停止可能
 - 自動的に有効化されるように設定可能



独立型ウォッチドッグは、125マイクロ秒から 32秒までの広範囲なタイムアウト値に対応しています。

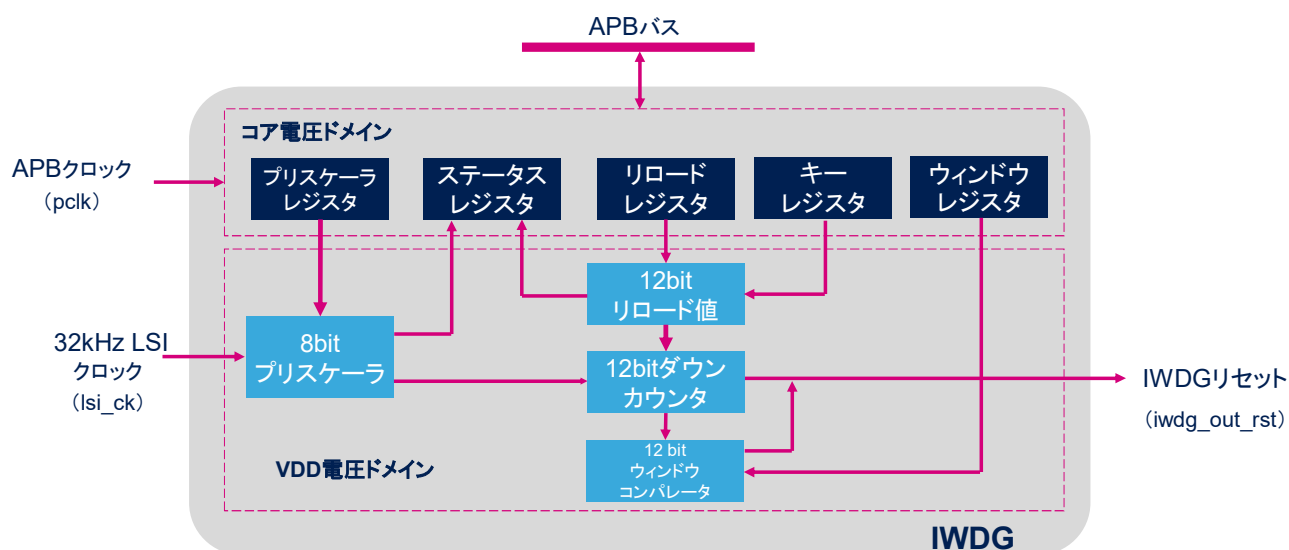
独立型ウォッチドッグが有効化されると無効化できなくなる 32kHz RC オシレータからクロック供給を受けます。

プログラムされたタイムアウト値が経過するか、プログラムされたタイムウィンドウ外でウォッチドッグリフレッシュが発生した場合にリセットを生成します。

このウィンドウ機能はオプションであり、すべての独立型ウォッチドッグに存在する訳ではありません。

システムリセット後に独立型ウォッチドッグを自動的に有効化することができます。

DEBUG、STOP、STANDBY の各モードで、独立型ウォッチドッグの動作を定義することができます。



独立型ウォッチドッグレジスタは、コア電圧ドメインにあり、その機能は VDD 電圧ドメインにあります。

次の 2 本のクロックが必要です。

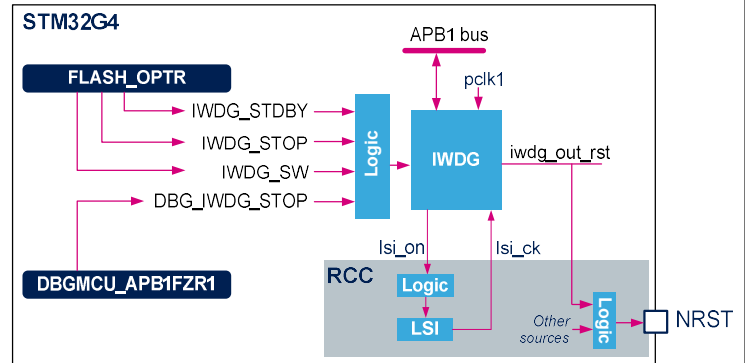
APB クロックはレジスタのアクセスのために必要です。

LSI クロックはウォッチドッグの機能部分のために必要です。

このアーキテクチャにより、独立型ウォッチドッグレジスタは STOP モードや STANDBY モードでも動作可能となっています。プログラム可能な 8bit プリスケアラは、LSI オシレータ周波数の分周に用いられます。

12bit ダウンカウンタによってタイムアウト値が定義されます。

- IWDGはLSIからクロック供給
- オプションビット(FLASH_OPTR)には、いくつかのオプションがある
 - リセット後に自動的にIWDGを有効(IWDG_SW)
 - 製品がSTOPモードのときにIWDGをフリーズ(IWDG_STOP)
 - 製品がSTANDBYモードの場合にIWDGをフリーズ(IWDG_STDBY)
- デバッグ機能:
 - 製品がデバッグモードのときにIWDGをフリーズ(DBG_IWDG_STOP)



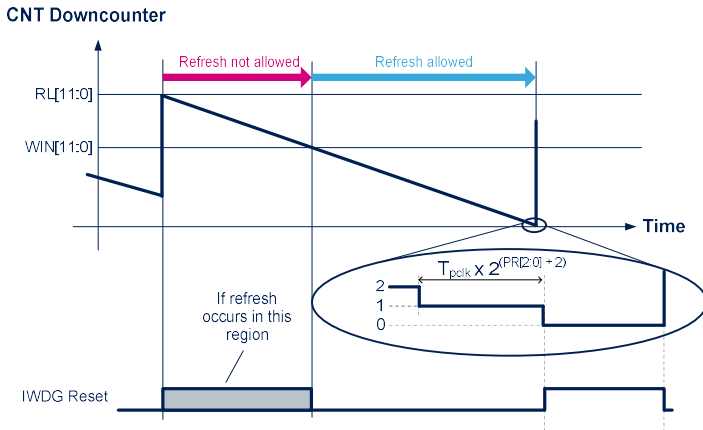
IWDG は LSI という 32 kHz RC 発振器によってクロック供給されます。

IWDG が有効な場合、LSI 発振器は自動的に有効になります。オプション・ビットは、アプリケーションのニーズに応じて IWDG の動作を調整できます。

IWDG_SWビットを介してリセットした後、自動的にIWDGを有効にするかしないかは、ハードウェアまたはソフトウェアのライセンス認証モードと呼ばれることがよくあります。

- 製品がIWDG_STOPビットを介してSTOPモードにある場合、IWDGをフリーズ
- 製品がIWDG_STDBYビットを介してSTANDBYモードにある場合、IWDGをフリーズ

製品がデバッグモード (コア停止) のときにウォッチドッグがフリーズするかどうか選択できます。



カウンタが WIN[11:0] に格納されている値より大きい間にソフトウェアがカウンタをリロードした場合に、リセットが生成

IWDGリセットを防止するには、カウンタの値がタイムウィンドウ値 WUT[11:0] よりも小さい間にウォッチドッグをリセット

この図には、独立型ウォッチドッグの動作方法が図示されています。

ダウンカウンタがゼロに達すると、ウォッチドッグリセットがアクティブ化されます。

これは、時間内にアプリケーションソフトウェアによってウィンドウ型ウォッチドッグがリフレッシュされない場合に発生します。

ダウンカウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがウォッチドッグをリフレッシュした場合にも、リセットが生成されます。

ウォッチドッグリセットを防止するには、ダウンカウンタの値がゼロではなく、かつタイムウィンドウ値よりも小さい間にリフレッシュが発生する必要があります。

IWDGハードウェア・スタートの設定

- IWDGハードウェア・スタートでは、システム・リセット後にIWDGが自動的に有効化される
- システム・リセット後、リロード・カウンタは 0xFFFFにセットされ、プリスケアラは0にセットされる
 - タイムアウト値は約0.5秒
- カウンタが0に達する前でウィンドウ内(ウィンドウ・オプションが有効化されている場合)の定期的インターバルで、ソフトウェアによってキー・レジスタ(IWDG_KR)に0x0000 AAAAを書き込む必要がある



独立型ウォッチドッグハードウェアは、デバイスのオプションバイトによって有効化されます。

ハードウェアモードが有効化されていると、毎回のシステムリセットの後にウォッチドッグがカウンタに 0xFFFF を自動的にロードし、カウントダウンを開始します。

プリスケアラは 0 にセットされ、入力クロックが 4分周されます。

このオプションが有効化されている場合、リセットを防止するには、カウンタが 0 に達する前でタイムウィンドウ内の定期的インターバルで、キーレジスタがリフレッシュされる必要があります。

LSI1 または LSI2 のクロック周波数が正確に 32kHz であることを考えると、アプリケーションにとっては、ウォッチドッグリセットが生成される前に約 0.5秒あります。

IWDGソフトウェア・スタートの設定

8

- レジスタIWDG_KRに0x0000 CCCCを書き込んでIWDGを有効化
- レジスタIWDG_KRに0x0000 5555を書き込んでレジスタアクセスを有効化
- レジスタIWDG_PRをプログラミングしてIWDGプリスケアラをセット
- リロードレジスタ(IWDG_RLR)をセット
- レジスタが更新される(IWDG_SR = 0x0000 0000)のを待つ
- **ウィンドウ・オプション有効時**: IWDG_WINRレジスタにウィンドウ値を書き込む
これにより、カウンタ値IWDG_RLRが自動的にリフレッシュ
- **ウィンドウ・オプション無効時**: レジスタIWDG_KRに0x0000 AAAAを書き込み、カウンタ値をIWDG_RLRにリフレッシュ



独立型ウォッチドッグのソフトウェアスタートは、わずか数ステップで設定されます。

- 最初のステップは、0x0000 CCCC の値をキーレジスタに書き込んで、ウォッチドッグをスタートさせることです。
- 次に、0x0000 5555 を書き込んでキーをアンロックし、独立型ウォッチドッグレジスタ保護を解除します。
- カウンタクロックを供給するプリスケアラ分周回路を選択して、IWDG_PR レジスタに独立型ウォッチドッグプリスケアラをセットします。
- リロードレジスタ(IWDG_RLR)に書き込んで、ウォッチドッグカウンタにロードされる値を定義します。

前のレジスタにアクセスした後、レジスタが更新されていることを確認するために、IWDG_SR bit がリセットされるのを待つ必要があります。

- ここで、独立型ウォッチドッグウィンドウオプションを有効にするか無効にするかという2つのオプションがあります。
 - ウィンドウオプションを有効化するには、IWDG_WINR レジスタにウィンドウ値を書き込みます。
 - そうしない場合には、キーレジスタに 0x0000 AAAA を書き込んでカウンタをリフレッシュし、ウィンドウオプションを無効化します。

- IWDGタイムベースの設定:
 - LSI1ロックまたは LSI2クロック(32kHz)から分周されたIWDGタイムベース
 - 7個のプリディバイダ: IWDG_PR レジスタによって選択可能な4~256(および12bit ウォッチドッグ・カウンタリロード値RLR[11:0])
 - 次の式を用いてIWDGタイムアウトをセット:

$$t_{\text{IWDG}} = t_{\text{LSI}} \times 4 \times 2^{\text{PR}} \times (\text{RL} + 1)$$

ここで、 $t_{\text{LSI}} = 1/32000 = 31.25\mu\text{s}$ 、PRとRLはIWDGレジスタのフィールド

- IWDGリセットの原因はRCCLレジスタを通じて特定可能



IWDG タイムベースは、32kHz の LSI1 クロックまたは LSI2 クロックから分周されます。IWDG_PR プリスケーラレジスタは、LSI クロック周波数を 4 から最高 256 の間の値で分周できます。ウォッチドッグカウンタリロード値は、IWDG_RLR レジスタに書き込まれている 12bit の値です。

独立型ウォッチドッグタイムアウトの決定には、式を用いることができます。独立型ウォッチドッグ時間は、LSI 周期とそのプリスケーラ、ならびに選択されたウォッチドッグカウンタリロード値に基づいています。

マイクロコントローラのリセットおよびクロックコントローラ(RCC)は、リセットのソースを特定するレジスタを備えています。こうすれば、独立型ウォッチドッグによってリセットが起きたかどうかをアプリケーションは確認できます。

モード	説明
RUN	有効*
低電力RUN	有効*
SLEEP	有効*
低電力SLEEP	有効*
すべてのSTOPモード	有効*
STANDBY	有効*
SHUTDOWN	動作しない SHUTDOWN終了時にIWDGがリセット

* IWDG有効時



IWDG は、SHUTDOWN モードを除くすべてのモードでアクティブにできます。
 製品が SHUTDOWN から存在する場合、IWDG レジスタは初期値に設定されます。