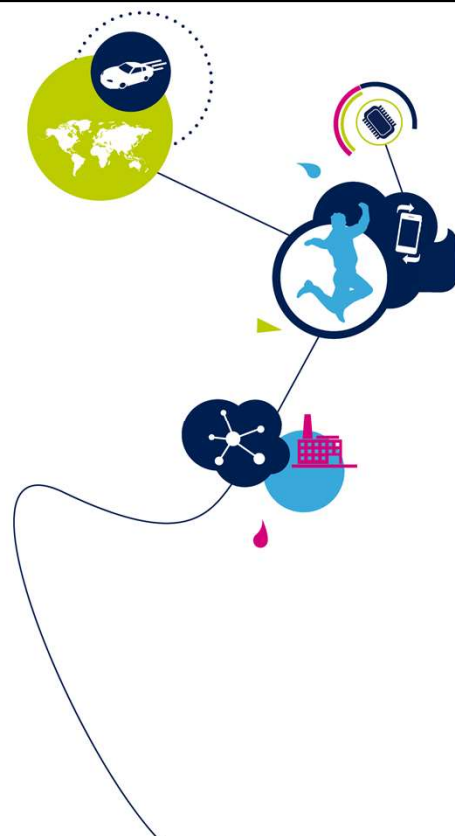


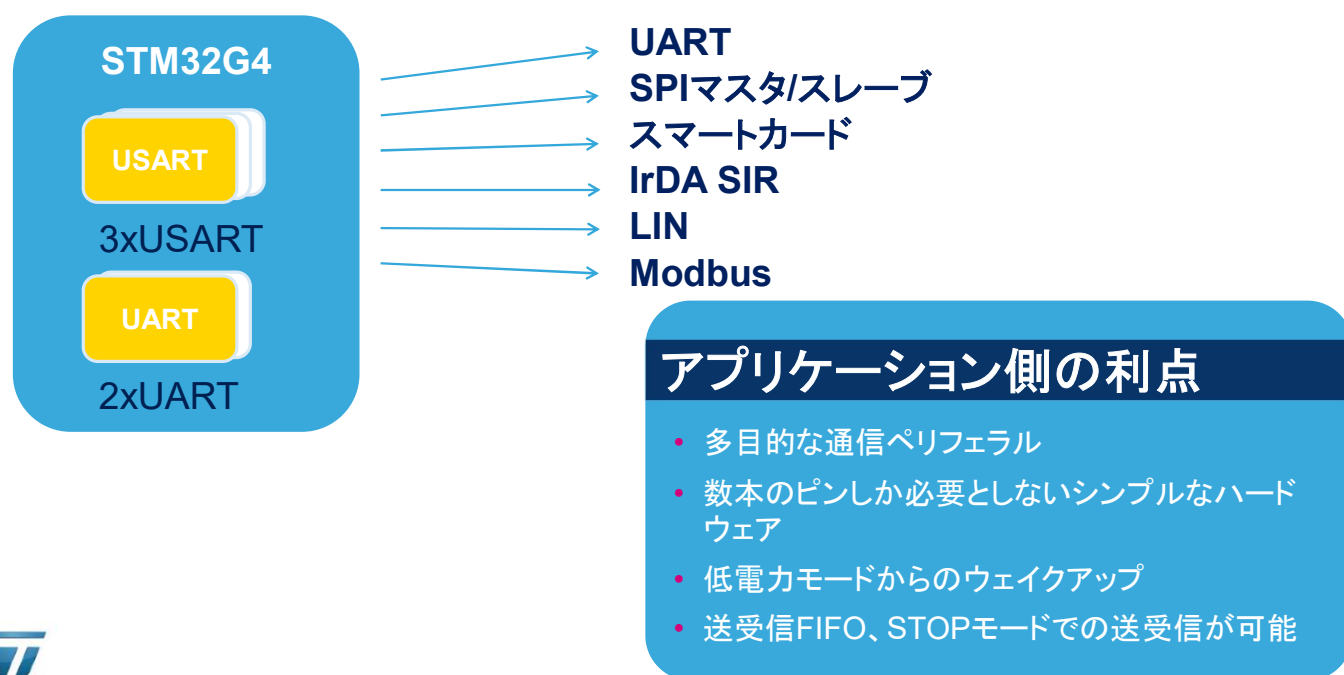
STM32G4 – USART

Universal Synchronous/Asynchronous Receiver/Transmitterインタフェース

1.0版



こんにちは。STM32 Universal Synchronous/Asynchronous Receiver/Transmitterインタフェースのプレゼンテーションへようこそ。
ここでは、組み込みシステムのシリアル通信に広く使用されている、USARTインタフェースの主な機能について説明します。



STM32G4は3つのユニバーサル同期/非同期受信トランスミッタ (USART) および2つのユニバーサル非同期受信トランスミッタ (UART) を内蔵しています。

USARTは非常に柔軟性の高いシリアルインタフェースであり、以下をサポートします。

- 非同期UART通信
- SPI(シリアルペリフェラルインタフェース) マスタモード
- LIN(ローカル相互接続ネットワーク) モード
- スマートカードISO 7816通信
- IrDAシリアル赤外線通信
- LIN(local interconnect network) モード

また、Modbus通信を実装する際に役立つ特定の機能も提供します。

UARTは、同期プロトコルのサポートを除き、USARTと同じ機能を実装します。SPIとスマートカード

USARTを利用するアプリケーションは、少数のピンしか必要としない容易で安価なデバイス間の接続という利点を活用できます。

さらに、USARTペリフェラルは、低電力モードで機能します。送受信FIFOを備えているため、STOPモードでの送受信が可能です。

- 完全にプログラム可能なシリアル・インタフェース
 - データは、7、8、または9ビット
 - 偶数、奇数、パリティなし
 - 0.5、1、1.5、および2ストップ・ビット
 - データ順をプログラム可能 (MSBファースト/LSBファースト)
 - プログラム可能なボーレート・ジェネレータ
 - 16または8倍で設定可能なオーバーサンプリング方法
- データ送信および受信用の2つの内部FIFO
- RS-232およびRS-485ハードウェア・フロー制御をサポート
- デュアルクロック・ドメイン可能:
 - UART機能と低電力モードからのウェイクアップ
 - PCLKの変更から独立したボーレート・プログラミング



USARTは詳細にプログラム可能なシリアルインタフェースであり、以下の設定可能なパラメータが特長です。

- データ長
- パリティ
- ストップビットの数
- データ順序
- ボーレートジェネレータ
- 8または16倍で設定可能なオーバーサンプリングモード

USARTはFIFOモードで動作でき、送信FIFOと受信FIFOを備えています。

また、CTS (Clear To Send) 信号とRTS (Request To Send) 信号を用いた基本的なRS-232フロー制御を使用することもできます。

RS-485 DE (Driver Enable) 信号もサポートされます。

USARTはデュアルクロックドメインをサポートするため、STOPモードからのウェイクアップと、ペリフェラルクロック(PCLK)に依存しないボーレートプログラミングが可能です。

このため、通信を中断せずに、ペリフェラルクロックをコアクロックに合わせて減速できます。

- マルチプロセッサ通信
- 単線半二重通信
- 自動ボーレート検出
- レシーバ・タイムアウト機能
- 以下もサポート
 - LINモード
 - 同期モード(マスタモード)
 - IrDA SIRエンコーダ・デコーダ
 - スマートカード(ISO/IEC7816 T=0およびT=1プロトコル)
 - Modbus/RTUおよびModbus/アスキー・プロトコルを実装するための基本



USARTはマルチプロセッサモードが特長であり、これにより、USARTはアドレス指定されていないときにはアイドル状態のままです。

全二重通信のほかに、単線半二重モードもサポートされます。USARTは、ほかにも、自動ボーレート検出、レシーバタイムアウトなど多くの機能を備え、いくつかのモードをサポートします。これらは、このプレゼンテーションで後述します。

STM32G4 USART/UART/LPUART機能

5

USART機能	USART1/2/3	UART4/5	LPUART
モデムのハードウェア・フロー制御	X	X	X
マルチプロセッサ通信	X	X	X
同期モード(スレーブ/マスタ)	X	-	-
スマートカード・モード	X	-	-
単線半二重通信	X	X	X
IrDA SIR ENDEC	X	X	-
LINモード	X	X	-
デュアルクロック・ドメインとSTOPモードからのウェイクアップ	X	X	X
レシーバ・タイムアウト	X	X	-
Modbus通信	X	X	-
自動ボーレート検出	X	X	-
ドライバの有効	X	X	X
データ長	7、8、9ビット		
TX/RX FIFO	X	X	X
TX/RX FIFOサイズ(バイト)	8		



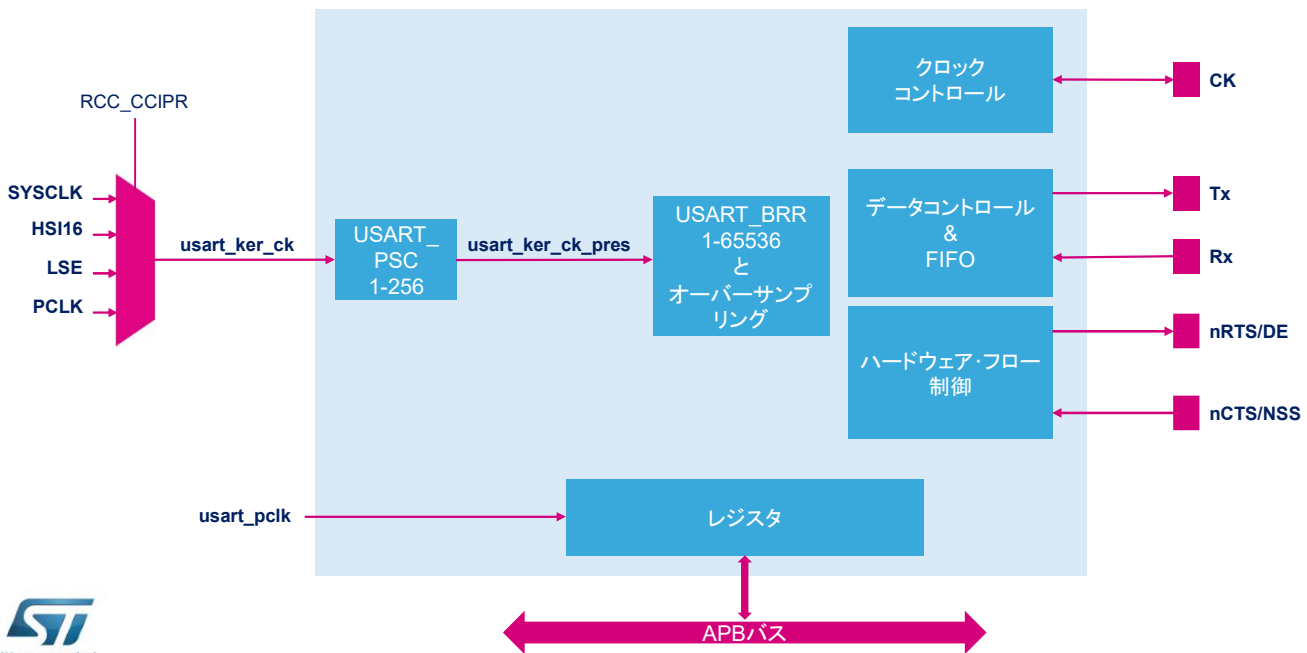
この表では、3つのUSART、2つのUART、およびLPUARTの違いも示しています。

UARTは以下をサポートしていません。

- 同期モードとスマートカードモード

LPUARTは以下をサポートしていません。

- 同期モード
- スマートカードモード
- IrDA通信
- LINモード
- モdbus通信



これはLPUARTブロック図です。

LPUARTクロック (lpuart_ker_ck) は、ペリフェラルクロック (APBクロック)、システムクロック、高速内蔵RCオシレータ (HSI16)、低速外付け 32.768kHz クリスタルオシレータ (LSE) など、複数のソースから選択できます。

LPUARTクロックソースは、1~256の範囲のLPUART_PSCレジスタでプログラム可能な係数で分周されます。

TxおよびRxピンは、データ送信とデータ受信に使用されます。

nCTSおよびnRTSピンは、RS-232ハードウェアフロー制御に使用されます。

ドライバインネブル (DE) 信号は、nRTSと同じI/Oで使用でき、RS-485モードで使用されます。

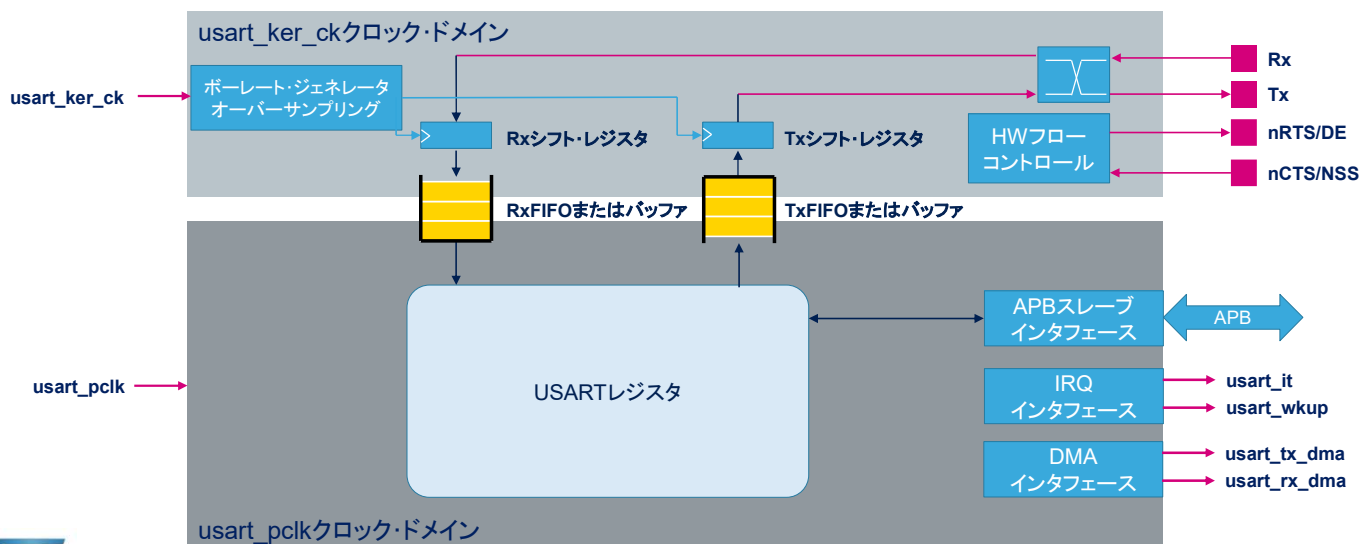
クロック出力 (CK) は2つあります。

- USARTが同期マスタ/スレーブモードで 사용되는場合、スレーブデバイスに提供されるクロックはCKピンに出力/入力されます。
- USARTをスマートカードモードで使用する場合、カードに提供されたクロックはCKピンに出力されます。

NSS信号とnCTS信号は同じピンを共有します。

- NSSは、同期スレーブモードでデバイスに適用されるスレーブ選択入力です。

PCLK再プログラミングから独立したボーレート・プログラミング



LPUARTは、柔軟性の高いクロック制御スキームを備えています。レジスタはAPBバスを介してアクセスされ、カーネルはAPBクロックから独立した`lpuart_ker_ck`（プリスケールされているか、または、クロックされていない）でクロックされます。

あるクロック・ドメインからもう一方のクロック・ドメインにデータを渡すために、8データFIFOが使用されるか、シングル・データ・バッファが使用されます。

LPUARTブロックは、メモリバッファとの間でデータを転送するDMA要求に依存できるAPBスレーブです。

TXピンとRXピンの機能を交換できます。これにより、別のUARTとの有線接続の場合に動作します。

ユーザが設定可能なさまざまなオーバーサンプリング手法

- オーバーサンプリングの選択は、速度とフレーミングの許容度に影響

	8オーバーサンプリング	16オーバーサンプリング
利点	最高速度は usart_ker_ck_pres/8	クロック偏差に対する最大レシーバ許容値が増加
欠点	クロック偏差に対する最大レシーバ許容値が減少	最高速度はusart_ker_ck_pres/16に制限

- 最大ボーレートは、選択したクロックとオーバーサンプリングに依存
 - クロックソースが170MHz、オーバーサンプリングが8倍で設定されたとき
21.25メガボー



USARTレシーバは、有効な着信データとノイズを区別することによってデータを復元する、ユーザ設定可能なさまざまなオーバーサンプリング技法を実装しています。

これにより、最大通信速度とノイズ/クロック精度の耐性の間でトレードオフができます。

8倍のオーバーサンプリングを選択すると、より高い速度（最大でusart_ker_ck_pres/8）を達成できます。ここで、usart_ker_ck_presはUSARTクロックソース周波数です。この場合、クロック偏差に対するレシーバの最大トレランスは減少します。

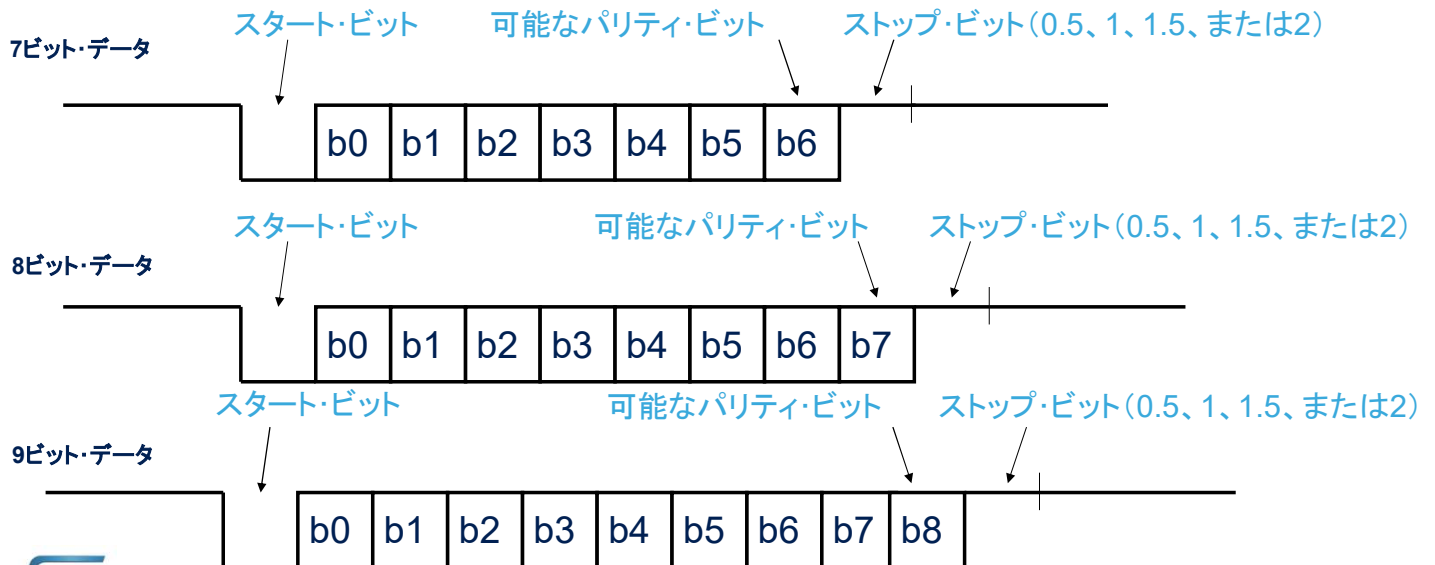
16倍のオーバーサンプリングを選択すると（OVER8=0）、クロック偏差に対するレシーバの許容誤差が増加します。この場合、最大速度はusart_ker_ck_pres/16に制限されます。

クロックソースが170MHzで、8倍のオーバーサンプリングが設定されているとき、達成できる最大ボーレートは21.25メガボーです。他のクロックソースでより高いオーバーサンプリング比の場合、最大速度が制限されます。

データフォーマット – 非同期モード

9

サポートされるデータ長: 7、8、および9ビット



非同期モードで使用するフレームフォーマットは、一連のデータビットと、同期のためのビットに加えて、オプションでエラーチェックのためのパリティビットで構成されます。

USARTは、7、8、または9ビットデータ長をサポートします。

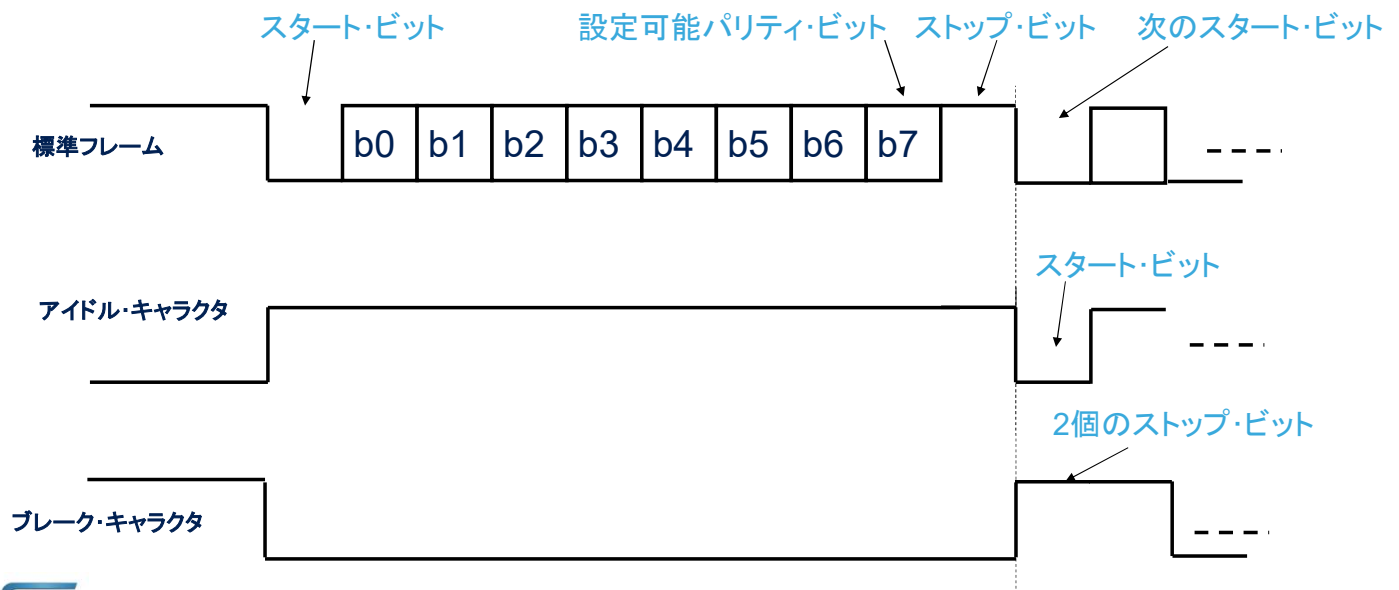
フレームは1ビットのスタートビットで始まり、ラインは1ビット周期だけローに駆動されます。これがフレームの開始を通知し、同期のために使用されます。

スタートビットの後に、7、8、または9ビットのデータビットが続きます。パリティ制御が有効な場合、パリティビットは最後のデータビットとして送信され、データ長カウントに含まれます。

最後に、いくつかのストップビット(0、1、1.5、または2)があり、ラインはハイに駆動され、フレームを終了します。

データの順序は、最上位ビット優先または最下位ビットファーストシフトでプログラム可能です。

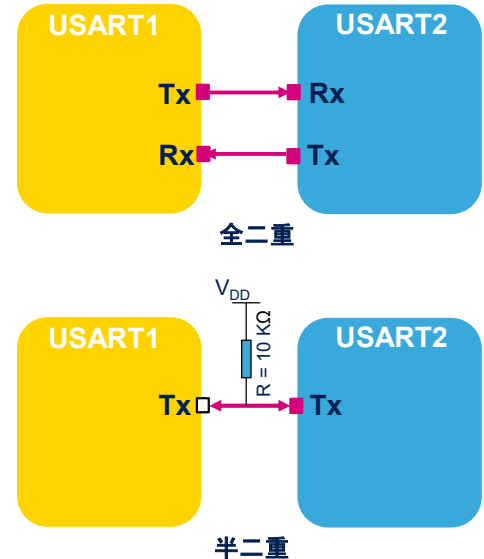
アイドル/ブ레이크・キャラクタ 10



標準のフレームは、前のスライドで説明しました。
このスライドは、1ビットのストップビットとともに構成された8ビットのデータフレームの例を示しています。
アイドルキャラクタは、すべてが「1」のフレームとして解釈されます（「1」の数にはストップビットの数が含まれます）。
ブ레이크キャラクタは、フレーム周期中に「0」を受信することと解釈されます。ブ레이크フレームの終わりに、2個のストップビットが挿入されます。

全二重: 二線
半二重: 単線

- USART全二重通信:
 - TxおよびRxラインが他方のインタフェースのRxおよびTxラインとそれぞれ接続
- USART単線半二重プロトコル
 - TxラインとRxラインが内部接続
 - Txピンは、送信と受信の両方に使用



USARTは全二重通信をサポートしています。TxおよびRxラインが他方のインタフェースのRxおよびTxラインとそれぞれ接続されます。

USARTは、単線半二重のプロトコルに従うように設定できます。この場合、TxラインとRxラインは内部接続されます。

この通信モードでは、Txピンだけが送信と受信の両方に使用されます。

Txピンはデータが送信されないときには常にリリースされるため、アイドルまたは受信モードでの標準I/Oとして機能します。

つまり、Txピンが外部プルアップ付きの代替機能オープンドレインとして設定されるように、I/Oを設定する必要があります。

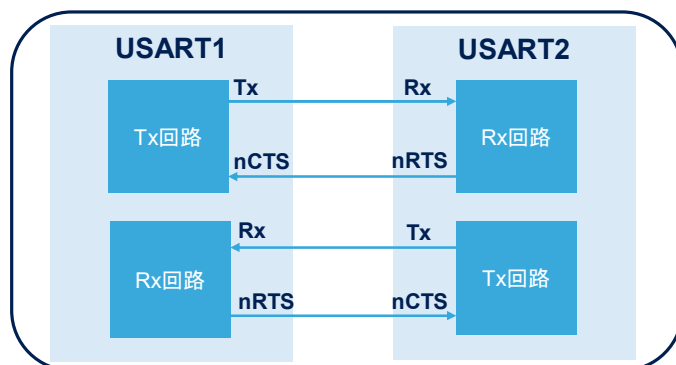
RS-232ハードウェア・フロー制御

12

データ・アンダーラン/オーバーランを避けるためのハードウェア・ハンドシェイク

- RS-232ハードウェア・フロー制御

- nRTS (Request to Send) 出力のアサートは、レシーバがデータを受け入れる準備ができたことを示す
- nCTS (Clear to Send) 入力のアサートは、トランスミッタが通信を続行できることを示す
- 特に半二重システムで有用



RS-232規格では、nCTS入力とnRTS出力を使用することによって、2つのデバイス間のシリアルデータフローを制御できます。

この2つのラインにより、レシーバとトランスミッタは互いに状態をアラートできます。

このスライドは、このモードで2つのデバイスを接続する方法を示しています。

このアイデアは、半二重通信の場合の欠落またはデータの衝突を防止します。

両方の信号がアクティブローです。

ハードウェア・ハンドシェイク

- マスタが方向信号を生成してトランシーバ(物理層(PHY))を制御する必要がある半二重システムで有用
 - この信号は物理層に送信または受信モードで動作しなければならないかどうかを通知
 - DE(Driver Enable)ピンを使用して、外部RS-485バスドライバを有効化
- DEおよびnRTS信号は、同じピンで使用可能



RS-485のようなシリアル半二重通信プロトコルでは、マスタは方向信号を生成してトランシーバ(物理層)を制御する必要があります。

この信号は物理層に送信または受信モードで動作しなければならないかどうかを通知します。

RS-485モードでは、外部トランシーバ制御を有効にするために、制御ライン「ドライバイネーブル」が使用されます。

DE制御ラインはnRTSとピンを共有します。

複数のデバイス間の通信

- マルチプロセッサ通信では、目的のメッセージ受信者だけがメッセージを積極的に受信は禁止
- アドレス指定されていないデバイスをミュート・モードにすることが可能
- ミュート・モードを制御する2つの方法
 - アイドルライン検出
 - アドレスマーク検出



複数のプロセッサ間の通信を単純化するために、LPUARTは特殊なマルチプロセッサモードをサポートします。

マルチプロセッサ通信では、目的のメッセージ受信者だけがメッセージを積極的に受信することが望ましいです。

アドレス指定されていないデバイスをミュートモードにするには、2つの方法があります。

アイドルラインまたはアドレスマークです。

LPUARTがミュートモードを有効または無効にするには、2つの方法のいずれかを使用します。

- アイドルライン検出
- アドレスマーク検出

SPIマスタ/スレーブとして使用されるUSART

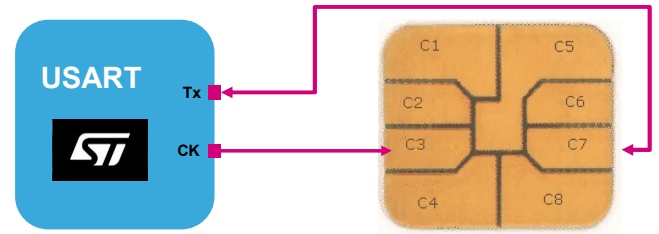
- 全二重またはシンプレックス同期通信モード:
 - SPIマスタ/スレーブ・モード
 - プログラム可能なクロックの極性 (CPOL) と位相 (CPHA)
 - データ順をプログラム可能 (MSBファースト/LSBファースト)
 - CKピンでのクロック出力/入力
 - スタートビットとストップビット間にクロックパルスなし
 - 送信アンダーラン・エラー (SPIスレーブ・モードのみ)
 - NSS管理 (ソフトウェアまたはハードウェア管理) (SPIスレーブ・モードのみ)



UARTとは異なり、USARTは同期通信も行うことができます。SPIとしてマスタまたはスレーブモードで動作でき、プログラム可能なクロック極性 (CPOL) および位相 (CPHA) と、プログラム可能なデータ順 (MSBまたはLSBファースト) を備えています。クロックはCKピンで出力 (マスタモードの場合) または入力 (スレーブモードの場合) されます。スタートビットとストップビット間には、クロックパルスは供給されません。USARTがSPIスレーブモードで設定されているときには、送信アンダーランエラーとNSSハードウェアまたはソフトウェア管理をサポートします。

スマートカードとセキュリティ・アクセス・モジュール用のUSARTインタフェース

- 半二重モード
- スマートカードへのクロック供給はCKピン
- プログラム可能なクロック・プリスケアラにより、幅広いクロック入力を保証
- ISO/IEC7816T=0およびT=1プロトコルをサポート
- ダイレクトとインバースの両方のコンベンションを使用可能



USARTは、半二重通信に基づき、スマートカードモードで使用できます。

クロックはCKピンよりスマートカードに出力されます。

T=0プロトコルをサポートし、多くの機能を備えているため、T=1のサポートも可能です。

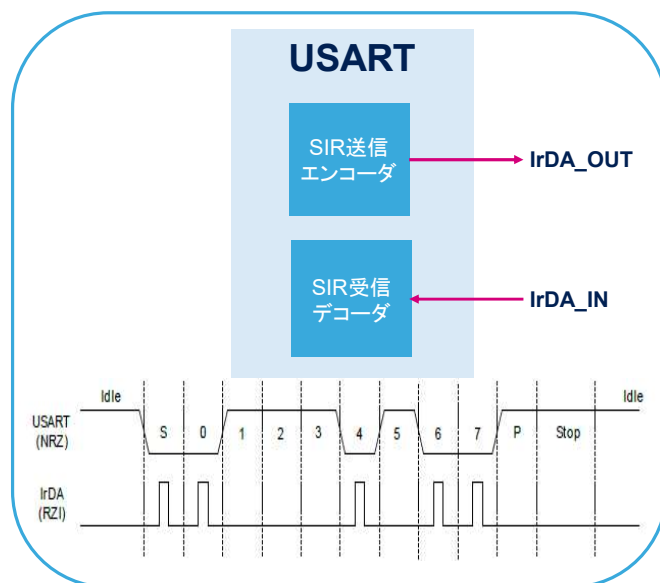
ダイレクトとインバースの両方のコンベンションがハードウェアによって直接サポートされます。

IrDA SIRエンコーダ・デコーダ

17

赤外線ワイヤレス接続用のUSARTインタフェース

- 半二重通信
- USARTとやり取りされるデータはNRZ (Non Return to Zero) フォーマットで表現
- IrDAの場合、必要なフォーマットはRZI (Return to Zero Inverted)
- SIR Txエンコーダは信号USARTを出る前に変調
- 同様に、入力信号はSIR Rxデコーダで復調
- 最大ビットレートは115.2キロビット/秒
- パルス幅は、通常モードで3/16ビット周期



USARTは、半二重通信プロトコルであるIrDA仕様をサポートします。

USARTとやり取りされるデータはNRZ (Non Return to Zero) フォーマットで表され、信号値はビット周期全体を通じて同じレベルです。

IrDAの場合、必要なフォーマットはRZI (Return to Zero Inverted) であり、「1」はラインをローに保持することによって通知され、「0」は短いハイパルスによって通知されます。

SIR送信エンコーダは、USARTから出力されるNRZ (Non Return to Zero) 送信ビットストリームを変調します。

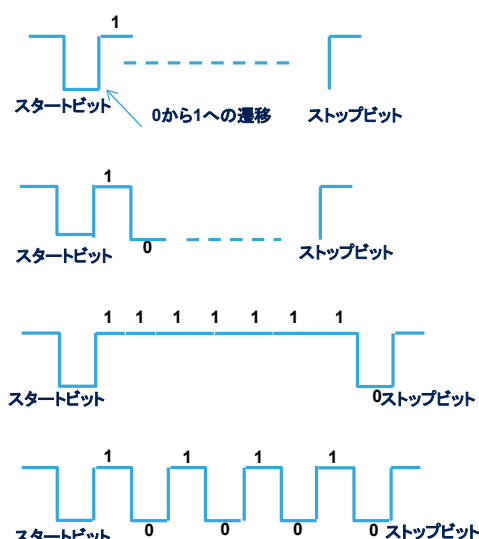
SIR受信デコーダは、赤外線検出回路からのRZ (Return to Zero) ビットストリームを復調し、受信したNRZシリアルビットストリームをUSARTに出力します。

USARTは、SIR ENDECについて、最大115.2キロビット/秒のビットレートのみをサポートします。

通常モードでは、送信されるパルス幅はビット周期の3/16として指定されます。

自動ボーレート設定 - USARTレシーバ

- USARTは、1キャラクタの受信に基づいて、ボーレートを自動的に判断可能
- 受信されるキャラクタは、次のいずれか：
 - 「1」のビットで始まるキャラクタ
 - 10xxパターンで始まるキャラクタ
 - 0x7F
 - 0x55

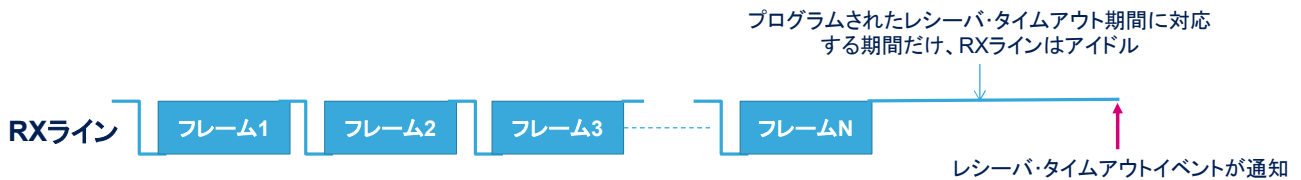


USARTレシーバは、1キャラクタの受信に基づいて、ボーレートを検出し、自動的に設定することができます。

受信されるキャラクタは、次のいずれかです。

- 1のビットで始まるキャラクタ。この場合、USARTはスタートビットの時間を測定します(立ち下がリエッジから立ち上がりエッジまで)。
- 10xxパターンで始まるキャラクタ。この場合、USARTはスタートビットと最初のデータビットの時間を測定します。低速な信号傾斜の場合の精度を高めるために、測定は立ち下がリエッジから立ち下がリエッジまでの時間で行われます。
- 0x7Fキャラクタフレーム。この場合、ボーレートは、最初はスタートビットの終了時に更新され、次にビット6の終了時に更新されます。
- 0x55キャラクタフレーム。この場合、ボーレートは、最初はスタートビットの終了時に更新され、次にビット0の終了時に更新され、最後にビット6の終了時に更新されます。並行して、RXラインの中間遷移ごとに別のチェックが行われます。

- USARTレシーバが、プログラムされた時間の間、新しいデータを受信しないとき、これをレシーバ・タイムアウト・イベントによってアプリケーションに通知可能



- USARTレシーバ・タイムアウト・カウンタは、次の時点からカウントを開始
 - 1および1.5ストップ・ビット設定の場合、最初のストップビットの終了から
 - 2ストップ・ビット設定の場合、2番目のストップビットの終了から
 - 0.5ストップ・ビット設定の場合、ストップ・ビットの開始から



USARTはレシーバタイムアウト機能をサポートします。

USARTが、プログラムされた時間の間、新しいデータを受信しないときには、レシーバタイムアウトイベントが通知され、有効な場合、割込みが生成されます。

USARTレシーバタイムアウトカウンタは、次の時点からカウントを開始します。

- 1および1.5ストップビット設定の場合、最初のストップビットの終了から。
- 2ストップビット設定の場合、2番目のストップビットの終了から。
- 0.5ストップビット設定の場合、ストップビットの開始から。

STOPモード中でも送信/受信

- FIFOモードは、ソフトウェアによって有効/無効にされる
- 送信FIFO(TXFIFO)と受信FIFO(RXFIFO)
- TXFIFOとRXFIFOのサイズは8データ
- FIFOモードは、IrDAおよびLINモードでは使用不可
- FIFOはカーネル・クロック・ドメインにある → STOPモードでも送受信可能
- 割込み要求をアサートするための調整可能なTXFIFOおよびRXFIFO閾値



USARTは、ソフトウェアによって有効化／無効化されるFIFOモードで動作できます。デフォルトでは無効です。

USARTは送信FIFO(TXFIFO)と受信FIFO(RXFIFO)を備え、それぞれ8ワードの深さです。

IrDAおよびLINモードが使用されるとき、FIFOモードはサポートされません。

TXFIFOとRXFIFOがカーネルクロックによってクロック供給される場合、STOPモードでもデータの送信と受信が可能です。

TXFIFOとRXFIFOの閾値を設定することができ、主にSTOPモードからのウェイクアップ時のアンダーラン／オーバーラン問題を回避するために設定されます。

STOPモードからのウェイクアップ

21

- USARTは、USARTクロック・ソースが以下のとき、MCUをSTOPモードからウェイクアップ可能
 - HSI
 - LSE
- ウェイクアップのソースは以下のいずれか
 - 以下によってトリガされる特定のウェイクアップ・イベント:
 - スタート・ビット
 - アドレス一致
 - 受信データ
 - FIFO管理が無効なときの標準RXNE割込み
 - FIFO管理が有効なときのFIFOイベント割込み
 - RXFIFOフル、TXFIFOエンプティ、またはRXFIFO/TXFIFOがプログラムされた閾値に達したとき



USARTは、USARTクロックソースがHSI、LSE、またはCSIクロックのとき、MCUをSTOPモードからウェイクアップできます。

ウェイクアップのソースは以下のいずれかです。

- スタートビットまたはアドレス一致または受信データによってトリガされる特定のウェイクアップイベント
- FIFO管理が無効なときのRXNE割込み
- FIFO管理が有効なときのFIFOイベント割込み:
 - ❖ 受信FIFOフル割込み
 - ❖ 送信FIFOエンプティ割込み
 - ❖ 受信FIFO閾値割込み
 - ❖ 送信FIFO閾値割込み

割込みイベント	説明	ウェイクアップ・リクエスト?
送信データレジスタ・エンプティ	送信データ・レジスタが空のときにセット	いいえ
送信完了	データ送信が完了し、データ・レジスタとシフト・レジスタの両方が空のときにセット	いいえ
CTS	nCTS入力が入ったときにセット	いいえ
受信データ・レジスタ・ノットエンプティ	受信データ・レジスタにデータがあるときにセット	はい
アイドルライン	アイドル・ラインが検出されたときにセット	いいえ
キャラクター致	受信データがプログラムされたアドレスに一致したときにセット	いいえ
レシーバ・タイムアウト	プログラムされたタイムアウトに等しい期間、Rxラインでアクティビティがなかった時にセット	いいえ
ガードタイム前の伝送完了	このフラグは、フレーム送信の終了直後に設定され、NACKがカードから受信されていない場合にセット (ISO/IEC7816モード)	いいえ



このスライドと次の2つのスライドでは、割り込みイベントの一覧を示し、その原因を詳しく説明し、これらのイベントをウェイクアップ要求として使用できるかどうかを示します。

いくつかのイベントが割り込みを提供できます。

- 送信データレジスタエンプティフラグは、送信データレジスタが空であり、書き込み準備ができていないときにセットされます。
- 送信完了フラグは、データ送信が完了し、データレジスタとシフトレジスタの両方が空のときにセットされます。
- CTSフラグは、nCTS入力が入ったときにセットされます。
- 受信データレジスタノットエンプティフラグは、受信データレジスタにデータがあり、読み取り準備ができていないときにセットされます。
- アイドルラインフラグは、アイドルラインが検出されたときにセットされます。
- キャラクター致フラグは、受信データがプログラムされたアドレスに一致したときにセットされます。
- レシーバタイムアウトフラグは、Rxラインで、プログラムされた期間、アクティビティがなかったときにセットされます。
- フレーム送信の終了後、およびカードからNACKが受信されていない場合は、ガード時間前に伝送完了フラグがセットされます。

割込みイベント	説明	ウェイクアップ・リクエスト?
LINブレーク	LINブレーク・フレームが検出されたときにセット	いいえ
ブロックの終了	完全なブロックが受信されたときにセット	いいえ
STOPモードからのウェイクアップ	ウェイクアップ・イベントが確認されたときにセット	はい
送信FIFOノートフル	送信FIFOがフルでないときにセット	いいえ
送信FIFOエンプティ	送信FIFOが空のときにセット	はい
送信FIFO閾値	プログラムされた閾値に達するとセット	はい
受信FIFOノートエンプティ	受信FIFOが空でないときにセット	はい
受信FIFOフル	受信FIFOがフルのときにセット	はい
受信FIFO閾値	プログラムされた閾値に達したときにセット	はい



LINブレークフラグは、LINブレークフレームが検出されたときにセットされます。

ブロック終了フラグは、完全なブロックが受信されたときにセットされます。

STOPモードからのウェイクアップフラグは、ウェイクアップイベントが確認されたときにセットされます。

送信FIFOノートフルフラグは、送信FIFOがフルでないときにセットされます。

送信FIFOエンプティフラグは、送信FIFOが空のときにセットされます。

送信FIFO閾値フラグは、プログラムされた閾値に達したときにセットされます。

受信FIFOノートエンプティフラグは、受信FIFOが空でないときにセットされます。

受信FIFOフルフラグは、受信FIFOがフルのときにセットされます。

受信FIFO閾値フラグは、プログラムされた閾値に達したときにセットされます。

割込みイベント	説明	ウェイクアップ・リクエスト?
オーバーラン・エラー	オーバーラン・エラーが発生したときにセット	いいえ
パリティ・エラー	パリティ・エラーが発生したときにセット	いいえ
フレーミング・エラー	フレーミング・エラーが発生したときにセット	いいえ
ノイズ・エラー	受信フレームでノイズが検出されたときにセット	いいえ
自動ボーレート・エラー	ボーレート測定が失敗したときにセット	いいえ
アンダーラン・エラー	同期スレーブ・モードでアンダーラン・エラーが発生したときにセット	いいえ



いくつかのエラーフラグが生成されます。

- オーバーランエラーフラグは、オーバーランエラーが発生したときにセットされます。
- パリティエラーフラグは、パリティエラーが発生したときにセットされます。
- フレーミングエラーフラグは、フレーミングエラーが発生したときにセットされます。
- ノイズエラーフラグは、受信フレームでノイズが検出されたときにセットされます。
- 自動ボーレートエラーフラグは、ボーレート測定が失敗したときにセットされます。
- アンダーランエラーフラグは、同期スレーブモードでアンダーランエラーが発生したときにセットされます。

- USARTはDMAを使用して継続的な通信を行うことが可能
- RxバッファとTxバッファのDMAリクエストは個別に生成
 - DMAリクエストは以下によってトリガ
 - FIFO管理が無効なとき、送信データ・レジスタ・エンプティおよび受信データ・レジスタ・フル
 - FIFO管理が有効なとき、送信FIFOノットフルおよび受信FIFOノットエンプティ



DMAリクエストは、FIFO管理が無効なときには、受信バッファノットエンプティまたは送信バッファエンプティフラグがセットされたときに生成されます。

DMAリクエストは、FIFO管理が有効なときには、送信FIFOノットフルおよび受信FIFOノットエンプティフラグがセットされたときにも生成されます。

モード	説明
RUN 低電力RUN	有効
SLEEP 低電力SLEEP	有効 ペリフェラル割込みによって、デバイスはSLEEPモードを終了
STOP0 STOP1	USARTレジスタの内容は保持される USARTクロックがHSIまたはLSEに設定されている場合、USARTはSTOPモードからMCUを起動可能
STANDBY SHUTDOWN	パワーダウン状態 STANDBYまたはSHUTDOWNモード終了後にペリフェラルを再初期化する必要がある



USARTペリフェラルは、RUNおよび低電力RUN、SLEEPおよび低電力SLEEPモードで有効です。

USART割込みによって、デバイスはSLEEPまたは低電力SLEEPモードから復帰します。

USARTクロックがHSIまたはLSEに設定されている場合、USARTは、STOP0モードとSTOP1モードからMCUをスリープ解除できます。

USART受信はSTOPモードで機能し、スタート、アドレス一致または受信フレームイベントでウェイクアップ割込みを生成します。

STANDBYおよびSHUTDOWNモードでは、ペリフェラルはパワーダウン状態になり、STANDBYまたはSHUTDOWNモードからの復帰後に再初期化する必要があります。

- 詳細については、このペリフェラルにリンクしている以下のトレーニングを参照してください。
 - GPIO (オルタネート機能設定)
 - リセットおよびクロック・コントローラ (RCC)
 - 電源コントローラ (PWR)
 - 割込み (NVICおよびEXTI)
 - ダイレクト・メモリ・アクセス (DMA) コントローラ



これは、USARTに関連するペリフェラルのリストです。必要な場合、詳細については、これらのトレーニングを参照してください。

- 汎用入出力 (GPIO)
- リセットおよびクロックコントローラ
- 電源コントローラ
- 割込みコントローラ
- ダイレクトメモリアクセスコントローラ