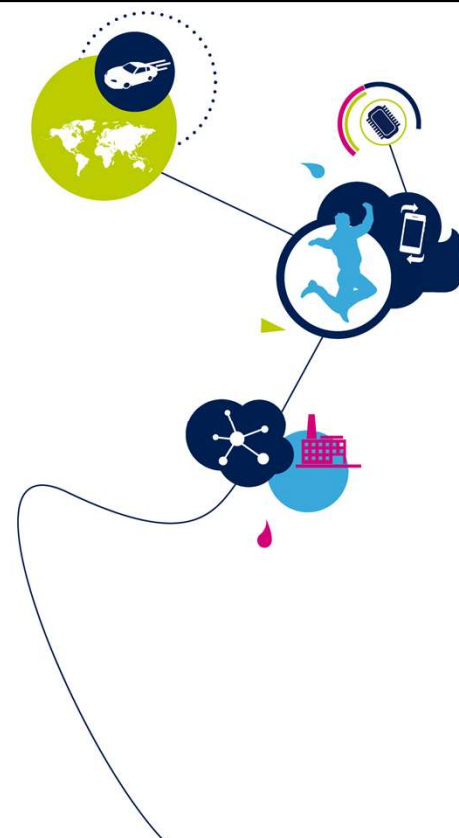


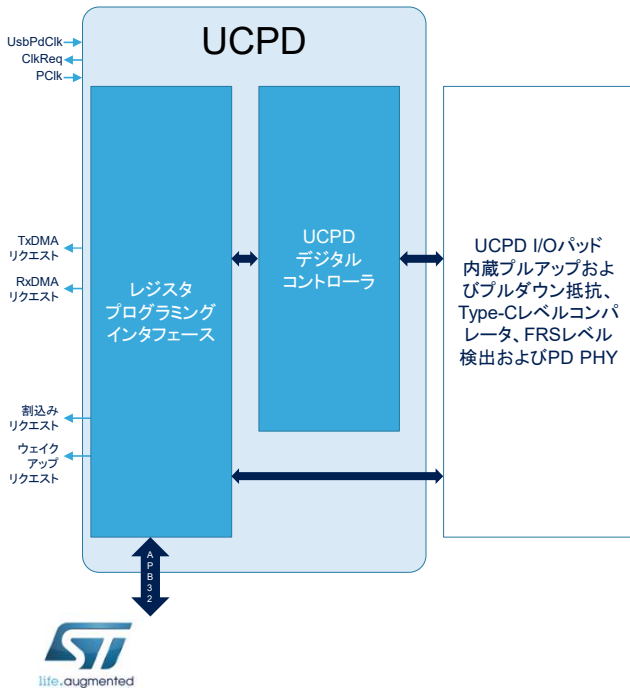
# STM32G4 - UCPD

USB Type-C™/USBパワーデリバリ・インタフェース

1.0版



STM32G4 UCPD (USB Type-C/パワーデリバリ) インタフェースのプレゼンテーションへようこそ。このモジュールの主な機能をカバーしています。



- USB Type-C™/USBパワーデリバリ インタフェース (UCPD) の管理:
  - USB Type-C™ デバウンスによるレベル検出
  - 高速ロール・スワップ (FRS) 検出
  - USBパワーデリバリ・ペイロードのバイト・レベル インタフェース、割込みの生成 (DMA互換)

## アプリケーション側の利点

- オンチップUSB Type-C™ PHY、プルアップ (Rp、すべての値) とプルダウン (Rd) 抵抗
- デッドバッテリー・サポート
- USBパワーデリバリ・メッセージの送受信

UCPDユニットは、設定チャンネルピン (CC1およびCC2) に直接接続されたPD物理層 (PHY) を内蔵しています。

UCPDは、ダウンストリーム・フェイスিং・ポート (DFP) またはアップストリーム・フェイスিং・ポート (UFP) として構成することができ、また、DFPとUFPの状態を入れ替えることができるFast Role Swap (高速ロールスワップ) プロトコルをサポートしています。

CC1またはCC2上でのメッセージ交換に基づくプロトコル層を実装するために、UCPDはプログラミング・インタフェースを提供し、ソフトウェアがメッセージ・ペイロード・バイトを受信または送信できるようにします。外部DMAチャンネルへのリクエストは、メモリとの間でプロトコルメッセージを自動的に転送するために使用することもできます。

ブロック図は、UCPDモジュールの2つの重要な部分を示しています。

- 左側のレジスタ・インタフェースはPCLKによってクロックされ、モジュールの現在の状態を設定し、決定するためにソフトウェアによって使用されます。メッセージは、TxおよびRxレジスタを使用してバイトごとに転送されます。
- バイトのエンコード/デコード、CRCの付加、チェックを行うとともに、順序付きセットの伝送を管理するPD物理層。

アプリケーションの利点は、

- RpおよびRd抵抗を含む統合オンチップPD PHY
- デッドバッテリーモードをサポートし、バッテリー切れの状況下でピアデバイスでの接続検出を可能にします。
- PDメッセージの送受信、ソフトウェアはペイロードの処理を担当しています。

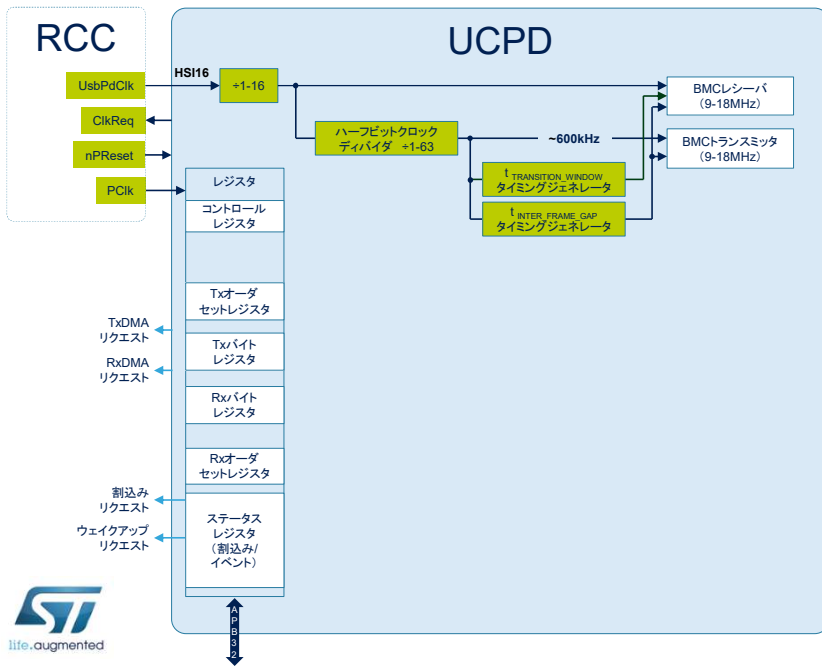
- USB Type-C™/USBパワーデリバリ・インタフェースは、USBパワーデリバリ仕様の物理層をサポート
  - ユニバーサル・シリアル・バスのパワーデリバリ仕様をサポート:リビジョン3.0、v1.2
  - ユニバーサル・シリアル・バスType-C™ケーブルおよびコネクタ仕様をサポート:リリース1.3
- 主な機能は、Type-C™ケーブル特有のパワーデリバリ(PD)仕様、CCシグナリング方式(VBUSではない)の物理層実装



UCPDコントローラは、以下に準拠しています。

- USB Type-Cリビジョン1.2と
  - USBパワーデリバリ仕様リビジョン3.0
- PHYについては、CC信号方式のみ対応しているため、Type-Cケーブルが必要です。

# UCPDのリセットとクロック



- シングル・リセット信号nPReset (APBバス・リセット)を使用
- UCPDのレジスタ・セクションはPClkで直接クロックされる
- 主な機能部分は、UsbPdClkが供給される
  - このクロックは、事前にスケーリングすることが出来る
  - レシーバは9から18MHzまで、あらゆるクロック入力で動作するよう設計されている

リセット/クロックコントローラ(RCC)ユニットは、nPReset信号をアサートすることでUCPDユニットをリセットします。

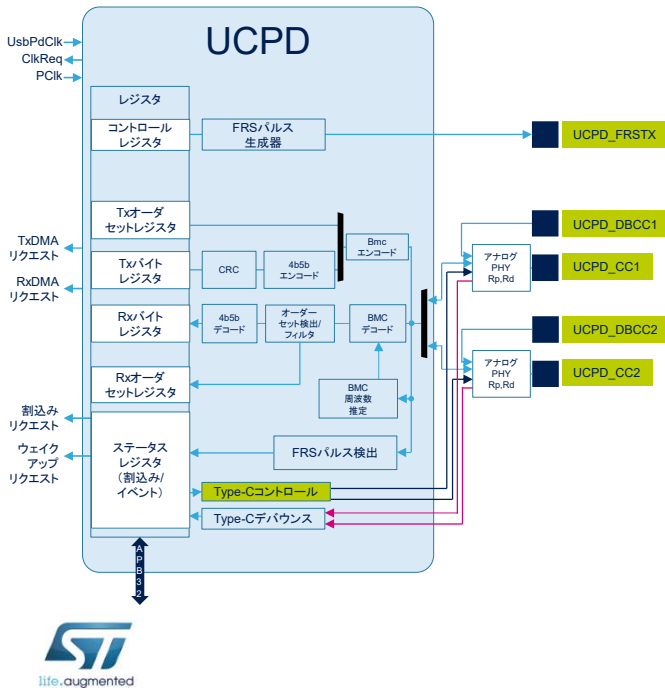
また、以下の参照クロックをUCPDユニットに提供します。

- PClkは、APBクロックであり、メモリマップレジスタへのアクセスに使用されます。
- 主な機能クロックであるUsbPdClk

Biマーク位相符号化で必要とされるハーフビットクロックを得るために、UsbPdClkをプリスケーリングすることができます。

tTransitionWindowとtInterFrameGapと呼ばれるタイミングについては、すべての場合においてタイミングを尊重するために、クロック周波数の不確実性を考慮に入れる必要があることに注意してください。

UCPDモジュールは、クロックゲーティングの低消費電力状態を抜けるために、RCCにClkReqをアサートします。



ピン	説明
UCPD_FRSTX	USB高速ロール・スワップ・シグナリング制御(DRPIのみ適用可能) <ul style="list-style-type: none"> <li>外部NMOSがアクティブなCCiラインをGNDにプルダウンするための制御信号(アクティブハイ)(Fast Role Swapシグナリング)</li> <li>一般的なアプリケーションでは、2つのトランジスタ(1つはCC1用、もう1つはCC2用)がある</li> <li>1つのFRSTX信号はAFmuxで利用可能で、アクティブなCC(CC1またはCC2)のロール・スワップを要求するために使用</li> </ul>
UCPD_DBCC1 UCPD_DBCC2	USB Type-C™設定コントロールライン、デッドバッテリーピン <ul style="list-style-type: none"> <li>デッドバッテリーのサポートが必要な場合、USB Type-C™コネクタのCCiラインにUCPD_DBCCi接続する必要がある</li> <li>それ以外の場合、これらの入力GNDに接続</li> </ul>
UCPD_CC1 UCPD_CC2	USB Type-C™設定コントロールライン <ul style="list-style-type: none"> <li>USB Type-C™コネクタのCCiラインへの接続</li> </ul>

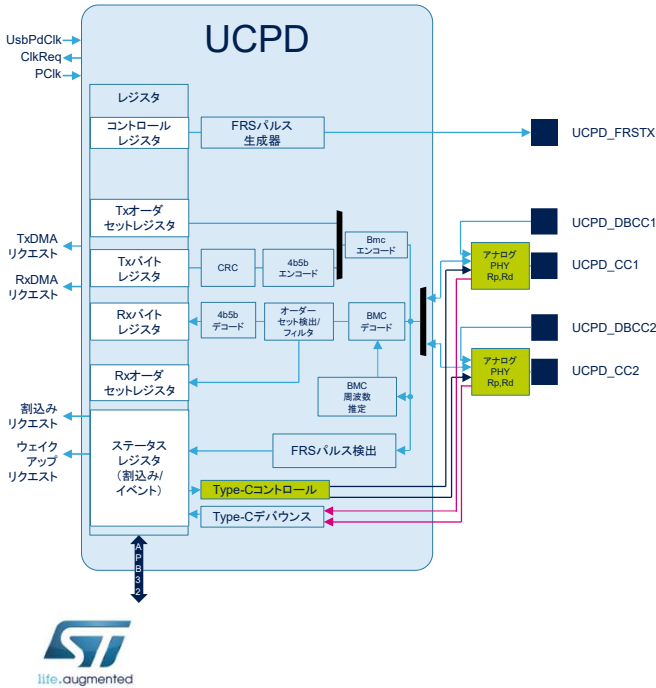
このスライドでは、UCPDユニットのピンアサインについて説明します。

ピンUCPD\_CC1とUCPD\_CC2は、USB Type-Cリセプタクルにルーティングされる唯一の信号です。ケーブルは反転させることができるため、ケーブルには固有のCC信号が含まれており、リセプタクルのCC1またはCC2に接続されていることに注意してください。UCPD\_FRSTXピンは、デュアルロールポートプロトコルがサポートされている場合に関連しています。これは、CC1またはCC2ラインをそれぞれプルダウンする外部NMOSTランジスタを制御するために使用され、ロールスワップを要求する方法です。

UCPD\_DBCC1とUCPD\_DBCC2ピンは、STM32G4 USB Type-Cポートが、UCPD\_DBCC1をUCPD\_CC1に接続し、UCPD\_DBCC2をUCPD\_CC2に接続することで、デッドバッテリー状態を相手ポートに示す場合に使用されます。

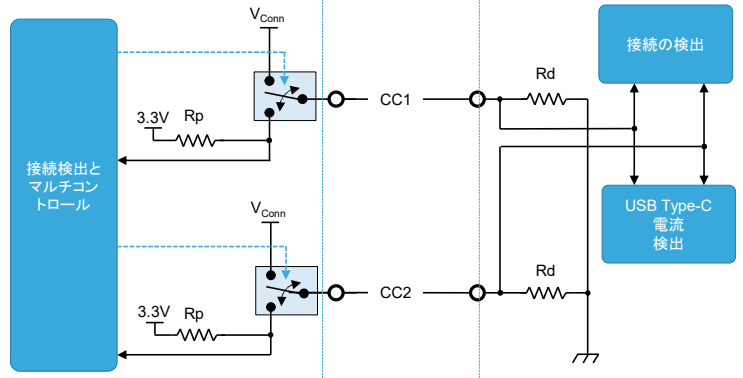


# プルアップおよびプルダウン抵抗



## Type-C仕様:

ダウンストリーム向きポート (DFP) | Type-Cケーブルアップストリーム向きポート (UFP)



- 一方のCCピンのみを使用する場合、CCENABLE制御フィールドを使用して他方のピンの制御を無効にすることで消費電力を最適化することが出来る

STM32G4は、USB PD仕様で必要なCC1およびCC2ピンに接続された内部RpおよびRd抵抗を実装します。

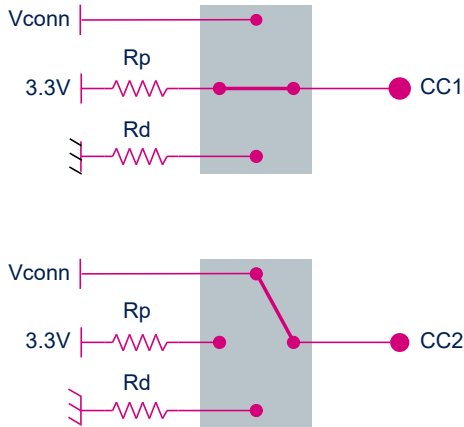
- 接続の検出
- ケーブルが反転しているかどうかの確認
- 通電能力はRpの値に依存するため、デフォルトの使用可能電力を決定します。

最後に、ケーブルフリップに応じてCC1またはCC2という固有のCCピンが、PDメッセージを伝送するために使用されます。

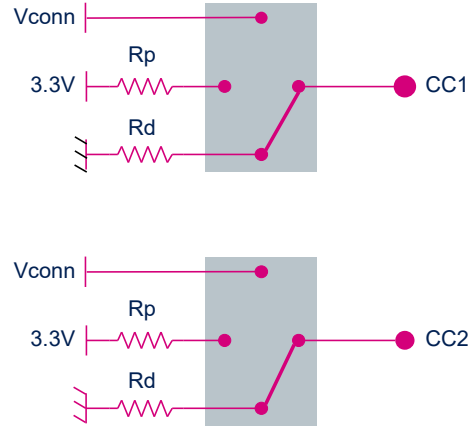
未使用のCCピンは、アクティブケーブルに存在する集積回路に電力を供給するVCONNピンになる可能性があります。

消費電力を節約するために、UCPD\_CRLレジスタのCCENABLEフィールドをプログラミングすることで、未使用のCCピンを無効にすることもできます。

ダウンストリーム向きポートとして設定されたUCPD  
前提事項:ケーブルが反転しない



アップストリーム向きポートとして設定されたUCPD  
前提事項:ケーブルが反転しない



UCPDはソフトウェアによって、ダウンストリーム向きポート(DFP)またはアップストリーム向きポート(UFP)のいずれかに設定されます。

DFPモードでは、ケーブル反転がないと仮定して、CC1はRpに接続されます。Rpの値は、DFPがVbusで供給できるデフォルト電力の値を示します。

DFPモードでは、ケーブルが反転していないと仮定して、CC2はVCONNに接続されています。VCONNは、電子的にマークされたケーブルやVCONNを搭載したアクセサリを実装するために必要なプラグ内のデバイスに電力を供給するために使用される5ボルト1.0ワットの電源です。

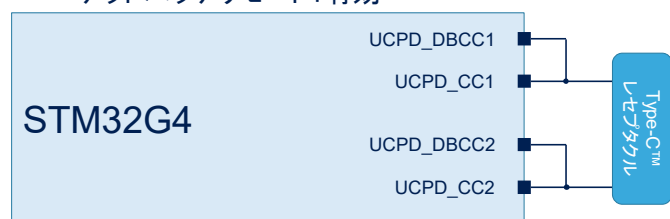
UFPモードでは、ケーブルが反転しないと仮定して、CC1とCC2は5.1キロΩの抵抗器であるRdに接続されています。

UCPDはDFPとUFPの両方の動作をサポートしているため、図に示す内部スイッチが現在の構成を選択します。

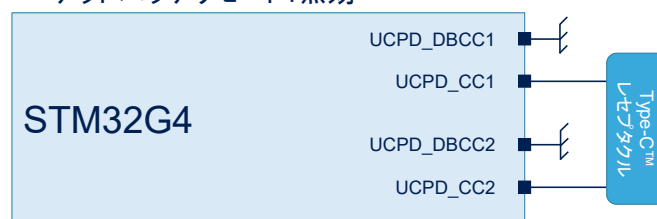
# PDおよびPU抵抗、デッド・バッテリー

8

デッドバッテリーモード: 有効



デッドバッテリーモード: 無効



- MCUの電源が入っていないときは、"電池切れ"Rdが表示

- MCUが電源をオフにすると、CC1およびCC2にオープンサーキットが表示

- 電源が入ってMCUが起動した後、この動作を有効にするためにSYS\_CONFIG[USBPDstrobe]を書き込む前にUCPD\_CRLレジスタのANAMODEとANASUBMODEフィールドに目的の動作(例えばシンク)をプログラムする必要がある



UCPDをアップストリーム向きポートとして使用する場合、デッドバッテリー機能により、UCPDはピア・ノードに電源供給が必要であることを示すことができます。このアナログ設定はMCUの電源がオフの場合でも機能します。このデフォルトの動作は、DBCCピンをそれぞれのCCピンに接続することで設定されます。

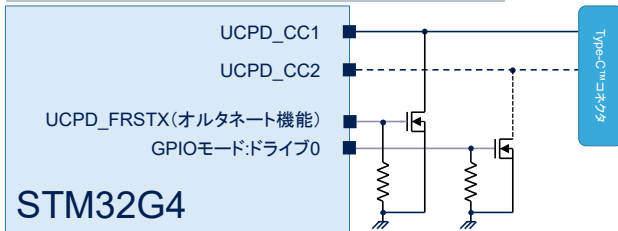
電源が入り、STM32G4が起動した後、UCPD\_CRLレジスタのANAMODEとANASUBMODEフィールドに所望の動作(シンクのソース)をプログラムし、SYS\_CONFIGと呼ばれるSYSCFGレジスタにUSB PD Strobeビットを1に設定しなければなりません。DBCCピンをグラウンドに接続すると、デッドバッテリーモードが無効になります。

この場合、ピアDFPは、デッドバッテリー状態と未接続状態を区別できません。

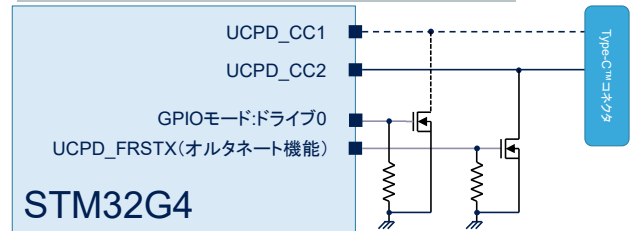


## スワップ(FRS)シグナリングと検出

高速ロールスワップ、アクティブCC:CC1



高速ロールスワップ、アクティブCC:CC2



• FRSシグナリング:

- 低抵抗プルダウンを適切なCCライン上でGNDに得るためには、外付けのN-MOSトランジスタが必要で、FRSTX制御は1つまたは他のN-MOSにマッピングする必要がある
- 制御信号 (FRSTX) は、適切な時間だけハイレベルでパルスする

• FRS検出はUCPD\_CRLレジスタのFRSRXENで制御



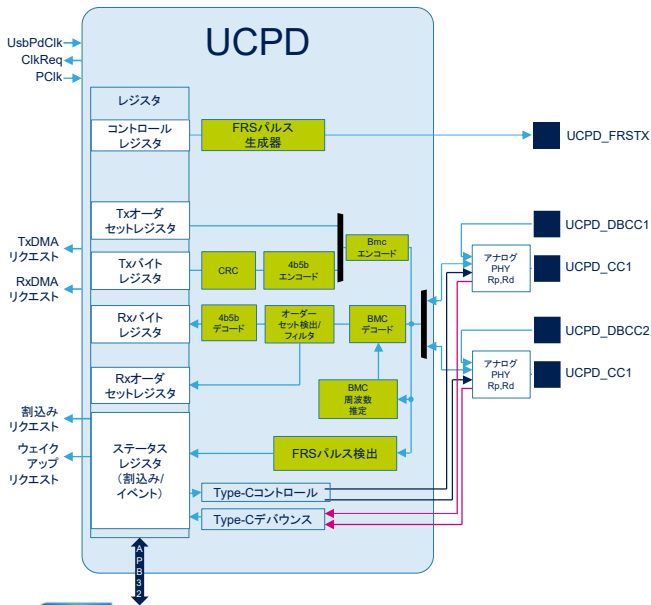
高速ロールスワッププロトコルは、DFPとUFPの役割を交換します。デフォルトの電源ソースノードがシンクノードとなり、デフォルトのシンクノードがソースノードとなります。

ソースノードにFRSを要求するには、シンクデバイスは適切なCCラインを一時的にグランドに接続します。

これは、両方のCCライン上の外付けN-MOSトランジスタによって達成されますが、一方のみがFRSTXパルスを受信します。

非アクティブなCCラインのN-MOSは、GPIOモードを使用してロジック0レベルで駆動する必要があります。

UCPD\_CRLレジスタのFRSRXENビットは、シンクノードのFRS検出を制御します。このビットがセットされると、FRS検出が有効になります。



- デジタル・コントローラは以下のような特徴を持つ
  - USB Type-C™レベル検出、デバウンス、割り込み発生機能付き
  - FRS検出、割り込みの生成
  - CRC生成/チェック
  - 4b5bエンコード/デコード
  - バイフェーズマーク・エンコード/デコード
  - オーダーセット(受信時にプログラム可能な順序付きセットマスクを使用)
  - プリアンブル時の受信機の周波数回復
  - USBパワーデリバリ・ペイロードのバイトレベル・インタフェース、割り込みの生成(DMA互換)
  - USBパワーデリバリタイミング・ディバイダ(クロック・プリスケアラを含む)

デジタルコントローラは以下を担当しています。

- USB Type-Cレベル検出、デバウンス付き
- 高速ロールスワップ(FRS)検出
- CRCの生成とチェック
- 4b5bエンコード/デコード
- バイフェーズマーク(BMC)エンコード/デコード
- オーダーセットの送信と受信

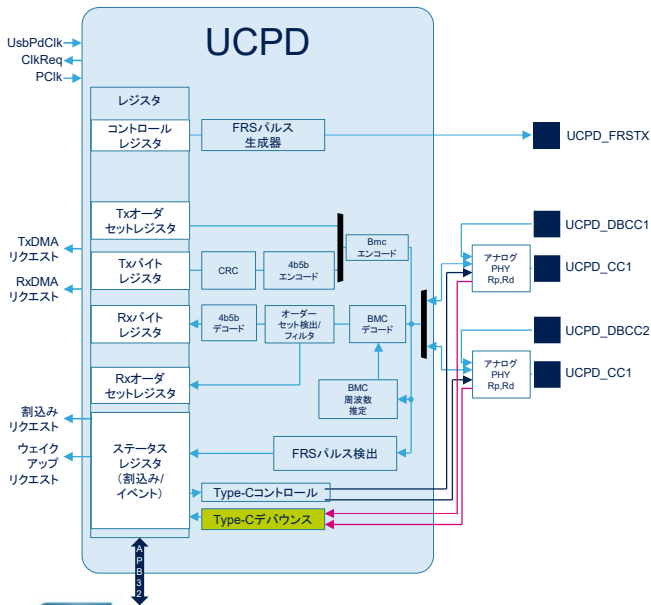
受信機のクロックデータ回復ユニットは、受信したビットストリームから送信クロックを回復します。

デジタルコントローラは、割り込みを生成して、USBパワーデリバリペイロードのためのバイトレベルインタフェースを提供する。UCPDユニットがDMA転送を要求することができるため、DMAチャネルはメッセージペイロードの転送を支援することができます。

UCPDモジュールは、2つのクロックドメインを実装します。PCLKによってクロックされるAPBレジスタインタフェースと、UsbPdClkによってクロックされるPHYです。

最大周波数が300Kbps(キロビット/秒)のCCクロックを提供するために、UsbPdClkはプログラマブル・プリスケアラで分割されています。バイフェーズマークコーディングのため、送信ビットごとに2つの遷移が発生する可能性があるため、実際の最大クロック周波数は600kHzとなります。

- Type-C™ステートマシンを最新の状態に保つため、CC1ピンとCC2ピンの重要な電圧イベントの監視が可能であり、継続的、またはポーリングによって行うことができる
- ソフトウェアに重要なイベントのみを提示するために、デバウンスが実行され、電力供給Tx/Rxアクティビティとの調整も行われる

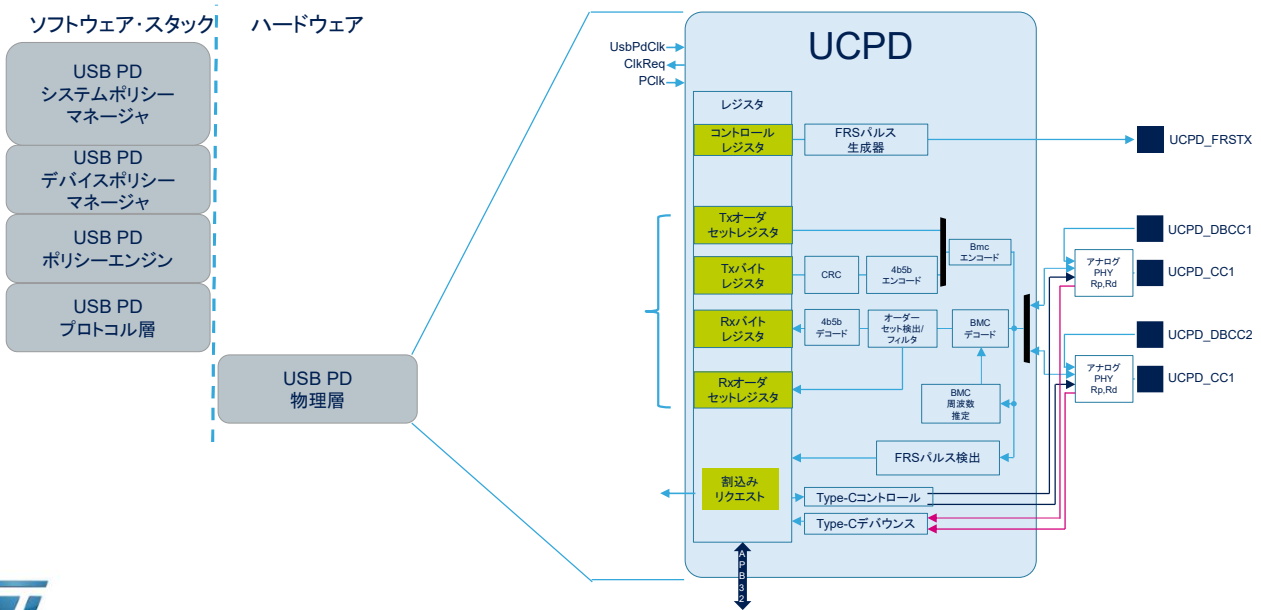


PHYはCC1とCC2の状態を継続的に監視するか、ポーリングによって、UCPD\_SRレジスタにフラグを設定してソフトウェアにイベントを検出し、シグナルを送ります。

電力消費を最適化するために、Type-C検出器はSTOPからのウェイクアップではなく、ポーリングの間でオフになるため、ポーリングを使用することをお勧めします。

CCピンの静的レベルは、レジスタの電圧範囲値を与えるためにPHYの閾値検出器を介して決定され、ソフトウェアでのType-Cステートマシンの実装を容易にし、またケーブルの向きを決定することを可能にします。

Type-Cのバウンス解除サブユニットは、ソフトウェアに報告されるイベントをフィルタ処理します。また、イベントシグナリングと電力供給のTx/Rxアクティビティ間の調整を確実にを行います。



PDソフトウェアスタックは、STM32G4のCortex-M4コアによって実行されます。

メッセージとイベントに基づき、イベントは、割込みを通じてCortex-M4コアに報告されます。

メッセージに関しては、ペイロードのみがソフトウェア制御下にあります。

デジタルコントローラは、プリアンブル、パケットの開始、CRC、およびパケットの終わりでメッセージカプセル化を実行します。

ソフトウェアスタックには、プロトコル層、ポリシーエンジン、デバイスポリシーマネージャ、およびシステムポリシーマネージャが含まれます。

システムポリシーマネージャは、プラットフォームレベルの電源管理を実装するために、複数のPDポートを制御できます。

プロトコル層		目的
DPM	デバイス ポリシー マネージャ	DPMは、システム全体の管理と監視を担当 <ul style="list-style-type: none"> <li>ポリシーエンジン、電源、ケーブル検出、およびシステムポリシーマネージャとやり取りする</li> <li>現在の電力状態に応じて必要な電力計画と行動(契約)を決定</li> </ul>
PE	ポリシー・エンジン	強制されるローカル・ポリシーを決定するポートごとに1つのインスタンス <ul style="list-style-type: none"> <li>さまざまな操作に対してメッセージ・シーケンスが指定される <ul style="list-style-type: none"> <li>ポートの電源リソースを要求</li> <li>電源またはシンクの切り替え</li> </ul> </li> <li>このレイヤは、電源ネゴシエーションとスワッピングを実装</li> <li>メッセージ・フロー・エラーおよびリセットを処理</li> </ul>
PL	プロトコル層	送信時に、このレイヤはメッセージを構築し、それをデジタル・コントローラに渡す 受信時に、このレイヤはデジタル・コントローラからメッセージを取得し、それを解析して分解 <ul style="list-style-type: none"> <li>CRCの生成/チェックはこのレイヤによって実行され、正しく受信されたメッセージに対してGoodCRCが自動的に返される</li> <li>通信エラーもこの層によって処理される</li> </ul>



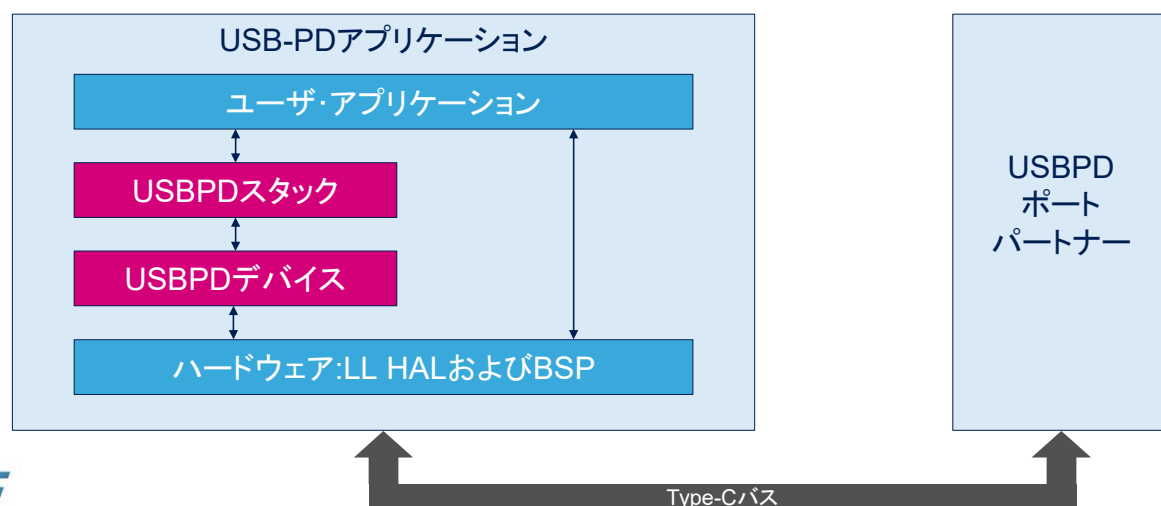
PD仕様では、3つのソフトウェア層が定義されています。

1. デバイスポリシーマネージャ(DPM)は、デバイスレベルのシステム管理と監視を担当します。現在の電源状態に応じて、電源プランと契約を決定します。
2. ポリシーエンジン(PE)は、単一のUCPDポートを制御します。メッセージシーケンスは、パワーリソースを要求し、ソースまたはシンク遷移を実行するために定義されています。このレイヤは、パワーネゴシエーション、スワッピングを実装し、メッセージフローエラーとリセットを処理します。
3. プロトコル層(PL)は、PDメッセージの構築と分解を担当しています。この層は、メッセージが正しく受信された場合に自動的にGoodCRCを返し、タイムアウトやリトライなどの送信エラーも処理します。

# ST独自のUSB-PDスタック

14

- STマイクロエレクトロニクスは、USB.org仕様に基づいて独自のUSB-PDスタックを提供



2つの部分はSTマイクロエレクトロニクスによって完全に管理されているため(USBPDコアスタックとUSBPDデバイス)、ユーザーは他の2つの部分だけに開発努力を集中させる必要があります。

- ・ユーザアプリケーションパーツ:USB組織仕様の内部で「デバイスポリシーマネージャ」と呼ばれます。STは、アプリケーションのニーズに応じて完成するアプリケーションテンプレートを提供します。

- ・ハードウェア部分:主にエネルギー管理に重点を置いています、これはユーザーがType-C電源の側面を管理するために選択した周辺機能に依存します。

STマイクロエレクトロニクスは、搭載されているSTM32ボード上のUSB Type-C™パワーデリバリ(UCPD)ポートを設定および監視するためのソフトウェアツールであるSTM32CubeMonitor-UCPD (STM32CubeMonUCPD)をリリースしました。

構成部では、USB Type-Cパワーデリバリポートのデフォルト設定を変更できます。

パワーデリバリ契約の確立と活動のチェックは、監視ツールで可能です。

- オーダーセットは4Kコードから成り立つ
  - 受信機は4つのKコードをすべて検索し、そのうちの1つが4つのうち3つ、または4つすべてを正しい場所に見つけたとき、それを有効な順序付き集合として解釈することが出来る

PD仕様で定義されたオーダーセット	
ケーブル・リセット	ケーブル・リセットを発生させる
ハード・リセット	ハード・リセットを発生させる
SOP	ケーブルに電気印が付いているピアPDデバイスまたはデバイスを対象とするパケットの開始
SOP'	
SOP'_デバッグ	
SOP''	
SOP''_デバッグ	



PDプロトコルは、5ビットコードに変換されたデータの数字を転送することに加えて、順序付きセットと呼ばれるシグナリングパターンも転送します。

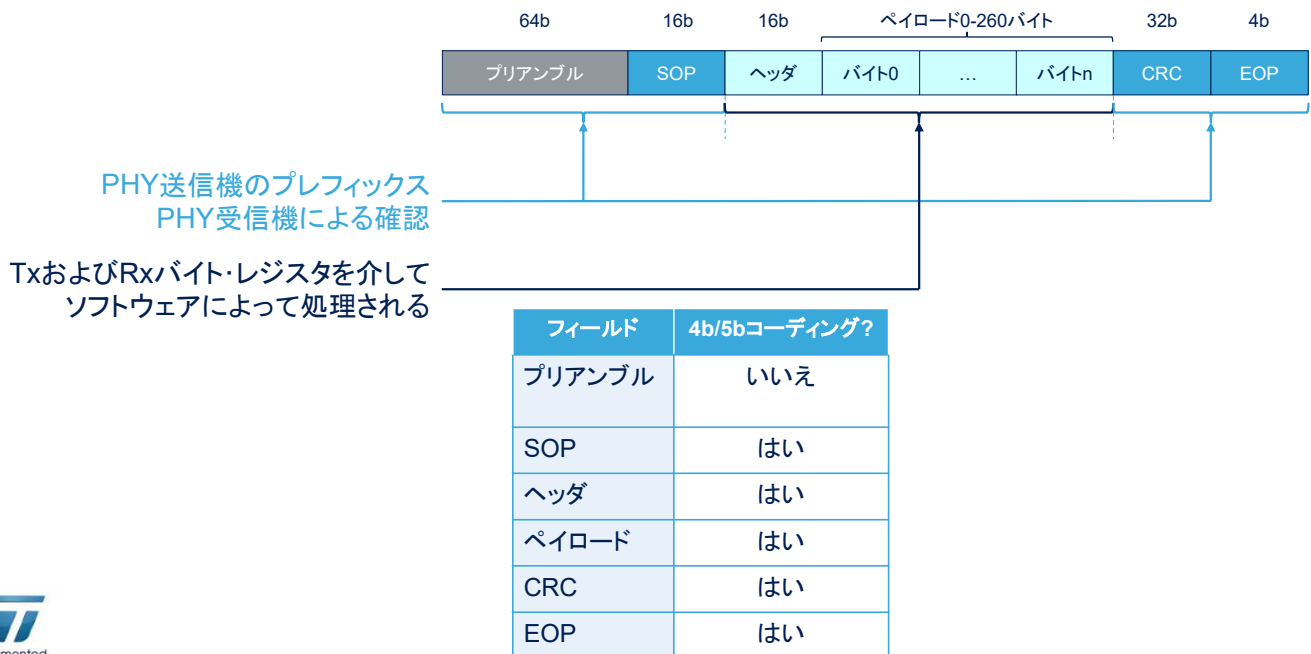
これらは4つの5ビットKコードで構成され、冗長メカニズムを介した伝送エラーに対して耐性があります。

パケットの開始(SOP)などの順序付けられたセットは、必ずパケット内に存在します。

デジタルコントローラは、受信機の有効性を確認した後、自動的に送信機に挿入し、受信機にストリップします。

PD仕様で定義されているオーダーセットは、

- ケーブルまたはハードリセット状態の信号を送る
- パケットの先頭を区切ります。



PHYは、プリアンブル、パケットの開始(SOP)、CRC、およびパケットの終わり(EOP)を自動的に挿入します。

受信機PHYはこれらのフィールドを処理し、それらを削除します。ヘッダーフィールドとペイロードフィールドは、ソフトウェアによって完全に処理されます。

PHYは、その内容を解釈しません。

プリアンブルはエンコードされません。

これは、受信機PHYがクロックデータを回復するために使用します。

後続のすべてのフィールドは送信機でエンコードされ、受信機でデコードされます。





ハードリセットのオーダーセット



ケーブルリセットオーダーセット

- ハードリセット・パケットは、クリーンな方法で実行中の転送を直接中断する
- ケーブルリセットはハードリセットと同様のフォーマットですが、ハードリセットとは異なり、特定の「優先度の高い処理」は不要
- シーケンス
  - tInterFrameGap (25μs) 待機
  - CCがアイドル状態でない場合は、アイドル状態になるまで待つ
  - プリアンブルを送信し、ハードリセットシグナリング用の4Kコードを送信
  - チャンルを無効にする(つまり送受信の停止)、PHYレイヤをリセットし、PHYレイヤがリセットされたことをプロトコル・レイヤに通知
  - プロトコル層から要求されたチャンネルを再度有効にする



Type-Cコネクタは、専用のリセット信号をサポートしていません。したがって、CC回線を介して転送される特定のPDパケットを使用して、リセット条件が通知されます。

これらのパケットは、順序付きセットと呼ばれ、物理層によって完全に処理されます。

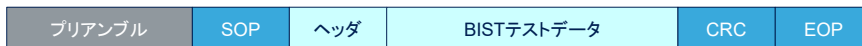
リセットの2つのタイプが定義されている:ハードリセット、オン時転送を中止し、ケーブルのリセット、「優先度の高い処理」を必要としません。

リセットパケットの発行に必要な順序については、このスライドで説明します。

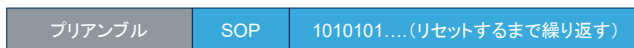
# PDパケット、組込みセルフテスト(BIST)

18

- プロトコル層が要求するBISTアクションに応じて、次のいずれかの実行が可能
  - UCPD\_CRレジスタのTXMODEとTXSENDIに書き込むことで達成されるTxBISTパターン・テスト
  - UCPD\_CRレジスタのRXBISTフィールドの正しい値をRXMODEに書き込むことで達成されるRxBISTパターンテスト
- UCPDでサポートされる2つのパターンは以下の通り
  - BISTテスト・データ(192ビットパターン)は、TxおよびRxに適用される
    - 受信者はパケットを確認したが、その後破棄される(プロトコル層には渡されない)



- BISTキャリア・モード(シングル・パターン、無限長メッセージ)はTxにのみ適用され、このモードでTxに対向するRxは、この状態の間CCラインを単に無視しなければいけない



PD仕様では、CCラインが機能しているかどうかをテストするために使用されるBuilt-In Self test(BIST)パケットを記述しています。BISTは、UCPD\_CRレジスタのフィールドに基づいて、ソフトウェアの決定に基づいて送信されます。

ソフトウェアは、BISTパケットの送信を強制することができ、レシーバーをテストモードで構成することもできます。

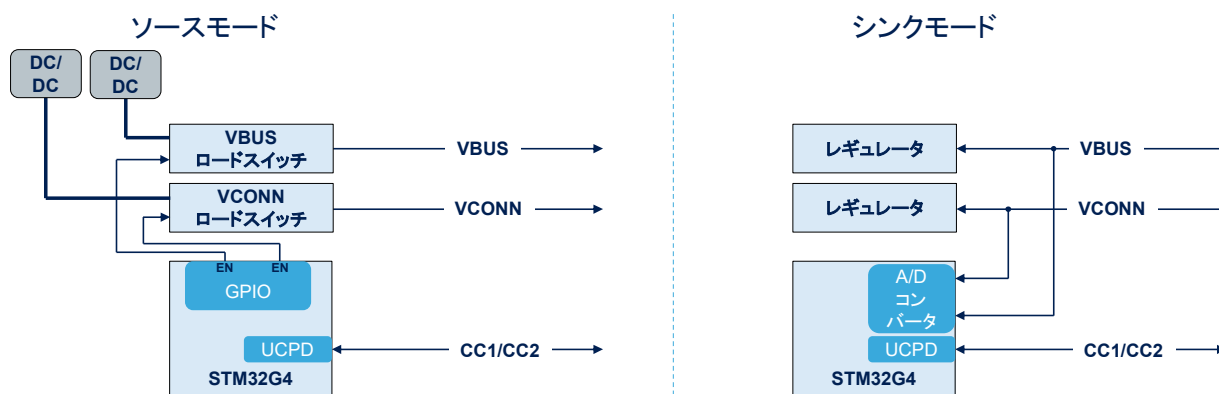
BISTパケットの2つのフォーマットがPD仕様で定義されています。

- デジタルコントローラのテストに使用されるペイロードを含むパケットであるBISTテストデータ
- BISTキャリアモードは、例えばオシロスコープでCCを捕捉して物理リンクをテストするための、シングルパターンの無限長メッセージ。

# Type-C™ ステートマシンの処理

19

- ソースとシンクの一般的なアプリケーションの場合（また、これらの2つを切り替えることができるデュアルロール・ポートも）、ソフトウェアは、関連するUSB Type-C™ ステートマシンを実装しなければならない
  - UCPDモジュールはCC回線のみを制御



Type-Cステートマシンはソフトウェアで実装されています。  
Type-Cステートマシンは、CCピンレベルだけでなく、ポートの役割にも依存します。

- シンクモードでは、VBUSの存在検出に依存
- ソースモードでは、VCONNの発生とVBUSの状態に依存します。ON、OFF、電圧レベル、放電に依存します。

UCPDモジュールはCC回線のみを制御します。

VBUSおよびVCONN電源装置の制御には、他のモジュールが含まれています。

ソースモードでは、電力の供給を動的に制御するためには、GPIOが必要です。

シンクモードでは、A/Dコンバータチャネルを使用してVBUSおよびVCONN電源を監視します。

- インタフェースは、MCUがこの低消費電力モードにあるときに、USBパワーデリバリ受信メッセージとFRS信号を検出する能力を維持し、STOPモードと互換性のある低消費電力動作を提供
  - MCUを起動するようにUCPDを設定可能



ウェイクアップ イベント	BMCLシーバでのイベント
	BMCLシーバでのイベント
	FRS検出器でのイベント
	Type-C™検出器のイベント



UCPDは、STOP0モードとSTOP1モードでアクティブな状態を維持するようにプログラムできます。

MCUがSTOPモードにある間にPDイベントが検出されると、EXTIユニットに信号が送られ、その後PWRユニットに信号が送られてウェイクアップ状態になります。

ウェイクアップ要求を発生させるために、次のイベントを構成できます。

- BMC受信側のイベント(メッセージ受信など)
- 高速ロールスワップ要求
- Type-C™検出器のイベント(アタッチメント/デタッチなど)。

モード	説明
RUN	UCPDは有効
SLEEP	UCPDは有効
STOP0/1	イベントの検出 (Type-C™、BMC Rx、FRS検出) は動作したままで、MCUをウェイクアップすることが可能
STANDBY	UCPDが動作しておらず、MCUを起こすことができない ・ 設定されている場合、プルダウンはアクティブなまま
パワー供給なし	デッド・バッテリーのプルダウンはアクティブなまま



UCPDは、以下にリストアップされている関連イベントの1つを認識したときにMCUを停止モードからウェイクアップすることができます (UCPD\_CFG2レジスタのWUPENビットを設定することで有効になっている場合)。

- CCピンのいずれかで見られる電圧範囲の変化に関連したType-Cイベントで、TYPE\_C\_VSTATE\_CCxに表示される。
- RXORDSETを読むことでわかるように、RXORDSETEN[8:0]に従ってフィルタリングされたものと一致する順序付きセットを持つ電力供給受信メッセージ。

UCPDレベルでは、カーネルクロックアクティビティを必要とする3種類のイベントがSTOPモードの間に発生する可能性があります:TYPE-C™、BMC Rx、およびFRSを検出します。

RCCで正しく機能するために、次のイベントが検出されるとクロック要求信号がアクティブ化されます (WUPENに条件を設定します)。

- アナログPHY電圧しきい値検出器の動作が、Type-C仕様で定義された電圧範囲間の安定した変化であることが確認された
- Rxメッセージイベント (RXORDSET) の後に生成される可能性がある、(選択されたCCピンからの) 電力供給BMCLレシーバーの動作
- 後にFRSシグナリング検出イベント (FRSSEVT) の後に生成される可能性のある電力供給FRS検出器の動作
- Type-C電圧スレッシュホールドの検出 (どちらかのCC端子からの出力)
- パワーデリバリ受信信号 (選択されたCC端子からの信号)
- FRS検出信号 (選択されたCC端子からの信号)

割り込みイベント	説明
高速ロール・スワップ検出イベント	ポートで新しいFRS(高速ロール・スワップ)受信イベントが発生した場合にセット
Type-C電圧レベル・イベント(CC2)	TYPEC_VSTATE_CC2の値が変化するたびにセットされ、そのピン上の新しい安定した電圧を示す
Type-C電圧レベル・イベント(CC1)	TYPEC_VSTATE_CC1の値が変化するたびにセットされ、そのピン上の新しい安定した電圧を示す
Rxメッセージ受信	新しいメッセージを受信した場合にセット
Rxデータ・オーバーフロー割り込み	Rxバイトのバッファがオーバーランした場合にセット(入力バイトの空き領域に時間内に読み取りされない)
Rxハードリセット検出割り込み	ハード・リセット・メッセージを受信するタイミングをセット
Rxオーダーセット(4Kコード)が割り込みを検出	新しいオーダーセットを受信するタイミングをセット
受信データレジスタが空でない場合の割り込み	UCPD_RXDRレジスタが空でない場合にセット
Txデータアンダーラン条件割り込み	Txデータレジスタ(TXDR)がアンダーラン(送信メッセージで使用するためのデータの書き込みが間に合わない)しているエラー状態の時にセット
HRST送信割り込み	HRSTメッセージが経過した場合にセット
HRST破棄割り込み	HRSTメッセージが破棄された場合にセット
送信メッセージアボート割り込み	転送中に優先度を引き継いで、後続のHRST送信要求が原因でTxメッセージが中止された場合にセット
メッセージ送信割り込み	パケット送信の完了時にセット
送信メッセージ破棄割り込み	受信中(または回線のノイズ)のためにメッセージの送信が不可能な場合にセット
送信割り込みステータス	UCPD_TXDRレジスタが空で書き込む必要がある場合にセット



UCPDからの割り込みを受信すると、ソフトウェアはUCPD\_SRレジスタを読み取って割り込みのソースを判別する必要があります。どのビットが“1”に設定されているかに応じて、割り込みサービスルーチンはその条件を処理し、UCPD\_ICRレジスタの適切なビットに書き込んでビットをクリアする必要があります。

このスライドでは、割り込み要求を引き起こす可能性のあるUCPDモジュールによって検出されたすべてのイベントを要約します。

- この機能に関連した以下のトレーニング資料を参照してください。
  - STM32G4 DMAコントローラ(DMA)
  - リセットおよびクロック制御(RCC)
  - 拡張割込みコントローラ(EXTI)
  - システム設定コントローラ(SYSCFG)
  - 電源コントローラ(PWR)



この機能に関連した以下のトレーニング資料を参照してください。

- STM32G4 DMAコントローラ(DMA)
- リセットおよびクロック制御(RCC)
- 拡張割込みコントローラ(EXTI)
- システム設定コントローラ(SYSCFG)
- 電源コントローラ(PWR)