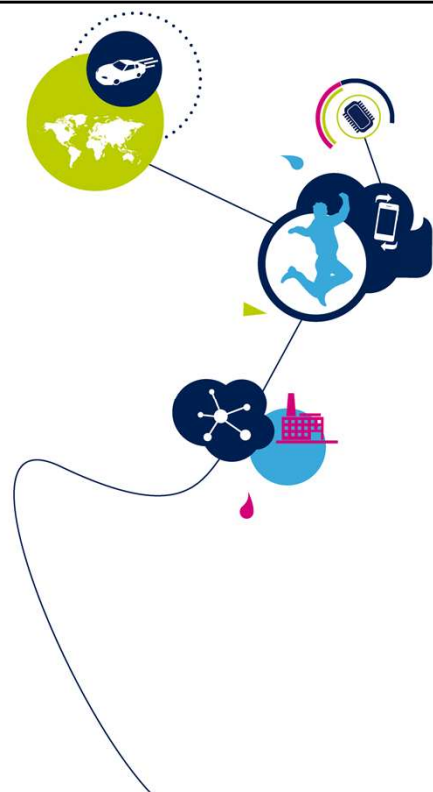


STM32G4 - RCC

リセットおよびクロック制御

1.0版



STM32G4リセットおよびクロック制御のプレゼンテーションによ
うこそ。

- STM32G4リセットとクロック・コントローラは、システムとペリフェラルのクロックを管理
 - 3つの内蔵オシレータ
 - 2つの外付けオシレータ(発振器(クリスタル)もしくは発振子(レゾネータ))
 - 1つのPLL
 - 多くのペリフェラルにはそれぞれ独立したクロックがある
- RCCはさまざまなシステムおよびペリフェラルのリセットを管理

アプリケーション側の利点

- 消費電力と精度の要件を満たすためクロックソース選択による高い柔軟性
- 多くの独立したペリフェラル・クロックは、通信ポーレートに影響を与えずに消費電力を調整し、一部のペリフェラルを低電力モードでアクティブに保つことが可能
- 安全で柔軟なリセット管理



STM32G4のリセットおよびクロックコントローラは、システムとペリフェラルのクロックを管理します。

STM32G4マイクロコントローラは、3つの内蔵発振器、外付け発振器または発振子用の2つのオシレータ、および1つのフェーズロックループ(PLL)が搭載されています。

多くのペリフェラルには、システムクロックから独立した個々のクロックがあります。

STM32G4 RCCは、クロックソースの選択に高い柔軟性がもたらされ、それによりシステム設計者が消費電力と精度の両方の要件を満たすことが可能となります。

多数の独立したペリフェラルクロックにより、設計者は通信ポーレートに影響を与えずにシステムの消費電力を調整し、さらに一部のペリフェラルを低電力モードでアクティブに保つことができます。

最後に、RCCは安全で柔軟なリセット管理を提供します。

外部コンポーネント不要で安全かつ柔軟なリセット管理

- 外部コンポーネント不要で安全かつ柔軟なリセット管理:
 - システム・リセット
 - パワー・リセット
 - バックアップドメイン・リセット
- ペリフェラルには、個別のリセット・コントロール・ビットを持つ



life.augmented

外部コンポーネントを必要とせずに安全で柔軟なリセット管理を実現することにより、アプリケーションコストを削減できます。RCCは、システムリセット、電源リセット、バックアップドメインリセットの3種類のリセットを管理します。ペリフェラルには、個別のリセット制御ビットがあります。

- システムリセット
 - 特定のRCCLレジスタ、PWRLレジスタ、およびバックアップ・ドメインを除くすべてのレジスタをリセット
 - リセット・ソース
 - NRSTピンのロー・レベル(外部リセット)
 - WWDGイベント
 - IWDGイベント
 - ファイアウォール・イベント
 - ソフトウェア生成リセット(NVIC経由で)
 - 低消費電力モード・セキュリティ・リセット
 - オプションバイト・ローディング・リセット
 - ブラウンアウト・リセット
 - リセット・ソース・フラグは、RCC_CSRレジスタにある

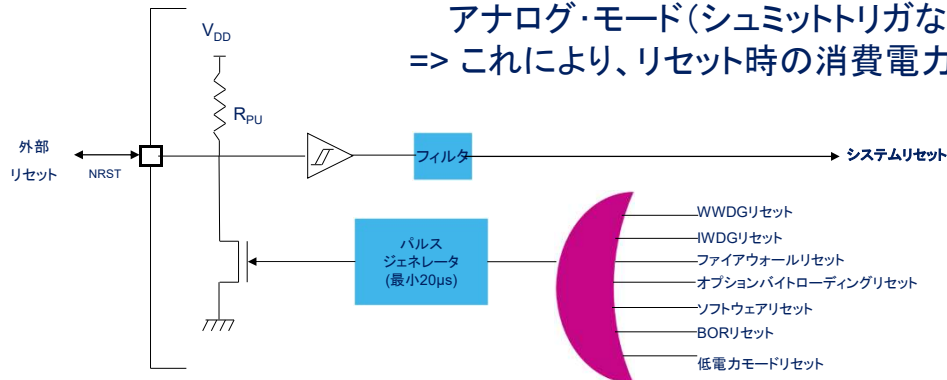


リセットの最初のタイプはシステムリセットで、リセットとクロックコントローラと電源コントローラの特定のレジスタを除くすべてのレジスタをリセットします。また、バックアップドメインはリセットされません。

システムリセットソースは外部リセット(NRSTピンのローレベルで生成)、ウィンドウウォッチドッグ(WWDG)イベント、独立したウォッチドッグ(IWDG)イベント、ファイアウォールイベント、ネスト化されたベクタ割込みコントローラ(NVIC)を経由したソフトウェアイベント、低電力モードのセキュリティリセット(STOP、STANDBY、またはSHUTDOWNモードが入力された場合に生成されるが、オプションバイト構成によって禁止される)、オプションバイトローディングリセット、およびブラウンアウトリセット。リセットソースフラグはRCCコントロールとステータスレジスタにあります。

内部フィルタと電源モニタリングにより外部コンポーネントが不要
システム・リセット・ソースが外部コンポーネントをリセット可能

- 内部リセット中にリセット・プルアップを無効
- リセット中とリセット後（ソフトウェアの再構成まで）、アナログ・モード（シュミットトリガなし）のI/O
=> これにより、リセット時の消費電力を低減



簡略化されたシステムリセットのブロック図を示します。すべての内部リセットソースは、アプリケーションボードの他のコンポーネントをリセットするために使用できるNRSTピンのリセット信号を発生します。さらに、内部グリッチフィルタと、VDDが選択したしきい値を下回った場合にアプリケーションのリセットを保証する安全な電力監視機能により、外部リセット回路は必要ありません。リセット信号がローレベル入力されていない場合にハイレベルを維持するためのNRSTピンの内部プルアップは、リセット時の消費電力を削減するために内部リセットが駆動されると非アクティブ化されます。さらにすべてのI/Oピンは、リセット中およびリセット後にアナログモードに配置され、リセット時およびソフトウェア初期化前のI/Oがフローティング状態の場合にシュミットトリガを通じて消費電力を削減します。

- パワー・リセット

- ソース

- ブラウンアウト・リセット(BOR) => バックアップ・ドメイン内のレジスタを除くすべてのレジスタをリセット
 - スタンバイからの終了 => VCOREドメイン内のすべてのレジスタをリセット
 - VCOREドメイン外のレジスタ(RTC、WKUP、IWDG、およびSTANDBY/SHUTDOWNモード制御)は影響を受けない
 - シャットダウンから終了すると、BORリセットが生成

- バックアップ・ドメインのリセット

- バックアップ・ドメインRTCレジスタ、バックアップ・レジスタ、およびRCC BDCRレジスタをリセット

- ソース

- RCC BDCRレジスタ内のBDRSTビット
 - 両方の電源がオフになっている場合、VDDまたはVBATの電源がオン



リセットの2番目のタイプは、電源のリセットです。ブラウンアウトリセット(BOR)は、RTCと外付けの低速発振器を含むVBATを搭載したバックアップ・ドメインのレジスタを除くすべてのレジスタをリセットします。STANDBYモードが終了すると、レギュレータによって電力を供給されるすべてのレジスタがリセットされます。SHUTDOWNモードが終了すると、ブラウンアウトリセットが生成されます。

リセットの3番目のタイプは、RTCレジスタ、バックアップレジスタ、およびRCCバックアップドメイン制御レジスタをリセットするバックアップドメインリセットです。このリセットは、BDRSTビットがRCCバックアップドメインコントロールレジスタに設定されている場合に発生します。また、両方の電源がオフになっている場合にVDDとVBATの電源が入っているときにも発生します。

- 新しい設計NRSTピン:PG10-NRST

- リセット回路の設定はオプションバイトNRST_MODE[1:0]およびIRHEN(内部リセット・ホルダ・オプション・ビット)を介して行われる

モード	構成		動作
	NRST_MODE	IRHEN	
入力/出力 (レガシー)	11	0	内部リセットの場合、パルス・ジェネレータは、NRSTピンから出力される20μsの最小リセット・パルス持続時間を保証
		1	電圧がV _{IL} のしきい値に達するまでピンがロー固定(~0.3VDD)
入力のみ	01	x	内部リセットはマイコンの外部に出力されない(PUは常にON)
GPIO	10	x	PG10のみ、リセット・ピンとして動作しない



特定のオプションビットを使用することで、NRSTピンは次のように動作可能です。

- 入出力のリセット(デバイス工場出荷時のデフォルト)

ピン上の有効なリセット信号はデバイス内部ロジックに接続され、すべての内部リセットソースは、パルスジェネレータを通じてピンから外部に出力されます。

GPIO機能(PG10)は使用できません。

パルスジェネレータは、NRSTピンに出力される各内部リセットソースに対して、最小でリセットパルス持続時間20マイクロ秒を保証します。

オプションバイトを有効にした場合、内部リセットホルダオプションを使用して、電圧がV_{IL}のしきい値に達するまでピンがローに引かれるようにすることができます。

この機能は、ラインに大きな容量性負荷が接続した場合に、外部コンポーネントによる内部リセットソースの検出を保証します。

内部リセットの場合、プルアップ抵抗を通して消費電力を節約するために内部プルアップRPUが非アクティブ化されます。

・リセット入力

このモードでは、NRSTピン上の有効なリセット信号がデバイス内部ロジックに接続されますが、デバイスによって内部的に生成されたリセットはピン上には出力されません。

この構成では、GPIO機能(PG10)として使用できません。

・GPIO

このモードでは、ピンはPG10として標準のGPIOとして使用することができます。

ピンのリセット機能は使用できません。

リセットは、デバイス内部リセットソースからのみ可能であり、ピンに出力されません。

低電力、精度、およびパフォーマンスのためのクロック・ソースの選択

- 3つの内蔵クロック・ソース
 - 高速内蔵16MHz RC発振回路(HSI16)
 - 高速内蔵48MHz RC発振回路(HSI48)
 - 低速内蔵32kHz RC発振回路(LSI)
- 2つの外部発振回路
 - クロック・セキュリティ・システム付き4~48MHzの高速外付発振回路(HSE)
 - クロック・セキュリティ・システム付き32.768kHz低速外付け発振回路(LSE)
- 3つの独立した出力を持つ1つのPLL



RCCは、低電力、精度、およびパフォーマンスの要件に応じてより多くのクロックソースを選択できます。

STM32G4デバイスには、高速内蔵の16MHz RC発振回路(HSI16)、高速内蔵の48MHz RC発振回路(HSI48)、低速内蔵32kHz RC発振回路(LSI)の3つの内部クロックソースが組み込まれています。

STM32G4デバイスは、外部のクリスタルまたは発振子で使用可能な2つの発振回路、クロックセキュリティシステムを備えた高速外付け4~48MHz発振回路(HSE)とクロックセキュリティシステムを備えた低速の外付け32.768kHz発振回路(LSE)も備えています。

クロックセキュリティシステムを有効にすると外部クロックソースでの障害を検出でき、HSE障害が発生した場合はHSI16、LSEで障害が発生した場合はLSIという内蔵の発振回路への自動切り替えが実行されます。

HSEクロックで障害が検出されると、高機能制御タイマのブレーク入力とHRTIMシステム障害入力にクロック障害イベントが送信され、ソフトウェアに障害イベントを通知する割り込みが生成されます。

STM32G4に存在するPLLは、CPUとペリフェラルに異なる周波数オプションを提供するために、3つの独立した出力を備えています。

クロックの主な機能

9

	STM32F3	STM32G4
内蔵 クロック ソース	高速内蔵16MHz RC発振回路(HSI16)	
	低速内蔵40KHz RC発振回路(LSI)	低速内蔵32KHz RC発振回路(LSI)
	NA	高速内蔵48MHz RC発振回路(HSI48)
外付け クロック ソース	クロックセキュリティシステム付き4MHz~32MHzの 高速外付RC発振回路(HSE)	クロック・セキュリティ・システム付き4MHz~48MHzの 高速外付RC発振回路(HSE)
	クロック・セキュリティ・システム付き32.768kHzの低速外付RC発振回路(HSE)	
PLL	単一の出力を持つ1つのPLL	3つの独立した出力を持つ1つのPLL



この表は、STM32F3とSTM32G4クロックソースの違いを示しています。

両方ともHSI16とLSE発振回路をサポートします。

低速内蔵発振回路(LSI)の周波数は、STM32F3では40KHz、STM32G4マイクロコントローラでは32KHzです。

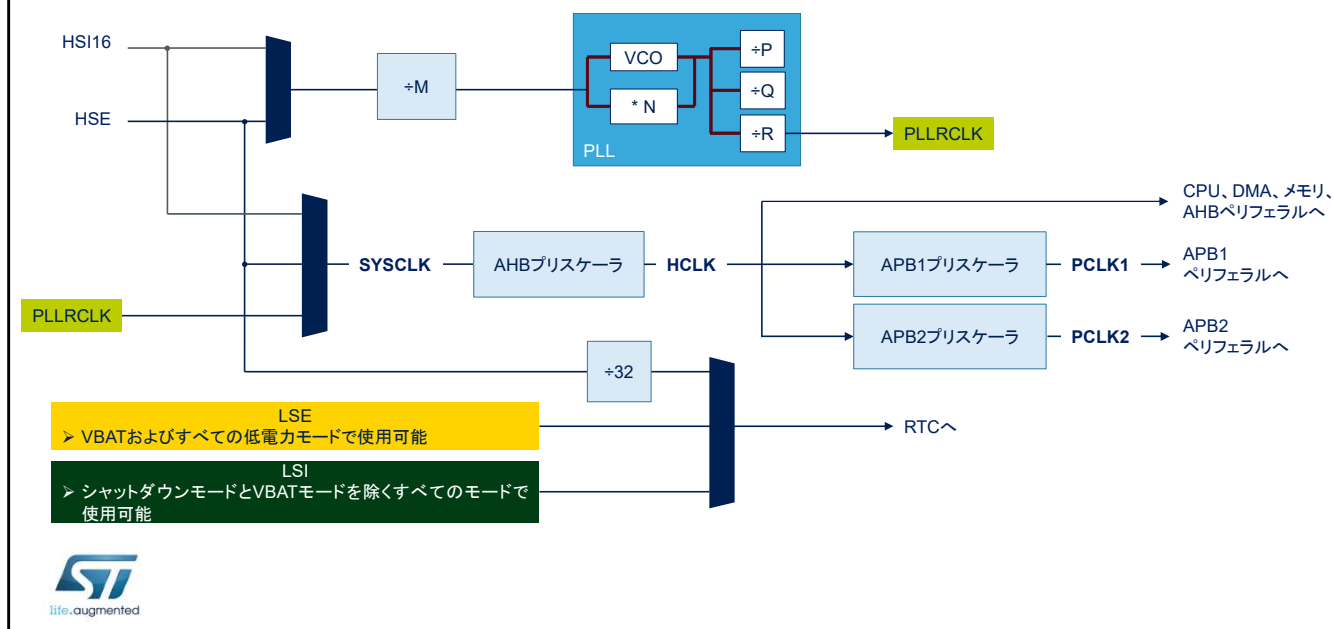
HSI48はSTM32F3ではサポートされていません。

HSEの最大周波数は、STM32F3の場合は32MHz、STM32G4マイクロコントローラの場合は48MHzです。

最後に、STM32G4 PLLは、STM32F3マイクロコントローラにおいて1出力のところ、3つの出力を持っています。

シンプルなクロックツリー

10



システムクロックは、高速内蔵16MHz RC発振回路(HSI16)、または高速外付4~48MHz発振回路(HSE)を使用できます。

HCLKと呼ばれるAHBクロックは、プログラム可能なプリスケーラでシステムクロックを分周することによって使用できます。

PCLK1およびPCLK2と呼ばれるAPBクロックは、プログラム可能なプリスケーラでAHBクロックを分周することによって使用できます。

RTCクロックは、低速外付32.768kHz発振回路(LSE)、低速内蔵32kHz RC発振回路(LSI)、またはHSEを32で分周して使用できます。

LSEは、すべての低電力モードとVBATモードで有効にしたままにできます。

LSIは、SHUTDOWNモードとVBATモードを除くすべてのモードで有効に保つことができます。

高速内蔵(HSI16)クロック

11

1%精度、高速ウェイクアップ

- HSI16 16MHz、工場出荷時調整済み、ユーザによる調整可能
- HSI16を選択可能な用途
 - STOP0またはSTOP1モードからのウェイクアップ・クロック
 - クロック・セキュリティ・システム(CSS)用のバックアップ・クロック
- STOPモード終了時に自動で開始可能
- I²C、U(S)ART、LPUARTは、STOPモード中にHSI16を有効にして、ストップシーケンスからのウェイクアップを検出可能
 - HSI16は、ペリフェラルのウェイクアップ・シーケンス検出を除き、STOPモード中はオフのまま



高速内蔵発振回路は1%の精度、および高速なウェイクアップを提供する16MHz RC発振回路です。HSI16は、工場出荷時のテストでトリミングされ、またユーザーによる再トリミングも可能です。HSI16は、STOP0、STOP1またはSTOP2モードからのウェイクアップ時のクロックとして、およびHSE障害がクロックセキュリティシステムによって検出された場合のバックアップクロックとして選択することができます。

STOPモードが終了すると、システムクロックとして使用されていないペリフェラルにHSI16を自動的に供給できます。

HSI16は、I²C、U(S)ART、LPUARTペリフェラルによって、STOP0、STOP1またはSTOP2モードからのウェイクアップをサポートします。HSI16はウェイクアップシーケンス検出でのみ有効にされ、このウェイクアップシーケンスの外部では無効のままです。

高速外付け(HSE)クロック

12

安全なクリスタル・システム・クロック

- HSE 4MHz~48MHz
 - 最大48MHzの外部ソース(バイパス・モード)
 - 外部のクリスタル/セラミック発振子(4MHz ~ 48MHz)
- クロック・セキュリティ・システム(CSS)
 - HSE障害の自動検出
 - ノンマスカブル割込みの生成
 - TIM1/TIM8/TIM20/TIM15/TIM16/TIM17、hrtim_sys_fltに対するブレーク入力 => モータ制御などの重要なアプリケーションを安全な状態にすることが可能
 - HSI16はバックアップ・クロック => クリスタルの障害の場合もアプリケーション・ソフトウェアは停止しない



高速外付けの発振回路は安全なクリスタルシステムのクロックを提供します。

HSEは4~48MHzの外付クリスタルまたはセラミック発振子、バイパスモードの外部ソースをサポートします。

クロックセキュリティシステムにより、HSE障害の自動検出を可能にします。ノンマスカブル割込みが生成された場合、モータ制御などの重要なアプリケーションを安全な状態にするため、ブレーク入力をタイマに送信可能です。HSE障害が検出された場合、システムクロックは自動的に内蔵発回路HSI16に切り替えられるため、クリスタル障害が発生してもアプリケーションソフトウェアは停止しません。

低速外付け(LSE)クロック

13

低電力またはハイドライブに設定可能な32.768kHzのクロック

すべてのパワーモードとVBATモードで利用可能

- LSEは外付けクリスタルまたは発振子を使用、またはバイパスモードで外付けクロック・ソースとして使用可能
- **LSEのクロック・セキュリティ・システム**:SHUTDOWNとVBATを除くすべてのモードで使用可能
リセットの下でも動作
- LSEは、RTC、U(S)ART、LPUART、LPTIMに使用可能

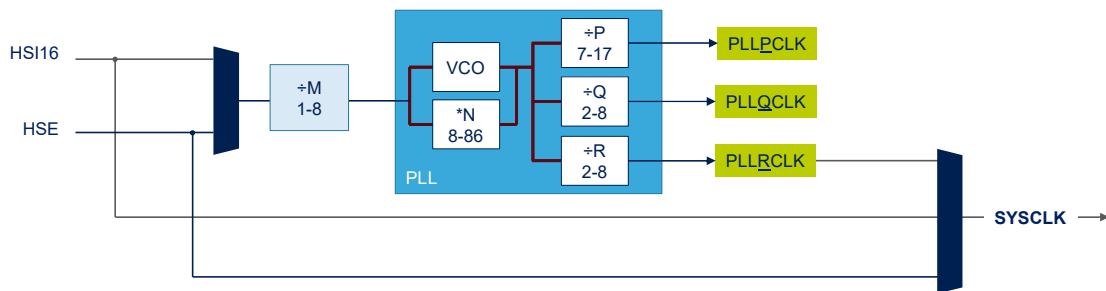
モード	最大クリティカル クリスタル gm ($\mu\text{A/V}$)	消費電流 (nA)
超低消費電力	0.5	250
中-低ドライブ	0.75	315
中-高ドライブ	1.7	500
高ドライブ	2.7	630



32.768kHzの低速外付け発振回路は、外付けのクリスタルまたは発振子、またはバイパスモードからの外部クロックソースで使用できます。発振回路のドライブ機能はプログラム可能です。わずか250ナノアンプの超低消費電力モードから高ドライブモードまで、4つのモードが利用可能です。

クロックセキュリティシステムは、LSEオシレータの障害を監視します。障害が発生した場合、アプリケーションはRTCクロックをLSIに切り替えることができます。CSSはSHUTDOWNとVBATを除くすべてのモードで機能します。リセットの下でも機能します。

LSEは、RTC、USARTまたはLPUARTペリフェラル、およびLPタイマのクロックに使用できます。



PLLの入力クロックは、HSI16またはHSEのいずれかです。
PLLRCLKと呼ばれるPLL出力は、システム・クロックにクロックを提供することができます。
PLLQCLKと呼ばれるPLL出力は、USBデバイス、RNG、SAI1、QSPI、およびFDCANのルートクロックとして選択できます。
PLLPCLKと呼ばれるPLL出力は、A/Dコンバータのルートクロックとして選択できます。

- HSI16/HSE/PLLで選択可能
- システム・クロック、AHB、APB1、およびAPB2の最大周波数:170MHz
- 電圧スケーリング

電圧範囲		fHCLK	HSI16	HSE	PLL
レンジ1ブーストモード	メイン・レギュレータ (MR)	∈[150MHz,170MHz]	16MHz	48MHz	170MHz
レンジ1ノーマルモード		∈[26MHz,150MHz]	16MHz	48MHz	150MHz
レンジ2		≤26MHz	16MHz	26MHz	26MHz
低電力RUN/SLEEP	低電力レギュレータ	≤2MHz	許可	ディバイダで許可	許可されない



システム・クロックは、HSI16、HSE、およびPLL R出力で選択できます。

システムクロックの最大周波数は170MHzです。

APB1およびAPB2バスの周波数も最大170MHzです。

最大クロックソース周波数は、電圧スケーリングと電力モードによって異なります。

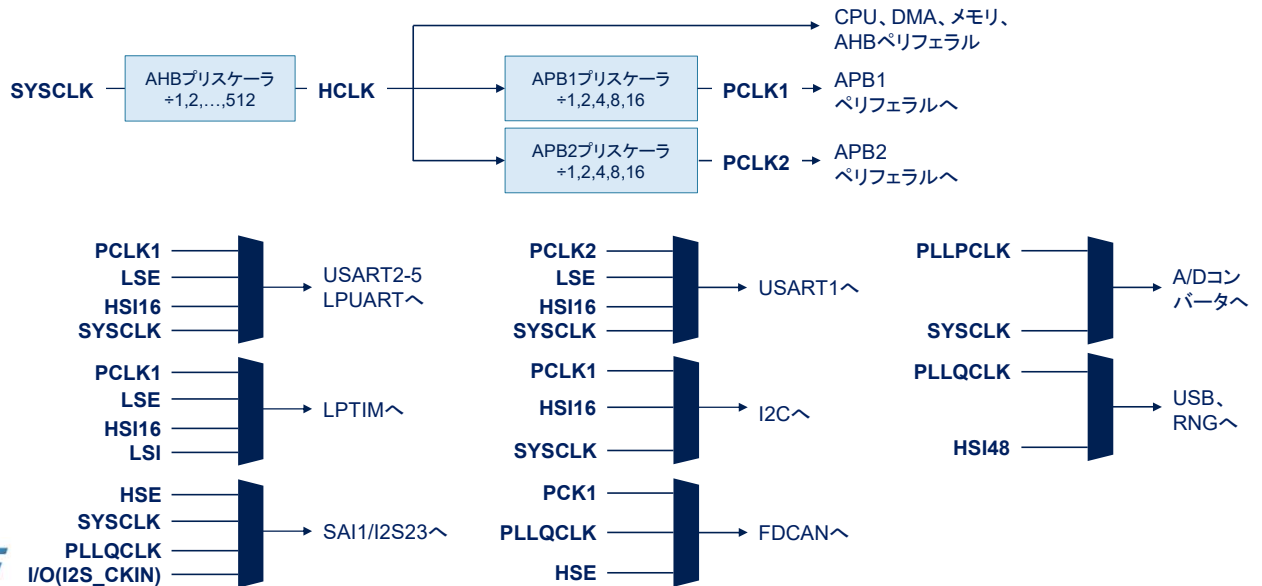
システムクロックは、レンジ1ブーストモードでは170MHz、レンジ1のノーマルモードでは150MHz、レンジ2は26MHz、低電力RUNモード/低電力SLEEPモードでは2MHzに制限されています。

- 低速から高速、または高速から低速システム・クロックに切り替えは、**少なくとも1μsの中速度クロックで切り替えすることを推奨**
- クロックソースの切り替え条件:
 - 80MHzを超えるAHB周波数(HCLK)を使用しHSEまたはHSIからPLLに切り替える
 - HCLKが80MHzを超えるPLLからHSEまたはHSIへの切替え
- 周波数を高速にさせる遷移状態:
 - AHBプリスケラHPRE[3:0]ビットを設定して、システム周波数を2で割る
 - システム・クロックをPLLに切り替える
 - 必要なHCLK周波数にAHBプリスケラ・ビットを再設定する



STM32G4デバイスでは、低から高速、または高速から低速のシステムクロックに切り替えは少なくとも1マイクロ秒の遅延で切り替えすることを推奨します。

このスライドでは、変更する場合の推奨シーケンスを示します。周波数を高くするには、システムクロックをPLLに切り替える前に、AHBクロック周波数を2で割る必要があります。1マイクロ秒の遅延の後、AHBクロックを提供するプリスケラを、目標とする周波数に設定できます。これは、HSEまたはHSIからPLLに切り替え、システム周波数が80MHzより高くなる場合に必要です。

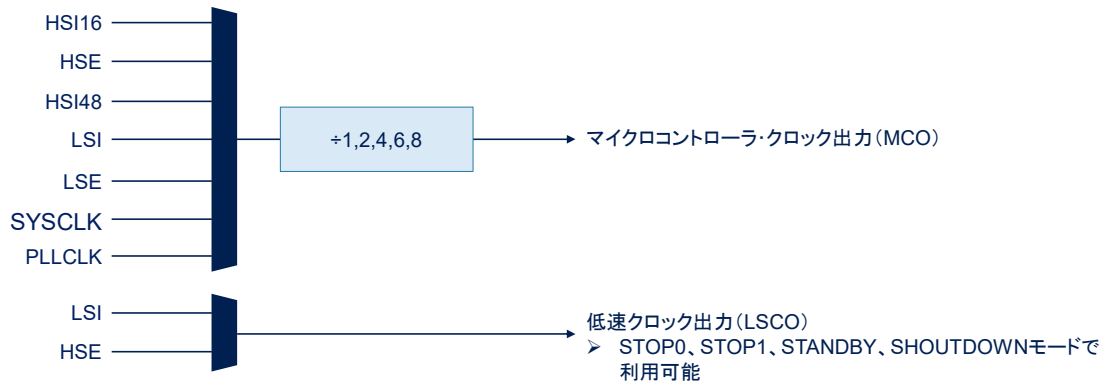


AHBプリスケータは、システムクロックを分割してAHBクロック (HCLK)を得ます。

PCLK1およびPCLK2と呼ばれるAPBクロックは、プログラム可能なプリスケータ比をHCLKに適用することによって取得します。また、さまざまなペリフェラルのクロックの選択を担当するマルチプレクサについても説明します。

A/Dコンバータクロックは、システムクロックまたはPLL“P”出力から取得されます。このPLLPCLKには他の用途はありません。

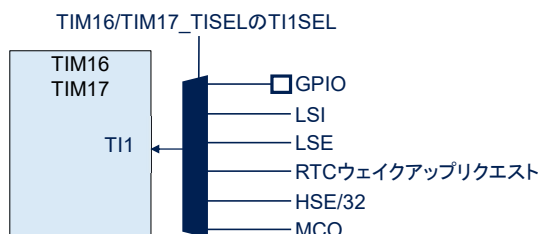




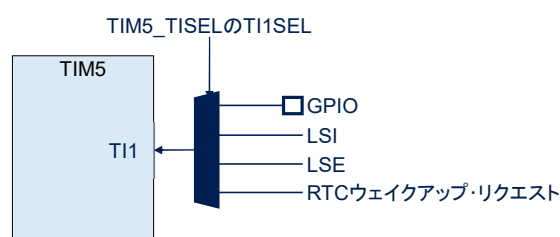
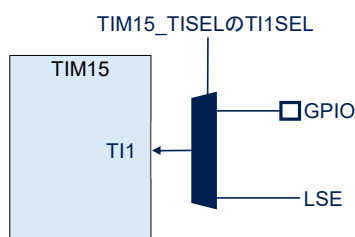
各種クロックは、I/Oパッドに出力できます。
 マイクロコントローラのクロック出力機能は、HSI16、HSI48、
 HSE、LSI、LSE、SYSCLK、およびPLLCLKの7つのクロックの
 外部出力が可能です。
 低速クロック出力機能により、LSIまたはLSEクロックの外部出
 力が可能になります。
 低速クロック出力は、STOP0、STOP1、STANDBY、
 SHUTDOWNの各モードで利用できます。

タイマを使用した内部/外部のクロック測定

19



- 各デバイスは、25°Cの周囲温度、1%の精度にて工場で較正されている



TIM5、TIM15、TIM16、TIM17のチャンネル1入力キャプチャを使用し、すべてのオンボードクロックソースの周波数を間接的に測定することが可能です。

この測定はLSIおよびHSI16の周波数を校正するために使用することができます。

HSI16に関しては、RCの発振周波数は製造工程の変動によりチップごとに異なる可能性があるため、それぞれデバイスは25°Cの周囲温度、1%の精度にて工場で較正されています。リセット後、HSI16は工場での校正値が自動的にロードされます。

アプリケーション上で電圧または温度の変動の影響を受ける場合、ソフトウェアによるクロックトリミングを実行できます。

動的消費電流の最適化 (LP) RUNと (LP) SLEEPモード

- ペリフェラル・クロック・イネーブル・レジスタ
 - ペリフェラルのクロックはデフォルトで無効に設定 (Flashメモリを除く)
 - クロックが無効になっている場合、レジスタはリード/ライトのアクセスがサポートされない
 - 注意: SRAM1/SRAM2/CCM SRAM内蔵メモリにはイネーブル・ビットはない (常にRUN/LPRUNモードで有効)
- ペリフェラル・クロックは、SLEEPおよびSTOPモードでレジスタを有効にする
 - SLEEP、LPSLEEP、STOP0/1モードでペリフェラルのクロックを有効または無効にする
 - 対応するペリフェラル・クロック・イネーブル・ビットがクリアされている場合は効果がない
 - バスとカーネルの両方のクロックを制御
 - SLEEPモードとSTOPモードに影響を与える (STOPモードで独立したクロックがアクティブなペリフェラルの場合)
 - 注意: SLEEP/LPSLEEPモードでは、SRAM1/SRAM2/CCM SRAMクロックはデフォルトで有効



周辺クロック・ゲーティングを使用することで、動的消費電力を最適化できます。

各ペリフェラルクロックは、RUNモードと低電力RUNモードで常にクロックされるSRAM1、SRAM2、およびCCM SRAMの内部メモリを除き、RUNモードと低電力RUNモードでオンまたはオフにゲーティングすることができます。デフォルトでは、有効になっているフラッシュメモリクロックを除き、ペリフェラルのクロックは無効になっています。

ペリフェラルのクロックが無効になっていると、ペリフェラルのレジスタの読み取りや書き込みは出来ません。

他のレジスタは、SLEEPおよび低電力SLEEPモード中にペリフェラルのクロックの構成を可能にします。

これは、独立したクロックがSTOPモードでアクティブなペリフェラルのSTOP0モードとSTOP1モードにも影響します。

対応するペリフェラルクロックイネーブルビットがクリアされた場合、これらの制御ビットは効果がありません。

デフォルトでは、SLEEPモードと低電力SLEEPモードでは、SRAM1、SRAM2、およびCCM SRAMクロックが有効になっています。

必要がない場合は、消費電力を削減するために、SRAMクロック有効ビットを無効にする必要があります。

割込みイベント	説明
LSEクロック・セキュリティ・システム	LSEオシレータで障害が検出された場合に設定
HSEクロック・セキュリティ・システム	HSEオシレータで障害が検出された場合に設定
PLLレディ割込みフラグ	PLLロックによって発生するクロック・レディ
HSEレディ	HSEオシレータによって発生するクロック・レディ
HSI16レディ	HSI16発振回路によって発生するクロック・レディ
HSI48レディ	HSI48発振回路によって発生するクロック・レディ
LSEレディ	LSE発振回路によって発生するクロック・レディ
LSIレディ	LSI発振回路によって発生するクロック・レディ



このスライドでは、RCCの割込みを示しています。LSEおよびHSEクロックセキュリティシステム、PLLのレディ(準備完了)、および5つのオシレータのレディ(準備完了)信号はすべて割り込みを生成できます。

- 必要に応じて、このペリフェラルに関連する以下のトレーニングを参照してください。
 - STM32G4パワー・コントロール(PWR)
 - STM32G4割込み(NVIC-EXTI)



life.augmented

このトレーニングに加えて、電源制御と割込みコントローラのトレーニングが役に立ちます。

- 詳細は以下の資料をご参照ください。
 - STM32G4xxリファレンス・マニュアルRM0440
 - AN2867 STM8S、STM8A、STM32マイクロコントローラ用発振回路設計ガイド
 - AN4736 STM32L4内蔵RC発振回路を較正する方法



詳しくは、STM8S、STM8A、STM32マイクロコントローラの発振回路設計ガイドであるアプリケーションノートAN2867と、STM32L4向け内蔵RC発振回路の較正する方法を説明したアプリケーションノートAN4736を参照してください。