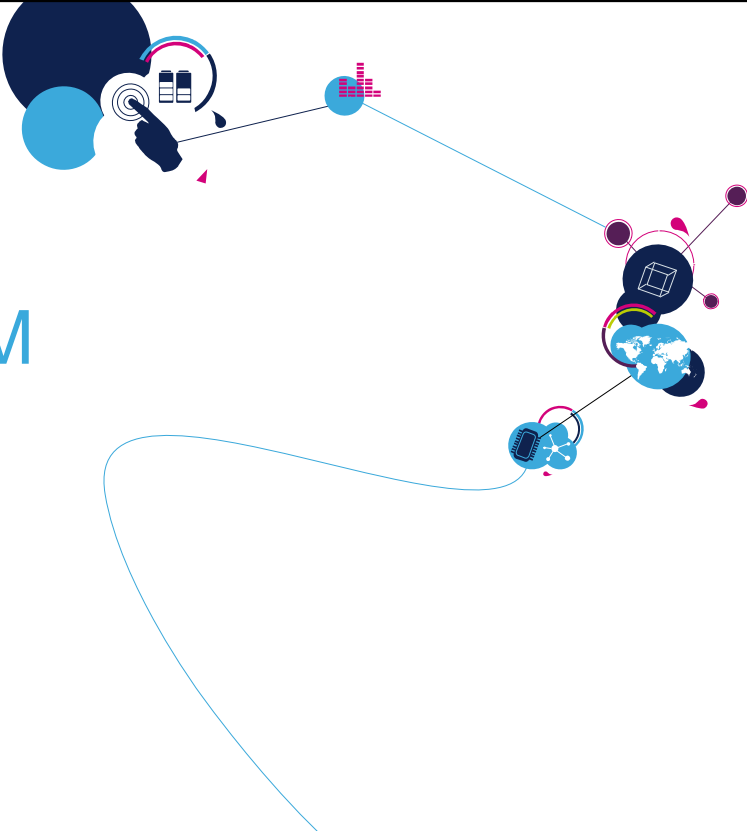




STM32G4 - LPTIM

低電力タイマ

1.0版



STM32G4低電力タイマ(LPTIM)のプレゼンテーションによろそ。ここでは、タイミング機能群を備えた、低電力モードでも波形生成が可能であるこのペリフェラルの機能の説明を行います。



- LPTIMは16ビットタイマ
クロックソースの多様性により、LPTIMは、STM32G4マイクロコントローラで利用可能な多くの低電力モードで動作し続けることが可能

機能概要

- 非同期動作機能
- 超低消費電力
- 低電力モードからのウェイクアップのためのタイムアウト機能



STM32G4マイクロコントローラに搭載されている低電力タイマペリフェラルには、低電力モードでも動作可能な16ビットタイマが備わっています。これは、柔軟性の高いクロック供給スキームにより可能となりました。低電力タイマペリフェラルには、基本汎用タイマ機能が備わっています。低電力タイマの主要機能の1つは、非同期カウントモードに設定された場合に、どの内部クロックソースもアクティブではなくとも動作し続ける能力です。

- 多数の選択可能クロック・ソースを通じた柔軟性の高いクロック供給スキーム
 - 内部クロックソース: LSE、LSI、HSI16、APBクロック
 - LPTIM「LPTIM_IN1」入力経由の外部クロックソース(オンチップ・オシレータが実行していないときに動作、パルスカウンタ・アプリケーションによって使用)
- 最大8つの外部トリガ
 - アクティブ・エッジは次から設定可能: 立ち上がりエッジ、立ち下がりエッジ、両エッジ
 - 誤ったトリガを回避するためのデジタルグリッチ・フィルタ
- 2種類の動作モード: 連続とワンショット

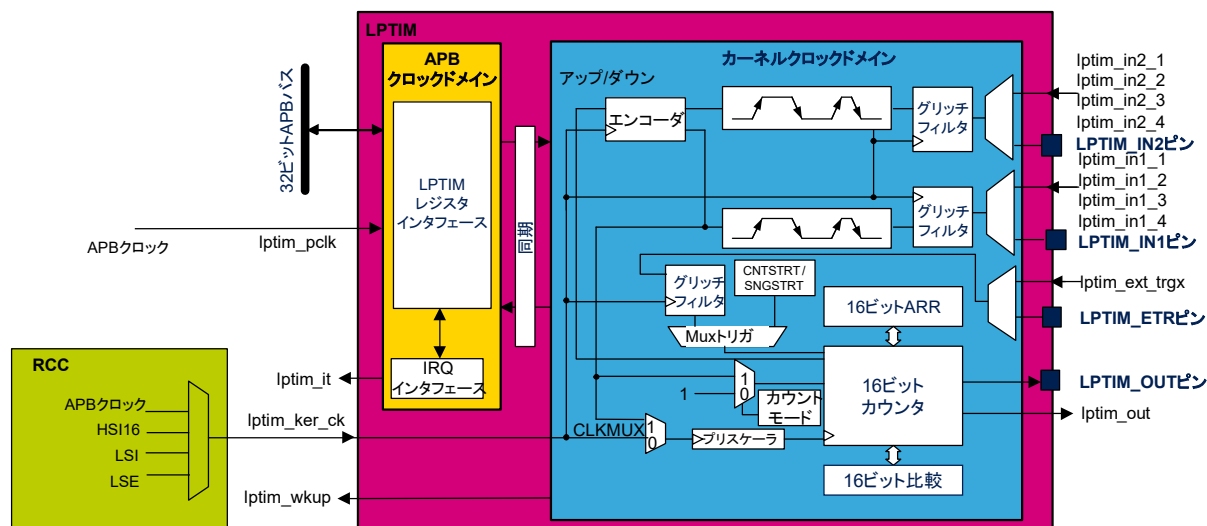


低電力タイマの主な機能は、ほとんどすべてのクロックソースがオフになっている場合であっても動作し続ける能力です。低電力タイマには、非常に柔軟性の高いクロック供給スキームがあります。LSE、LSI、HSI16、APBの各オンチップクロックソースからクロック供給を受けることができます。あるいは、低電力タイマの「LPTIM_IN1」入力経由の外部クロックソースからクロック供給を受けることも可能です。この後者の機能は、「パルスカウンタ」アプリケーションの構築に用いられ、ガスメータなどのような計量アプリケーションに対する主要機能となります。

低電力タイマは、設定可能な極性を持つ最大8つの外部トリガソースに対応しています。外部トリガ入力は、ノイズの多い動作環境で発生するおそれのある誤ったトリガをキャンセルするデジタルフィルタを備えています。

低電力タイマは、連続モードとワンショットモードのいずれかで動作するように設定できます。ワンショットモードはパルス波形の生成に用いられ、連続モードはPWM波形の生成に用いられます。

LPTIMブロック図



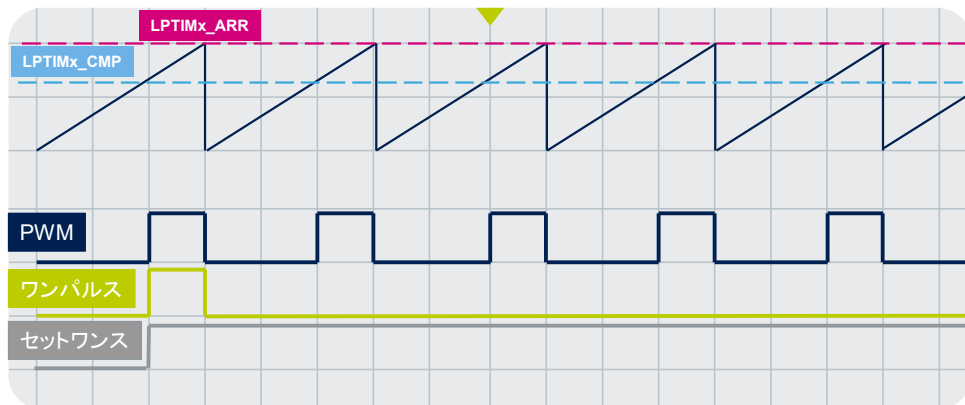
低電力タイマは、2つのクロックドメインを持つペリフェラルです。APBクロックドメインには、ペリフェラルのAPBインタフェースが含まれています。カーネルクロックドメインには、低電力タイマペリフェラルのコア機能が含まれています。カーネルクロックドメインは、タイマの「LPTIM_IN1」入力経由の外部クロックソースからの内部クロックソースによってクロック供給を受けることができます。低電力タイマペリフェラルには、2のべき乗プリスケアラを通じて供給される16ビットタイマが搭載されています。低電力タイマペリフェラルには、タイマの「LPTIM_OUT」出力上のPWM波形信号出力のために、周期とデューティサイクルの設定にそれぞれ用いられる16ビット自動リロードレジスタと16ビット比較レジスタが搭載されています。

低電力タイマは、ペリフェラルの「lptim_in1_mux」入力と「lptim_in2_mux」入力を用いて、インクリメンタル直交エンコーダセンサとのインタフェースに使用できるエンコーダモード機能を備えています。どちらの入力もグリッチフィルタ回路を備えています。

最大3つの設定可能な波形

5

PWM波形、ワンパルス波形、セットワンス波形



LPTIM_CFGRレジスタのビットフィールド‘WAVE’ および LPTIM_CRLレジスタの‘SNGSTRT’との組み合わせにより、LPTIM_CMPLレジスタとLPTIM_ARRレジスタが出力波形の制御に使用されます。

出力波形は、周期とデューティサイクルがLPTIM_ARRレジスタとLPTIM_CMPLレジスタによってそれぞれ制御される典型的なPWM信号です。あるいは、最後の出力状態が設定された波形によって定義される単一パルスとなります。

最後の出力状態がその波形の最初のものと同じである場合には、ワンパルスモードが設定されます。

そうではない場合には、セットワンスモードが設定されます。

低電力タイマの出力極性は、LPTIM_CFGRレジスタの‘WAVPOL’ビットフィールドを通じて制御されます。

タイマカウンタのリセット

6

タイマカウンタのリセット

- タイマカウンタのリセットによって、LPTIM_CNTレジスタの内容がリセット
- 2種類のカウンタ・リセット・メカニズムが可能
 - 同期カウンタ・リセット・メカニズム
 - LPTIM_CRレジスタのCOUNTRSTビットが‘1’にセットされると、LPTIM_CNTレジスタの内容はリセット
このリセットは、3カーネル・クロック・サイクル分の同期遅延の後に行われる
(lptim_ker_ckカーネル・クロック信号はAPBクロックとは異なることがある)
 - 非同期カウンタリセットメカニズム
 - LPTIM_CRレジスタのRSTAREビットが‘1’にセットされると、LPTIM_CNTレジスタに対するあらゆる読出しアクセスによって、LPTIM_CNTレジスタの内容が非同期にリセット



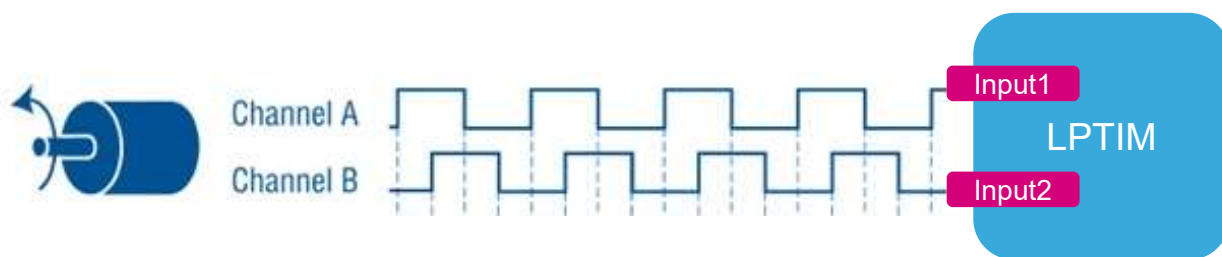
低電力タイマは、LPTIM_CNTレジスタの内容を‘0’にリセットするカウンタリセット機能を備えています。

同期カウンタリセットメカニズムと非同期カウンタリセットメカニズムの2種類のカウンタリセットメカニズムが可能です。

COUNTRSTビットをセットすることによって、同期カウンタリセットが行われます。このリセットの同期的な性質のため、3LPTIMカーネルクロックサイクル分の同期遅延の後にはリセットが行われます。RSTAREビットがセットされていると、LPTIM_CNTレジスタに対する次のAPB読出しアクセスで、非同期カウンタリセットが行われます。

エンコーダ・モード

- 汎用タイマにおけるエンコーダ・モードと同一の動作モード
- 連続モードでLPTIMが動作中のみ使用可能



低電力タイマは、ペリフェラルの「Input1」入力と「Input2」入力を用いて、インクリメンタル直交エンコーダセンサとインタフェース可能なエンコーダモード機能を備えています。どちらの入力もグリッチフィルタ回路を備えています。

エンコーダ機能は、汎用タイマに搭載されているものに類似しています。

エンコーダモード機能を使用するためには、低電力タイマが連続モードで動作中である必要があります。

注意すべき重要な点は、低電力タイマ1と2のみにエンコーダモード機能が搭載されているということです。

割込みイベント	説明
比較一致	カウンタレジスタ(LPTIM_CNT)の内容が比較レジスタ(LPTIM_CMP)の内容と一致したときに、割込みフラグが立つ
自動リロード一致	カウンタレジスタ(LPTIM_CNT)の内容が自動リロードレジスタ(LPTIM_ARR)の内容と一致したときに、割込みフラグが立つ
外部トリガイベント	外部トリガが検出されたときに、割込みフラグが立つ
自動リロードレジスタへの書き込み完了	LPTIM_ARRレジスタへの書き込み動作が完了したときに、割込みフラグが立つ
比較レジスタへの書き込み完了	LPTIM_CMPレジスタへの書き込み動作が完了したときに、割込みフラグが立つ
方向の変更	エンコーダモードに使用され、方向の変更を強調するために、アップカウント方向の変更を強調するアップフラグとダウンカウント方向の変更を強調するダウンフラグの2つの割込みフラグを内蔵



- 低電力タイマペリフェラルは、7種類の割込みソースを備えています。
- カウンタレジスタLPTIM_CNTの内容が比較レジスタLPTIM_CMPの内容と一致するか、それよりも大きい場合に、「比較一致」割込みが立ちます。
 - カウンタレジスタの内容が自動リロードレジスタの内容と一致したときに、「自動リロード」割込みが立ちます。
 - 有効な外部トリガが検出されたときに、「外部トリガイイベント」割込みが立ちます。
 - 異なる2つのクロックドメインに含まれているペリフェラルのAPBインタフェースロジックからペリフェラルのコアロジックへの、LPTIM_ARRレジスタとLPTIM_CMPレジスタそれぞれの内容の転送が完了したときに、「自動リロードレジスタへの書き込み完了」割込みと「比較レジスタへの書き込み完了」割込みが立ちます。これら2つの割込みは、APBインタフェースクロックと比べてペリフェラルコアクロックが遅すぎる場合に、これら2つのレジスタへの書き込みのステータスをポーリングするオーバヘッドの緩和に役立ちます。
 - エンコーダモード機能が有効であり、カウント方向がアップからダウンへ、またはその反対に変更されたときに、「アップ／ダウン方向の変更」割込みが立ちます。低電力タイマのカウンタのカウント方向は、直交センサの回転方向を反映しています。

モード	説明
RUN	有効
SLEEP	有効 ペリフェラル割込みによって、デバイスはSLEEPモードを終了
低電力SLEEP	有効 ペリフェラル割込みによって、デバイスは低電力SLEEPモードから復帰
STOP0/STOP1	LPTIMのクロックがLSEまたはLSIによって供給される場合にアクティブとなる LPTIM割込みによって、デバイスはSTOP0およびSTOP1から復帰
STANDBY	パワーダウン状態 ペリフェラルは、STANDBYモード終了後に再初期化する必要がある
SHUTDOWN	パワーダウン状態 ペリフェラルは、SHUTDOWNモード終了後に再初期化する必要



RUN、SLEEP、STOPの各電源モードにおいて、低電力タイマペリフェラルがアクティブとなります。
低電力タイマは、SLEEPモードとSTOPモードからマイクロコントローラをウェイクアップできます。

STM32G4の場合

10

LPTIM機能	LPTIM1	LPTIM2
エンコーダ・モード	X	-
外部入力クロック	X	X
STOP0+STOP1からのウェイクアップ	X	X



STM32G4マイクロコントローラはLPTIMの2つのペリフェラルを組み込み、LPTIM1タイマだけがエンコーダモードをサポートします。STOP0モードとSTOP1モードからのウェイクアップは、両方のLPTIMでサポートされています。

- 詳細と追加情報については、以下を参照してください。
 - アプリケーションノートAN4865: Low-power timer (LPTIM) applicative use-cases on STM32 MCUs

詳細については、弊社ウェブサイトから入手可能な以下の関連資料を参照してください。