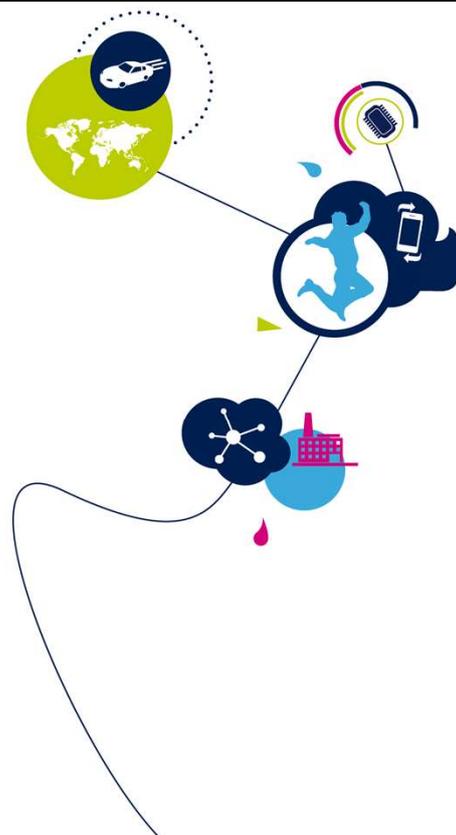


STM32H7 - FSMC

フレキシブル・メモリ・コントローラ
1.0版

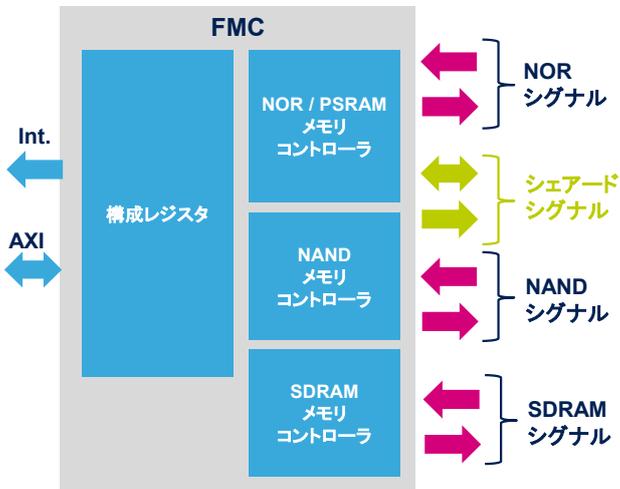


こんにちは、STM32H7フレキシブルな静的メモリコントローラの
プレゼンテーションへようこそ。
NOR Flash、NAND Flash、SRAM、PSRAMとSDRAMなどの
外部メモリを接続するために使用されるインタフェースのすべての
機能をカバーしています。

- FMCは外部メモリをサポート
 - Flash/PSRAMコントローラは使用しない
 - NANDメモリ・コントローラ
 - SDRAMメモリ・コントローラ

アプリケーション上のメリット

- RAMの拡張
- Flashメモリの拡張
- パラレル・インタフェース(Intel 8080 / Motorola 6800)



STM32H7製品に内蔵されたFSMCコントローラは、3つのメモリコントローラ(NOR Flash/PSRAMコントローラ、SDRAMコントローラ、NANDメモリコントローラ)を通じて外部メモリのサポートをします。これにより、CPUはNORやNAND Flashメモリ、PSRAM、SRAM、SDRAMなどの外部メモリと通信できます。このインタフェースは設定可能で、外部メモリまたは他のパラレルインタフェースと簡単に接続できます。

FMCコントローラの利点は、RAMやFlashメモリスペースの拡張だけでなく、Intel 8080およびMotorola 6800モードをサポートするほとんどのLCDコントローラとシームレスに接続する機能も含まれます。このLCDパラレル・インタフェース機能により、組込みコントローラを含むLCDモジュールや、専用のアクセラレータ機能を備えた外部コントローラを使用した高性能ソリューションを使用して、コスト効率の高いグラフィックアプリケーションを簡単に構築できます。

- 完全に独立しているバンク
 - 別々の外部メモリをサポートする4つのバンク
 - 各メモリバンクの独立したチップセレクト信号
 - 各メモリバンクの独立した設定

- 柔軟な構成
 - FMC外部アクセス周波数はHCLK/2まで
 - 幅広いデバイスをサポートするプログラム可能なタイミング
 - 8ビット、16ビットまたは32ビットのデータバス
 - 外部非同期ウェイトコントロール
 - 拡張モード(書込みタイミングとは異なる読取りタイミングとプロトコル)
 - 同期デバイスへのバーストモード・アクセスをサポート(NOR FlashおよびPSRAM)



FMCコントローラは、独立した外部メモリをサポートする4つの独立したバンクを提供しています。各バンクには、独立したチップセレクト信号および独立した構成設定があります。

各バンクは設定可能な8-16ビットまたは32ビットのデータバスであるプログラム可能なタイミングを備えており、NOR FlashやPSRAMなどの同期メモリに非同期またはバーストモードでメモリにアクセスできます。

同期メモリは、HCLKの最大周波数の1/2の速度でアクセスできます。

多種多様なインタフェースとメモリに対応

- 静的メモリ・マップ・デバイス
 - 静的ランダム・アクセスメモリ(SRAM)
 - 読取り専用メモリ(ROM)
 - NOR / OneNAND Flashメモリ
 - PSRAM
- NAND Flashメモリ
 - ECCハードウェアを搭載し、最大8キロバイトのデータを読書き可能
 - 3つの可能な割り込みソース(レベル、立上がりおよび立下りエッジ)
- SDRAMメモリ
 - 同期DRAM(SDRAM)メモリマップ付きインタフェース



FMCコントローラは、さまざまなデバイスとメモリをサポートしています。

静的ランダムアクセスメモリ(SRAM)、読取り専用メモリ(ROM)、NOR/OneNAND Flashメモリ、およびPSRAMなど、静的メモリマップに接続します。

FMCはNAND Flashメモリとのインタフェースも備えており、最大8キロバイトの読取り、または書込みデータのエラーコード修正(ECC)をサポートします。NAND FlashのReady/Busy信号で立上がりエッジ、立下がりエッジ、またはハイレベルが検出されたときに割り込みを生成するように、3つの割り込みソースを設定できます。

また、同期DRAM(SDRAM)メモリとのインタフェースにも使用します。

サポートされているデバイス

5

多種多様なインターフェースとメモリに対応

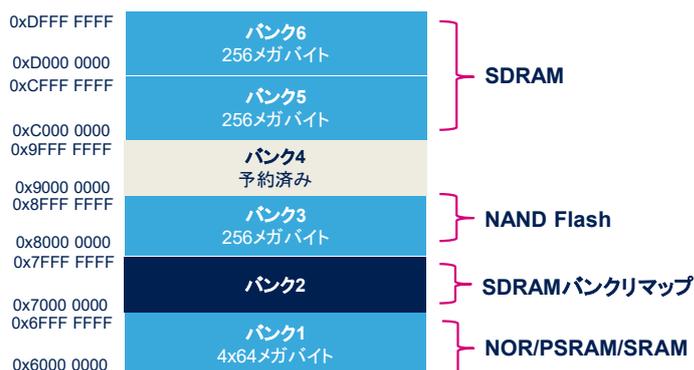
- パラレルLCDモジュール
 - Intel 8080やMotorola 6800



さらに、FMCはIntel 8080およびMotorola 6800モードをサポートするパラレルLCDモジュールと接続可能で、さまざまなLCDインターフェースに適応するのに十分な柔軟性を備えています。

FMCバンクメモリマッピング

- 外部メモリは4つの固定サイズのバンクに分けられる
 - バンク1(4x64メガバイト)はNOR Flash、SRAM、PSRAM
 - バンク3(256メガバイト)はNAND Flash
 - バンク2はSDRAMバンクの再マップに使用、バンク4は予約済み
 - バンク5と6はSDRAM

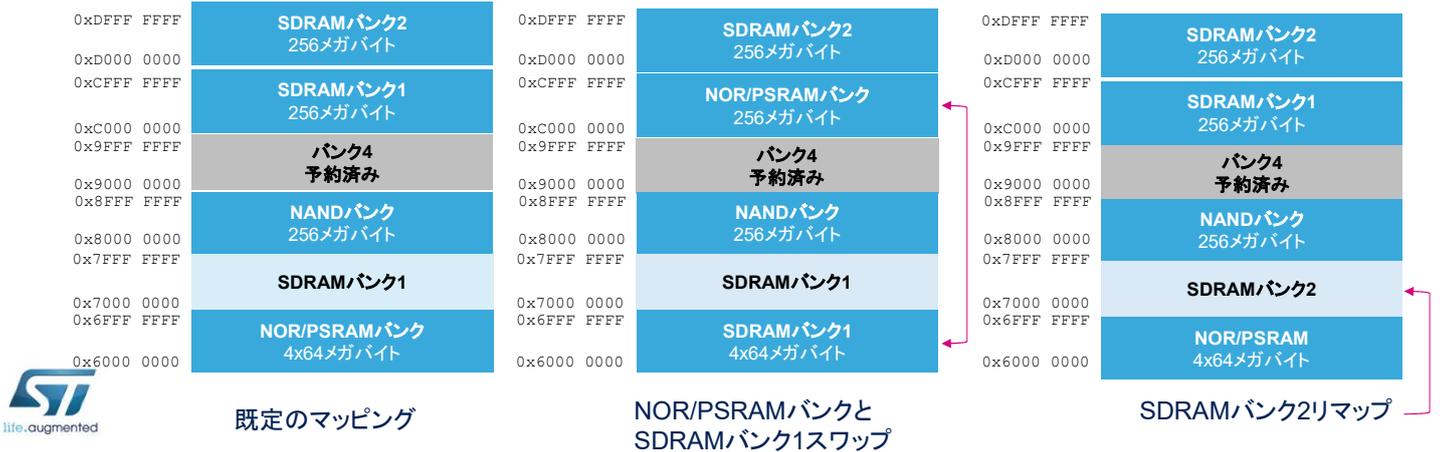


外部メモリ空間は、それぞれ256メガバイトの固定サイズバンクに分割されます。4つの外部メモリバンクがFSMC専用です。バンク1はNOR/PSRAMコントローラに接続され、バンク3はNANDコントローラに接続、バンク5と6はSDRAMに接続されています。バンク2はSDRAMバンクのリマップに使用され、バンク4は予約済み領域です。

FMCバンク・アドレス・マッピング

構成可能なアドレス・マッピング

- FMCバンク・マッピングは、FMC_BCR1レジスタのBMAP[1:0]ビットで設定可能

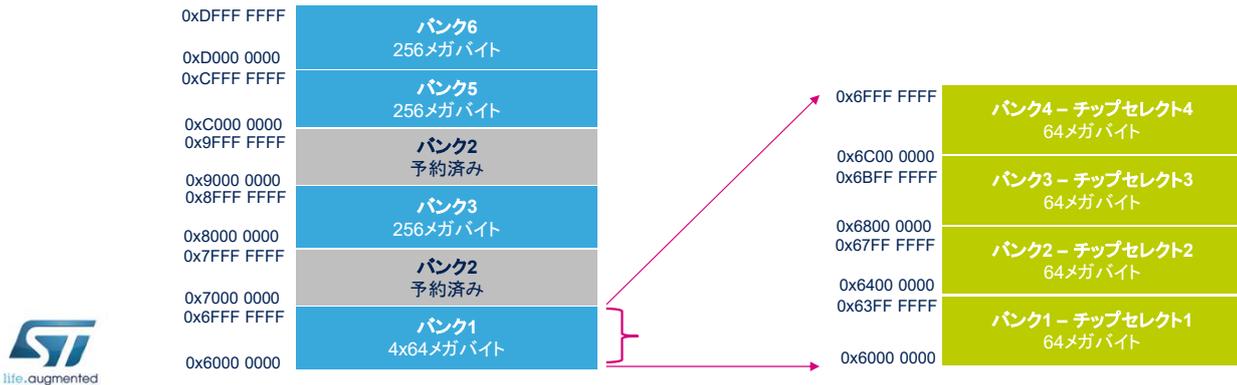


FMCバンクアドレスマッピングは、FMC_BCR1レジスタのBMAP[1:0]ビットで変更できます。デフォルトのマッピング、SDRAMバンク1とNOR/PSRAMバンクのスワップを可能にする2番目のマッピング、SDRAMバンク2のリマッピングの3つのマッピングを構成することができ、2つの異なるアドレス範囲で同じSDRAMバンクにアクセスできます。



NOR / PSRAMアドレス・マッピング

- バンク1は、4つの外部NOR/PSRAMメモリ(4本のチップセレクト)と接続するために、それぞれ64メガバイトで4バンクに分割され、サポート
 - NOR Flash: 8/16/32ビット同期/非同期、多重化または非多重化
 - SRAM/ROM: 8/16/32ビット
 - CRAM/PSRAM: 8/16/32ビット同期/非同期



バンク1は、最大4つのNOR Flashメモリ、またはPSRAMデバイスに対応するために使用されます。このバンクは、専用の4つのチップセレクトを持つ64メガバイトの4つの NORまたはPSRAMサブバンクに分割され、以下のメモリをサポートします。

多重化モードまたは非多重モードでの8ビット、または16ビットの同期または非同期NOR Flash

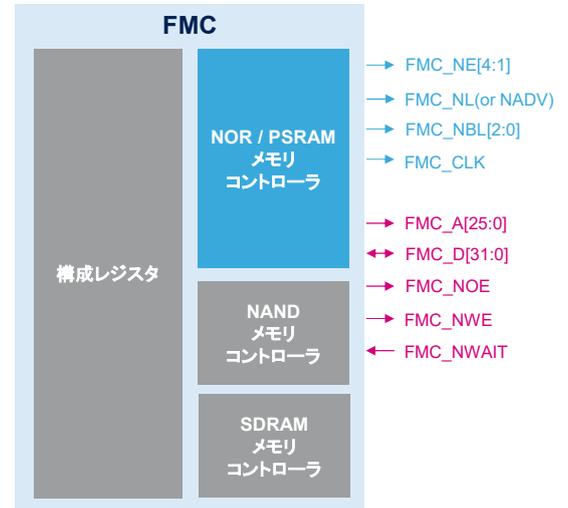
8ビット、または16ビットの非同期SRAMおよびROM

8ビット、または16ビットの同期または非同期のPSRAMメモリ

NOR / PSRAMインタフェース信号

9

- FMCは、適切な制御信号を生成
 - 非同期SRAMやROM
 - 8ビット
 - 16ビット
 - 32ビット
 - PSRAM(CellularRAMとCosmoRAM)
 - 非同期モード
 - バーストモード
 - 多重化または非多重化
 - NOR Flash
 - 非同期モード
 - バーストモード
 - 多重化または非多重化



FMCは、各バンクに一意的チップセレクト信号を出力し、外部デバイスへのアクセスを1度に1回のみ実行します。外部メモリはNOR PSRAMコントローラまたはNANDコントローラに接続され、アドレス、データ、制御信号を共有します。

柔軟なタイミング設定

- FMC NOR / PSRAMコントローラは、バンクに接続されたメモリのタイミングを設定するために使用される
 - アドレス・セットアップ・フェーズ時間
 - アドレス・ホールド・フェーズ時間
 - データ・セットアップ・フェーズ時間
 - バス・ターンアラウンド・フェーズ時間
 - クロック分周比
 - データ遅延(同期バーストNOR Flashの場合)
 - アクセスモード



NOR PSRAMコントローラは、サポートされるメモリのさまざまなタイミング・パラメータの設定を可能にします。

- アドレス・セットアップ・フェーズ：最初のアクセスフェーズの時間
- アドレス・ホールド・フェーズ：アクセスサイクルの中間フェーズの時間
- データ・セットアップ・フェーズ：第2アクセスフェーズの時間
- バス・ターンアラウンド・フェーズ：バスのターンアラウンド・フェーズの時間
- クロック分周比：1つのメモリクロックサイクル(CLK)内のAHBクロックサイクル(HCLK)の数
- データ遅延：最初のデータ転送前にメモリに発行されるクロックサイクルの数
- アクセスモード

- バンク3は、2つのメモリ・スペースを介してNAND Flashメモリをサポートするために使用される
 - 共通メモリ空間
 - 属性メモリ空間
- 各メモリ領域は3つのサブセクションに分かれる
 - データセクション(64キロバイト) : データの読取りまたは書込みに使用
 - コマンドセクション(64キロバイト) : NAND Flashメモリにコマンドを送信するために使用
 - アドレスセクション(128キロバイト) : NAND Flashメモリアドレスを指定するために使用



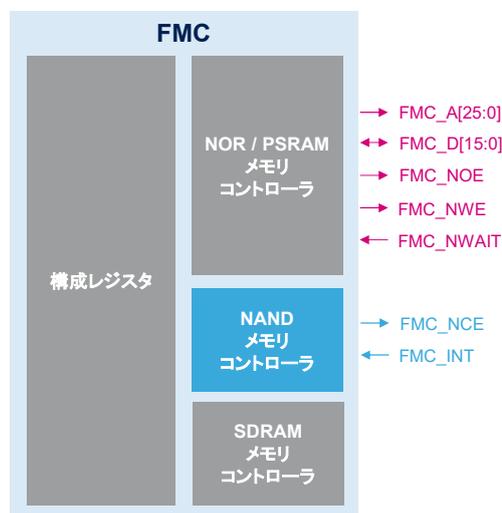
バンク3は、NAND Flashメモリとのインタフェースに使用されます。これは、共通メモリ空間と属性メモリ空間の2つのメモリ空間に分かれています。両方のスペースは似ています。共通メモリ空間は、NAND Flashデバイスに最後のアドレスバイトを書き込む場合を除き、すべてのNAND Flash読取りおよび書込みアクセス用となります。これによりタイミングが異なる最後のアドレスバイトを書き込んで、特定のNAND Flashメモリに必要なプリウエイト機能を実装できます。

各メモリ領域は、次の3つのセクションに分割されます。

- データセクション(64キロバイト) : NAND Flashメモリーからのデータの読取り、または書込みに使用します。
- コマンドセクション(64キロバイト) : NAND Flashメモリにコマンドを送信するために使用します。
- アドレスセクション(128キロバイト) : NAND Flashメモリのアドレスを指定するために使用します。

- FMCはNANDメモリを駆動するために適切な信号を生成

- NAND Flash
 - 8ビット
 - 16ビット



FMCはNAND Flashメモリを駆動するために適切な信号を生成します。アドレス、データ、および制御信号はNOR/PSRAMコントローラと共有されます。

NAND Flashメモリデバイスのコマンドラッチイネーブル(CLE)、およびアドレスラッチイネーブル(ALE)信号は、それぞれアドレスライン16とアドレスライン17に接続されたFMCコントローラからのアドレス信号によって駆動されます。

ALEはアドレスセクションへの書込み時にアクティブであり、コマンドセクションへの書込み時にはCLEがアクティブです。

- FMC NANDメモリコントローラは、以下の機能をサポート
 - 読取り、および書込み操作のECCハードウェア・アクセラレーション(256バイトから8192バイト)
 - NANDバンクの3つの割込みソース
 - 立ち上がりエッジ
 - 立下りエッジ
 - 外部メモリのレベルReady/nBusy出力ピン
 - 待機機能の管理
 - コントローラは、新しいアクセスを開始する前に、NAND Flashメモリの準備が完了するまで待機(Ready/nBusyシグナルがハイ)
- FMC NANDバンクのMPUメモリ属性は「デバイス」として設定する必要あり



FMC NANDメモリコントローラには、次の機能がサポートされています。

エラーコードの訂正：ECCアルゴリズムは、NAND Flashメモリから読取り、または書込み256~8192バイトごとに1ビットエラー訂正、および2ビットエラー検出を実行できます。これは、ハミング符号化アルゴリズムに基づいています。

3つの割込みソースを有効にすると、NAND FlashメモリからのReady/Busy信号出力の立ち上がりエッジ、立ち下がりエッジ、またはレベルを検出できます。

待機機能の管理：コントローラは、NAND Flashメモリの準備が整うまで待機してから、新しいアクセスを開始します。

FMC NANDバンクのMPUメモリ属性は、デバイスとして設定する必要があります。

- 各メモリスペースに対して、一連のパラメータを設定可能
 - メモリセットアップ時間：コマンドアサーションの前にアドレスをセットアップする時間
 - メモリウェイト：コマンドをアサートする時間
 - メモリホールド：コマンドのアサーション解除後にアドレスを保持する時間
 - データバス・ハイインピーダンス：アドレスからデータバスドライブまでの時間が有効



共通メモリと属性メモリの各スペースは、NAND Flashのコマンド、アドレス書込み、およびデータの読取り/書込みアクセスに対して異なるタイミングで設定できます。

属性メモリ空間は、タイミングが以前のアクセスのタイミングと異なる必要がある場合に、最後のアドレス書き込みアクセスに使用されます。

Ready/Busyのマネージメント、それ以外の場合は、共通スペースのみが必要です。

NAND Flashアクセスの異なるフェーズのHCLKサイクル数を定義するには、次の4つのパラメーターが使用されます。

- メモリセットアップ時間
- メモリウェイト
- メモリホールド
- データバス・ハイインピーダンス

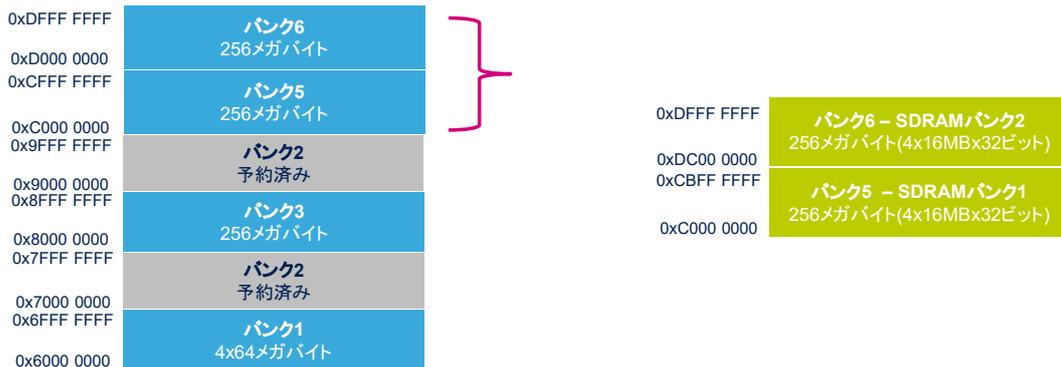
割込みイベント	説明
立上がりエッジ	FMC_INTピンで立上がりエッジが検出
立下りエッジ	FMC_INTピンで立下りエッジが検出
ハイレベル	FMC_INTピンでハイレベルが検出

NANDコントローラは、3つの割込みソースを提供します: NAND FlashメモリからのReady/nBusy信号に接続されている場合のFSMC INTピンの立上がりエッジ、立下がりエッジ、およびハイレベル検出。

SDRAMアドレス・マッピング

16

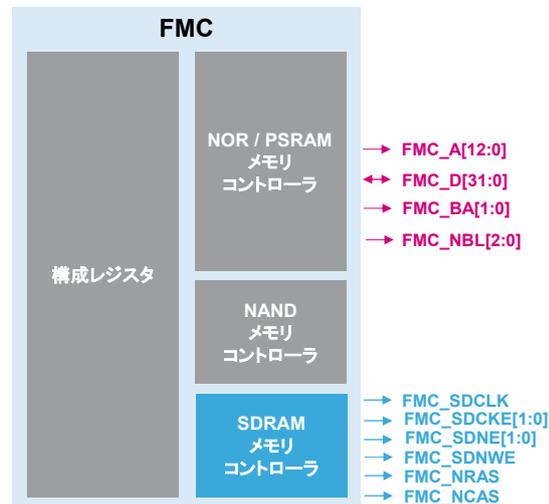
- 最大512メガバイトの連続メモリが2つのバンクに分割、単一のデバイスとして見ることも可能
- 各バンクは最大256メガバイトのメモリをアドレス可能



バンク5と6は、SDRAMメモリとのインタフェースに使用されます。各バンクは最大256メガバイトのメモリをアドレス指定できます。2つのバンクは2つのSDRAMデバイスとのインタフェースに使用することができます。

- FMCはSDRAMメモリを駆動するための適切な信号を生成

- SDRAM
 - 8ビット
 - 16ビット
 - 32ビット



FMCはSDRAMメモリを駆動するための適切な信号を生成します。アドレスとデータはNOR/PSRAMコントローラと共有されます。バンクアドレス信号FMC BA0とFMC BA1はそれぞれFMC A14とFMC A15と共有されます。

SDRAMコントローラには専用信号があります。

- SDCLK : SDRAMクロック
- SDCKE0 : SDRAMバンク1クロック有効化
- SDCKE1 : SDRAMバンク2クロック有効化
- SDNE0 : SDRAMバンク1チップ有効化
- SDNE1 : SDRAMバンク2チップ有効化
- NRAS : Rowアドレスストローブ
- NCAS : Columnアドレスストローブ
- SDNWE : 書込みイネーブル

- 設定可能なRowおよびColumnサイズを持つ最大4つの内部バンク:
 - 最大13ビットのアドレスRow
 - 最大11ビットのアドレスColumn
- 異なるSDRAMデバイス要件に対応するプログラマブル・タイミング・パラメータ
 - プログラム可能なリフレッシュレートによる自動更新操作
- Rowとバンクの境界管理の自動管理
- 設定可能なSDRAMクロック速度
 - AHB速度の半分(HCLK/2)
 - AHB速度の3分の1(HCLK/3)



life.augmented

FMCコントローラは、独立したSDRAMバンクを2つ提供し、独立した外部メモリをサポートします。各バンクには、独立したチップセレクトと独立した構成設定があります。

各SDRAMバンクは、最大4つの内部バンクを備えたメモリデバイスをサポートします。デバイスサイズは、アドレスRowの場合は最大13ビット、アドレスColumnに最大11ビットでプログラム可能です。

SDRAMはHCLKの最大周波数の半分でアクセスすることができます。

各バンクは、プログラム可能なタイミングと、設定可能な8ビット、16ビット、または32ビットのデータバスを備えています。

マルチバンク・ピンポンアクセス

- マルチバンク・ピンポンアクセスは、異なるバンクへの連続した書込みアクセスを実行可能
- SDRAMコントローラは、各バンクのアクティブなRowを追跡
- Rowが既にもアクティブ化されている場合は、バンクのプリチャージとRowの有効化を回避



マルチバンクピンポンアクセスは、異なるバンクへの連続した書込みアクセスを実行することができます。
したがって、アクセスされたバンクでRowがすでにアクティブ化されている場合、バンクのプリチャージとRowの有効化は回避されます。

最適化された読取りアクセス

- 6つの32ビットラインの深さのキャッシュ可能な読取りFIFO
- 設定可能な読取りバーストにより、CASの遅延中に次の読取りアクセスを予測



SDRAMコントローラは、6つの32ビットラインの深度を持つキャッシュ可能な読取りFIFOを追加します。読取りFIFOは、読取りバーストが有効な場合に使用され、CASの待機時間中に次の読取りアクセスを予測できます。

省エネ機能

- 次の2つの低電力モードがサポート
 - セルフリフレッシュ・モード
 - セルフリフレッシュ・モードの場合、SDRAMは外部クロッキングなしでデータを保持
 - デバイスは、アプリケーションから要求された期間、セルフリフレッシュ・モードのまま使用可能
 - セルフリフレッシュ・モードは、次の場合に終了
 - SDRAMデバイスが選択されてる(読取り/書込み操作が要求された)
 - または、MODEビットが'000'(通常モード)に設定されている
 - パワーダウン・モード
 - デバイスは、リフレッシュ期間を超えてパワーダウン・モードのままではいけない。SDRAMコントローラは、リフレッシュ操作を実行
 - パワーダウン・モードは、次の場合に終了する
 - MODEビットが'000'(通常モード)に設定されてる



低消費電力システムのために、SDRAMコントローラは、セルフリフレッシュモードまたはパワーダウンモードの2つの低電力モードのいずれかに設定できます。

セルフリフレッシュモードの場合、SDRAMデバイスは外部クロッキングなしでデータを保持します。

デバイスは、アプリケーションから要求された期間、セルフリフレッシュモードのまま使用できます。

SDRAMデバイスが選択されている(読取り/書込み操作が要求された)か、MODEビットが'000'(通常モード)に設定されている場合、デバイスはセルフリフレッシュモードを終了します。

このモードではリフレッシュ操作が実行されないため、デバイスはリフレッシュ期間より長くパワーダウン状態に留まることはできません。その結果、SDRAMコントローラはリフレッシュ操作を実行します。

MODEビットが'000'(通常モード)に設定されている場合、デバイスはパワーダウンモードを終了します。

サポートされているコマンド

- コマンドは、FMC_SDCMRレジスタのターゲットバンクビット(CTB1およびCTB2)の設定を使用して、2つのバンクにコマンドの送付が使用可能

コマンド	MODEビット
通常モード	'000'
クロック設定の有効化	'001'
PALL("すべてのバンクのプリチャージ")コマンド	'010'
オートリフレッシュ・コマンド	'011'
ロードモード・レジスタ	'100'
セルフリフレッシュ・コマンド	'101'
パワーダウン・コマンド	'110'



SDRAMコントローラは、SDRAMデバイスに異なるコマンドを発行することができます。

コマンドは、SDRAMデバイスを初期化するか、デバイスモードを切り替えるためにソフトウェアによって実行されます。

コマンドは、FMC_SDCMRレジスタのターゲットバンクビットCTB1とCTB2の設定を使用して、2つのバンクに同時にコマンド送信が可能です。

サポートされているコマンドを表に示します。

- SDRAMメモリのパワーアップ初期化手順:
 1. FMC_SDCRxレジスタでメモリデバイス機能を設定
 2. FMC_SDTRxレジスタでメモリデバイスのタイミングを設定
 3. FMC_SDCMRLレジスタのMODEビットを'001'にセットし、クロック信号をメモリに出力
 4. 所定の遅延期間を待つ(典型的な遅延は約100 μ s)
 5. FMC_SDCMRLレジスタでMODEビットを'010'にセットし、「すべてバンクへプリチャージ」コマンドを発行
 6. FMC_SDCMRLレジスタのMODEビットを'011'にセットし、連続したオートリフレッシュ・コマンドのNRFSフィールド番号をセット
 7. FMC_SDCMRLレジスタのMODEビットを'100'にセットし、「ロード・モード・レジスタ」コマンドを発行し、SDRAMデバイスをプログラムするためのMRDフィールドを発行
 - バースト長さ(BL)を'1'に設定する必要があり、CASの待ち時間を選択する必要がある
 8. FMC_SDRTRLレジスタでのリフレッシュレートの構成



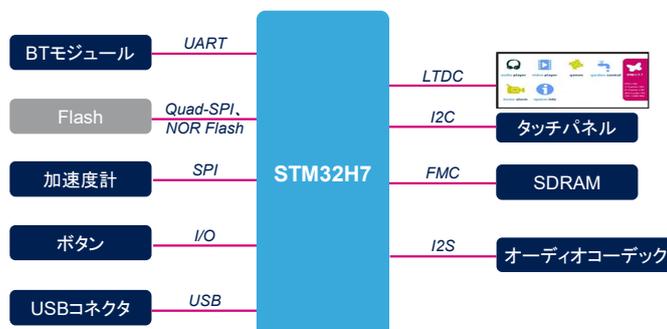
このスライドでは、ファームウェアで実装するSDRAMの初期化手順を示します。

モード	説明
RUN	アクティブ
SLEEP	アクティブ ペリフェラルの割込みにより、デバイスはSLEEPモードを終了
STOP	停止 ペリフェラルレジスタの内容は保持
STANDBY	パワーダウン ドメインおよびシステムのSTANDBYモードを終了した後、ペリフェラルの再初期化が必要



FMCは、RUNモードとSLEEPモードでアクティブです。FMC割込みにより、デバイスがSLEEPモードを終了する可能性があります。デバイスは、STOPモードとSTANDBYモードでは通信を実行できません。FMCコントローラを無効にするか、ドメインまたはシステムをSTOPモードまたはSTANDBYモードに切り替える前に、すべての転送が完了していることを確認することが重要です。STOPモードまたはSTANDBYモードで外部のSDRAMメモリデータを保持するには、STOPモードまたはSTANDBYモードに入る前に、外部SDRAMメモリデータをセルフリフレッシュモードにします。

- 外部接続とユーザ・インタフェースを含むウェアラブル・アプリケーション



- 外部メモリは、必要なオーディオとグラフィカル(アイコン、フォントなど)のデータをユーザ・インタフェースに格納可能



グラフィック・アプリケーションでは、低電力管理と高品質のユーザ・インタフェースが必要です。LCD-TFTコントローラやディスプレイはSTM32H7を使用して接続することが可能です。さらに、FMCまたはQuad-SPIインタフェースを使用して、背景画像、高解像度アイコン、複数言語をサポートするフォントなど、必要なすべてのグラフィック・コンテンツを含む外部のFlashメモリにアクセスできます。内蔵RAMは、LTDCコントローラのフレームバッファとして使用されるSDRAMメモリをFMCに接続することで拡張できます。

追加の着信音用などのオーディオデータは、外部Flashメモリによって提供される大きなメモリサイズの恩恵を受けることができます。

- 以下はFMCコントローラに関連するペリフェラルのリストです。必要に応じてこれらのペリフェラル・トレーニングを参照してください。
 - リセットとクロック・コントロール(RCC)
 - 割込み(NVIC)
 - 汎用I/O(GPIO)

FMCインタフェースに関連するペリフェラルの一覧を次に示します。

FMCコントローラを正しく設定して使用するには、これらのペリフェラルすべての関係を理解する必要があります。