



STM32H7 – SPDIF-RX

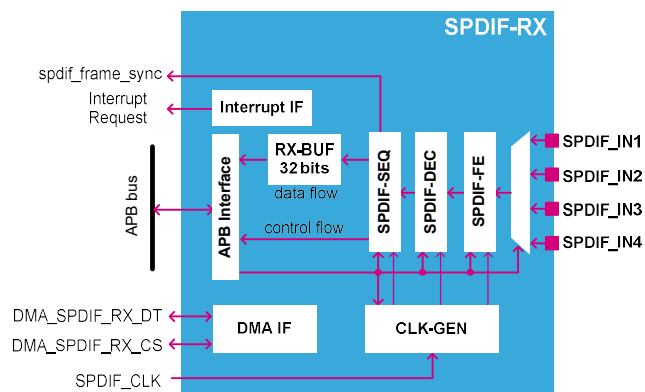
ソニー／フィリップス・デジタル・インタフェース・レシーバ

1.0版



こんにちは、SPDIF-RXブロックのプレゼンテーションへようこそ。
SPDIFは、ソニー／フィリップス・デジタル・インタフェースの略です。

- SPDIF-RX (Sony/Philips Digital InterFace: ソニー／フィリップス・デジタル・インタフェース) は、IEC60958およびIEC61937規格に準拠したSPDIF フローを受信可能



アプリケーション側の利点

- 制御ストリームから分離されたデータストリーム
- 割込みおよびDMAサービス



SPDIF-RXブロックは、IEC-60958およびIEC-61937規格に準拠したデジタル・オーディオ・ストリームを受信できます。

SPDIF-RXにはアドバンスド・ペリフェラル・バス (APB) インタフェースが組み込まれており、ブロックの制御およびオーディオと制御フローを受信できます。

SPDIF-RXはステータスレジスタも提供するため、アプリケーションは受信の品質を確認できます。

SPDIF-RXには2つのペリフェラルクロックが必要です。

- レジスタ・インタフェース・アクセスに使用するAPBクロック
- 受信ストリームの再サンプリングと処理に使用するSPDIF_CLKという名前のカーネルクロック

レシーバ部分は主に以下で構成されています。

- 入カストリームのサンプリング、フィルタリング、およびエッジ検出を実行するSPDIF-FE
- 受信したシンボルをデコードするSPDIF-DEC
- フレームフォーマットの整合性をチェックし、ペイロードを制御／ユーザ情報から分離するSPDIF-SEQ

- SPDIF-RXには次の機能があります
 - 4つの入力から1つのオーディオ・ストリームを選択可能
 - 自動シンボルレート検出
 - 最大192kHzのステレオ・ストリーム・レートをサポート
 - IEC60958オーディオ(エンコードされていないステレオ・ストリーム)をサポート
 - IEC61937オーディオ(ドルビー・デジタルなどのエンコードされたオーディオ・ストリーム)をサポート
 - 以下のDMAインタフェースをサポート
 - データ・ストリーム
 - 制御ストリーム
 - 割込み機能を搭載



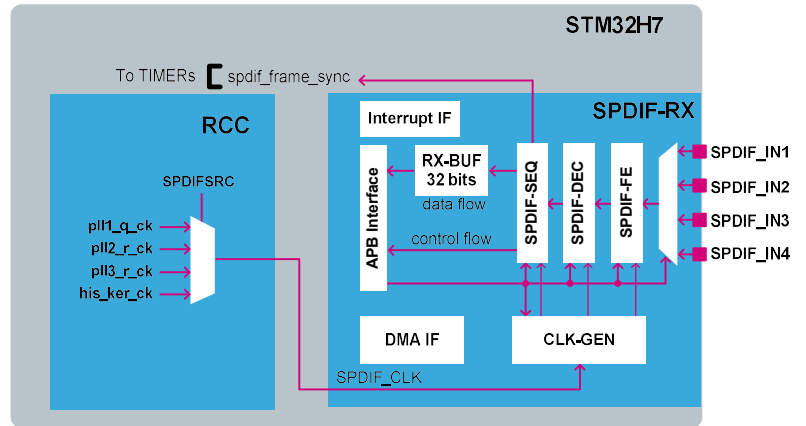
SPDIF-RXには次の機能があります。

- 4つの入力から1つのオーディオ・ストリームを選択可能です。一度にデコードできるストリームは1つだけであることに注意してください。
- 自動シンボルレート検出。SPDIF_CLK周波数が十分に高い場合、SPDIF-RXは受信ストリームをデコードし、概算サンプリングレート情報をアプリケーションに提供します。最大192kHzのステレオ・ストリーム・レートをサポートしています。
- SPDIF-RXは、IEC-60958に準拠したオーディオ・フレームをデコードします。この仕様は、エンコードされていないステレオ・ストリームについて規定しています。SPDIF-RXは、IEC-61937に記載されたドルビー・デジタルなどのエンコードされたオーディオ・ストリームもサポートします。
- さらに、SPDIF-RXは2つのDMAチャンネルを提供します。1つはオーディオ・サンプルデータ専用(エンコードの有無は問わない)、もう1つは制御、ステータス、およびユーザ情報専用です。
- 割込み機能は、さまざまな信号に対応しています。

回路の中のSPDIF-RX

4

- SPDIF-RXカーネルクロックのソースは次の通りです。
 - PLL1のDIVQ出力(pll1_q_ck)
 - PLL2のDIVR出力(pll2_r_ck)
 - PLL3のDIVR出力(pll3_r_ck)
 - HSIオシレータ出力(hsi_ker_ck)
- SPDIF_CLKは、オーディオ周波数の倍数である必要はありません。



STM32H7のRCC(リセットおよびクロック制御)ブロックは、SPDIF-RXにAPBクロックとSPDIF_CLKカーネルクロックの両方を供給します。

柔軟性を高めるために、SPDIF_CLKは4つの異なるソースから選択できます。

- PLL1のDIVQ出力
- PLL2もしくはPLL3のDIVR出力、または
- HSIオシレータ出力

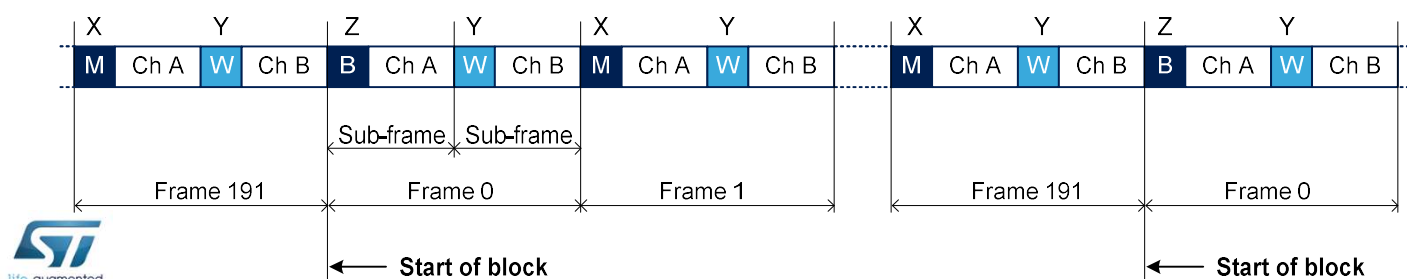
SPDIF-RXから供給される信号spdif_frame_syncは、タイマに接続されています。アプリケーションはこの信号を使って、2つのオーディオストリーム間のクロックドリフトの推定を行うことができます。

詳細については、RCCのトレーニングスライドを参照してください。

SPDIFプロトコルの概要(1/5)

5

- ブロック構造は、チャンネル・ステータス(CS)およびユーザ(U)情報の整理に使用します。
 - 各ブロックには192のフレームが含まれています
 - 各フレームには2つのサブフレームが含まれています
 - プリアンブルにより、ブロックとサブフレームの境界を検出できます
 - プリアンブルBは新しいブロックの開始とチャンネルAの開始を検出します
 - プリアンブルMは、チャンネルAの開始を検出します(ブロック境界ではない場合)
 - プリアンブルWはチャンネルBの開始を検出します



次の5つのスライドで、SPDIF規格の概要を簡単に説明します。スライドでは主にデジタル・オーディオ・ストリームの物理的および論理的構造を説明します。

IEC60958では、チャンネルステータス(CS)とユーザ(U)情報をデコードするため、デジタル・オーディオ・ストリームをブロック構造にまとめています。

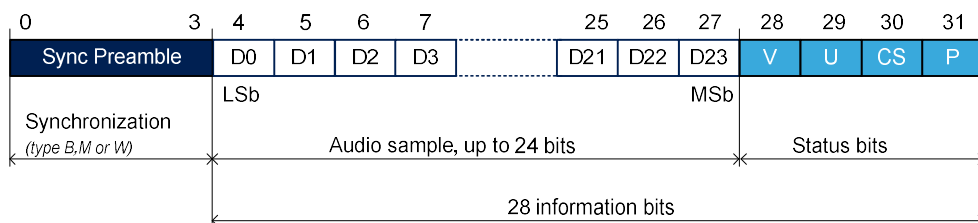
- 各ブロックには192のフレームが含まれています。
- 各フレームには2つのサブフレームが含まれています。

SPDIF-RXは、ブロックの開始、プリアンブル、およびフレーム境界を認識できます。

SPDIFプロトコルの概要(2/5)

• サブフレームのフォーマット

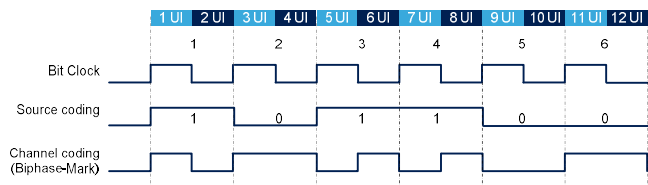
- プリアンブル
- 最大24ビットのデータ
- 4つのステータスビット
 - Vは有効性ビットで、現在のサンプルを直接アナログ信号に変換できることを意味します
 - Pは受信したサブフレームのパリティビットで、受信したサブフレームのチェックに使用します
 - Uはユーザ・データ・チャンネルで、各メッセージは192ビットで構成されています
 - CSはチャンネル・ステータスで、各メッセージは192ビットで構成されています (サンプリング・レート、サンプル長など)



各SPDIFフレームには2つのサブフレームが含まれています。各サブフレームには、3つのフィールドに分割された32ビットが含まれています。

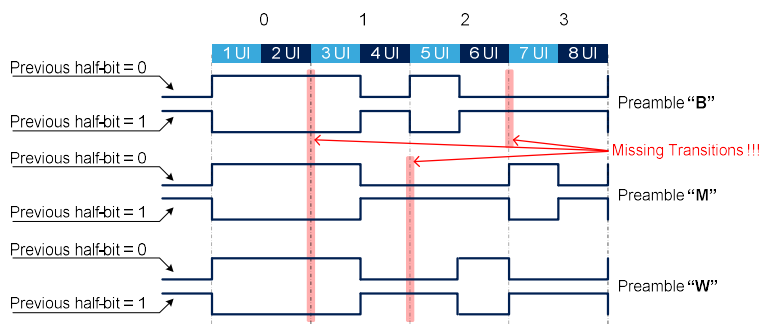
- 同期プリアンブルによりブロックとサブフレームの境界を検出します。
- ペイロードは24ビット。
- ステータスビット: V、U、CS、P

- バイフェーズ・マーク・データのエンコーディング:



- プリアンブル:

- プリアンブルはバイフェーズマークコードのルールに「違反」しています



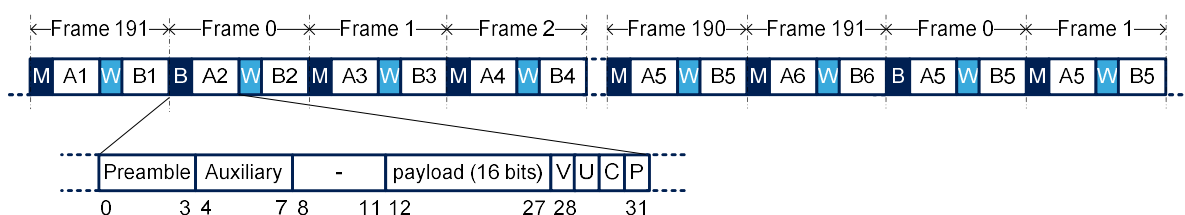
上図に示すように、デジタル・オーディオ・データはバイフェーズ・マーク・エンコーディングによりコーディングされています。バイフェーズ・マーク・エンコーディングでは、各ビットの境界に遷移があることに注意してください。

プリアンブルの長さは4ビットで、プリアンブルの一部の遷移ではバイフェーズ・マーク・エンコーディングが考慮されません。この違反は、SPDIFレシーバでブロックとサブフレームの境界を簡単に検出するために使用されます。

UIはUnit Interval(単位間隔)を意味し、コーディング・スキームでの最も短い公称時間間隔を表します。

SPDIFプロトコルの概要(4/5)

- IEC61937規格では、IEC60958で説明されているように、ノンリニア・エンコードが適用されたPCMオーディオ・ストリームをサブフレームに転送可能
 - エンコード済みのオーディオ・ストリームは、このインタフェースを經由して一連のデータ・バーストとして転送されます
 - 各データ・バーストは、64ビットのバースト・プリアンブルとそれに続くバースト・ペイロードで構成されます
 - データ・バーストは、各IEC60958サブフレームの位置[12-27]に配置された16ビットのブロックとして転送されます



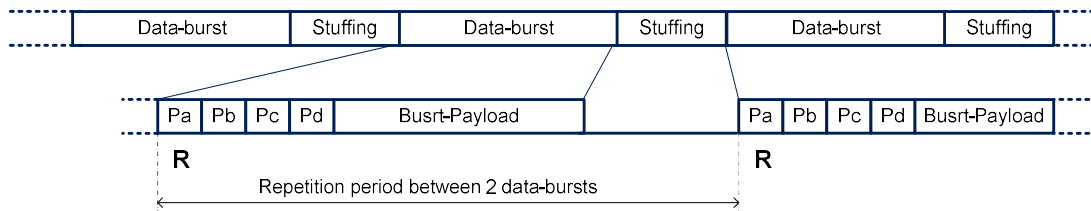
各サブフレームの4～27番目にあるビットは、エンコードされたオーディオ信号の転送にも使用できます。これは、IEC61937仕様に記載されています。

エンコードされたデータ・パケットは、各サブフレームの12～27番目のビットを使用します。64ビットのバースト・プリアンブルは、4つの連続するサブフレームの12～27番目のビットにも見られる特定のパターンです。このプリアンブルはデータ・バーストの開始の検出に使用されません。

バースト・プリアンブル(64ビット)は、サブフレームおよびブロック境界の検出に使用されるサブフレーム・プリアンブル(4ビット)と混同しないでください。

SPDIFプロトコルの概要 (5/5)

- **バースト・プリアンブル:**
 - Pa、Pbプリアンブルは同期パターンです (Pa = 0xF872、Pb = 0x4E1F)
 - Pc、Pdプリアンブルには、データ・パケットとペイロード・サイズに関連する情報が含まれています
- **バースト・ペイロード**には、エンコードされたデータ(ドルビーデジタル、DTSなど)が含まれます
- **スタッフィング:**
 - 2つの繰り返し周期の間にある、未使用のサブフレームのペイロードは強制的にゼロに設定され、これらのサブフレームは「スタッフィング」と呼ばれます



バースト・プリアンブルの最初の32ビットは固定パターンの、PaとPbです。(上セグメントに結合)
バースト・プリアンブルの最後の32ビットには、データ・パケットとペイロードサイズに関連する情報が含まれています。

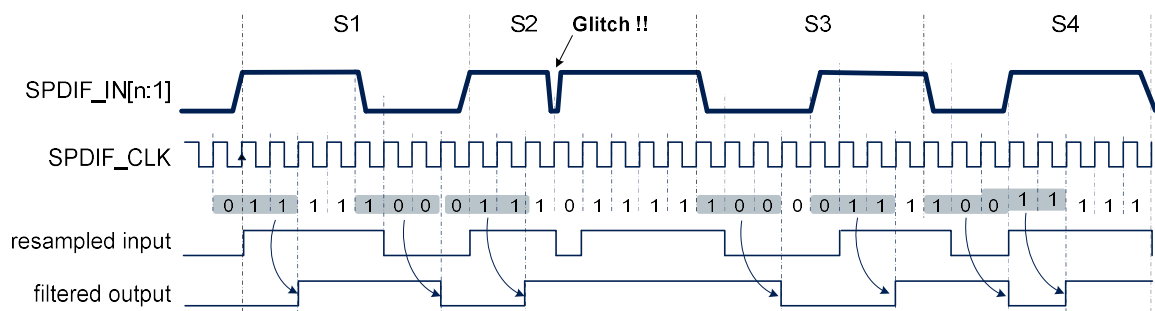
スタッフィングは、データ・バーストの反復率の調整に使用されます。

SPDIF-RXのノイズ・フィルタリング

10

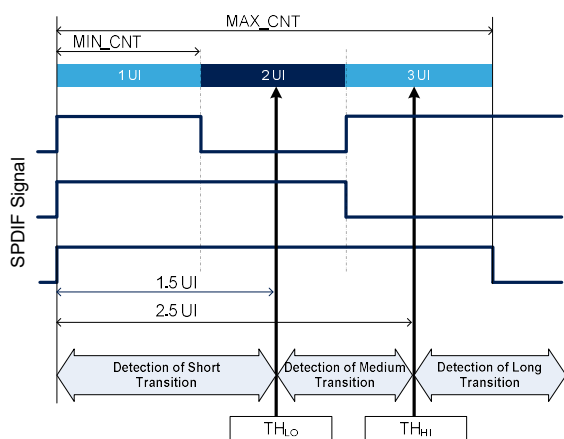
入力信号のノイズに対する感度を低減

- SPDIF-RXは、以下の手順で受信ストリームをフィルタリングします
 - 0-1-1シーケンスをサンプリングした場合、立ち上がりエッジを検出します
 - 1-0-0シーケンスをサンプリングした場合、立ち下がりエッジを検出します
 - 立ち上がりエッジの後に立ち下がりエッジシーケンスが预期されます
 - 立ち下がりエッジの後に立ち上がりエッジシーケンスが预期されます



SPDIF-RXはグリッチを抑制し、受信の信頼性を高めることができます。

SPDIF-RXの同期 (1/3)



- レシーバは、2つの遷移間の時間間隔を概算し、それが以下に相当するかどうかを定義
 - シンボル「1」の一部
 - シンボル「0」
 - 長いパルス(プリアンブル)
- レシーバは2つの閾値を概算します: THLOおよびTHHIで遷移タイプを識別できます
- 2つの遷移間の時間間隔が次の場合:
 - THLO未満 → 短い遷移を検出
 - THHIより高い → 長い遷移を検出
 - THLOとTHHIの間 → 中間長の遷移を検出



受信ストリームをデコードするために、SPDIF-RXは1つのUIの継続時間を概算し、2つの閾値を定義します。

- 低閾値: THLOを1.5UIに固定
- 高閾値: THHIを2.5UIに固定

両方の閾値を計算した後SPDIF-RXは、受信ストリームの連続する遷移間の時間間隔をこれらの閾値と比較します。

時間間隔がTHLOより短い場合、短い遷移が検出されます。2つの連続した短い遷移はシンボル「1」に対応しますが、プリアンブル・パターンの一部に対応することもあります。

時間間隔がTHLOとTHHIの間にある場合、中間長の遷移が検出されます。中間長の遷移はシンボル「0」に対応しますが、プリアンブル・パターンの一部に対応することもあります。

時間間隔がTHHIよりも長い場合、長い遷移が検出されます。長い遷移は常にプリアンブル・パターンの一部であることに注意してください。

シンボル境界の連続追跡

- 同期は2つのステップで実行
 - 粗い同期(COARSE SYNC)
 - 細かい同期(FINE SYNC)
- SPDIF-RXが有効な場合、COARSE SYNCが実行
 - COARSE SYNCは以下により構成
 - 70個の遷移(LTIとSTI)内の最長と最短の時間間隔の測定
 - THLOとTHHIの粗い値の計算($THLO=LTI/2$ 、 $THHI=STI+LPI/2$)
- FINE SYNCは、各フレームの開始時にCOARSE SYNCの後に実行
 - FINE SYNCは以下により構成
 - 24個と40個の連続するシンボル(WIDTH24、WIDTH40)の間隔の測定
 - THLOおよびTHHI閾値の細かい値の計算($THLO=WIDTH24/32$ 、 $THHI=WIDTH40/32$)



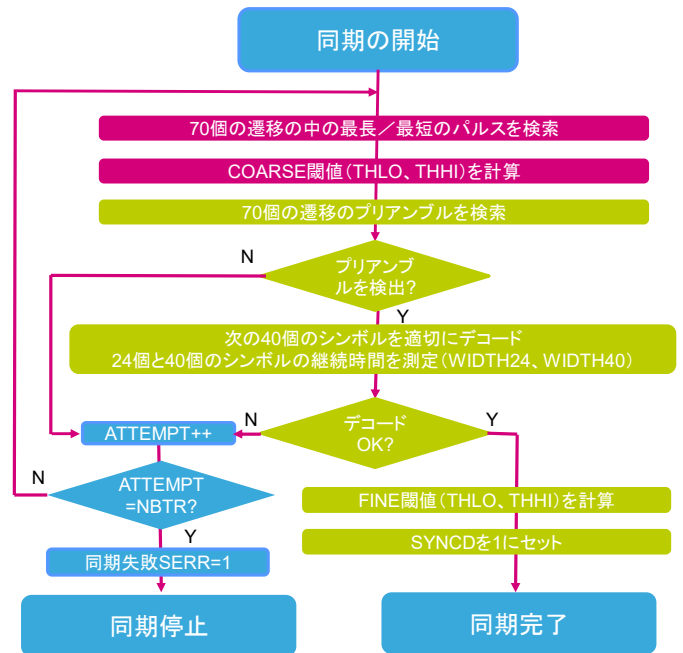
受信ストリームを高い信頼性でデコードするには、閾値THLOおよびTHHIの概算が正確でなければなりません。

THLOとTHHIの閾値は、2つのステップで概算します。
COARSE SYNCは、70個の遷移の中の連続する時間間隔を測定し、最長および最短の時間間隔を選択します。
これらの2つの値を使用して、THLOおよびTHHI閾値の最初の概算を行います。

THLOとTHHI閾値の粗い推定により、SPDIF-RXはSPDIFフレームをデコードし24個と40個の連続するシンボルの間隔を測定して、THLOおよびTHHI閾値の概算をさらに改善できます。

SPDIF-RXの同期 (3/3)

- ノイズの多い環境では、COARSE SYNCによって概算した閾値が不正確になる場合があります。
 - FINE SYNCが適切に完了するまでは、エラーが表示されます。
- ユーザは許容される試行回数(NBTR)を選択できます。

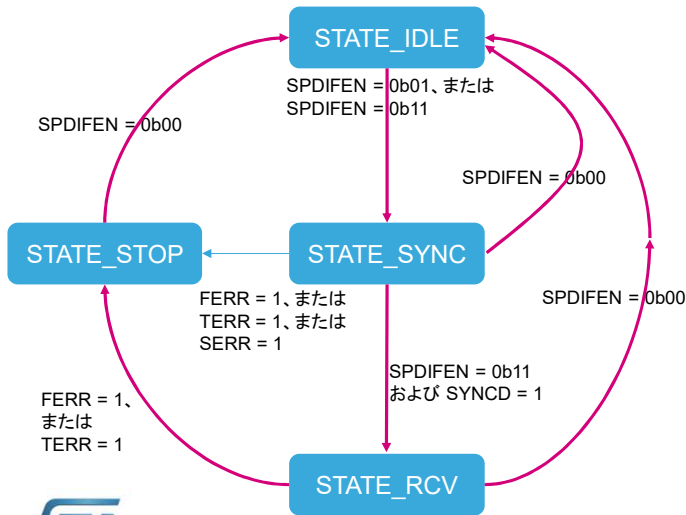


この図は、THLOおよびTHHI閾値を適切に概算するためSPDIF_RXが実行するハードウェアプロセスを示しています。

ノイズの多い環境では、COARSE SYNCが不正確になり、FINE同期が失敗する場合があります。これに注意してください。これは普通の場合と見なすことができ、アプリケーションは多数のリトライ(NBTR)をプログラムすることができます。

また、THLOおよびTHHI閾値はフレームごとに更新されることに注意してください。

SPDIF-RXは、次の4つの状態間の切り替えができます。



STATE_IDLE:

SPDIF-RXを無効にする

STATE_SYNC:

SPDIF-RXは同期され、閾値は定期的に更新される
ユーザとチャンネルステータスの読出しが可能
オーディオサンプルは受信バッファに提供されない

STATE_RCV:

SPDIF-RXは同期され、閾値は定期的に更新される
ユーザとチャンネルステータスの読出しが可能
データは受信バッファに送られる

STATE_STOP:

エラーが発生
ユーザ、チャンネルのステータス、データの受信が停止
ユーザはペリフェラルをSTATE_IDLEに切り替える必要がある



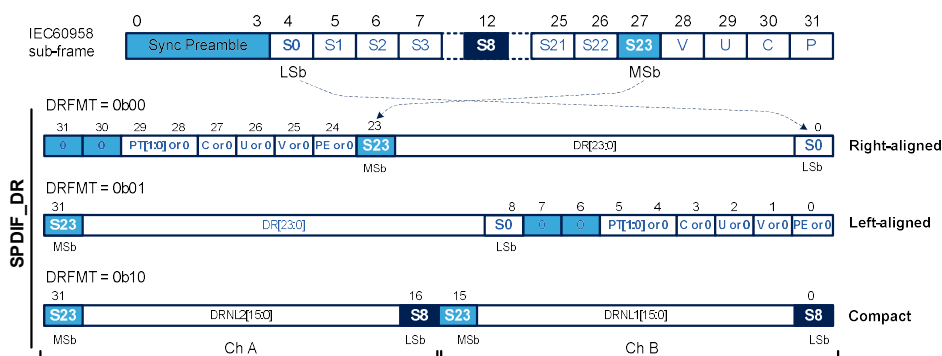
この図は、SPDIF-RXのさまざまな状態を示しています。
SPDIF-RXの状態は、SPDIFENフィールドによりアプリケーションによって、またエラーが検出された場合は主にSPDIF-RXハードウェアによって変更できます。

エラーが検出されると、SPDIF-RXは直接STATE_STOP状態に移行します。アプリケーションは、最初にSPDIF-RXをSTATE_IDLEに設定してから、再度STATE_SYNCまたはSTATE_RCVに設定する選択もできます。

SPDIF-RXデータ・フロー

15

- SPDIF-RXはデータ受信用の32ビット・ダブルバッファを提供
- DMAまたは割込みによるデータ読出しが可能
- 柔軟性の高いデータ・フォーマット: 右詰め、左詰め、またはコンパクト・フォーマット
 - PTMSK、CUMSK、VMSK、およびPMSKビットを使用して、プリアンブル・タイプ、C&Uビット、有効性ビット、およびパリティ・エラー・ビットを各データ・サンプルに挿入可能



SPDIF-RXは、データ受信用に32ビットのダブル・バッファを提供します。

アプリケーションは、DMAまたは割込みを使用して受信データの読出しができます。

さまざまなデータ・フォーマットを利用できます：

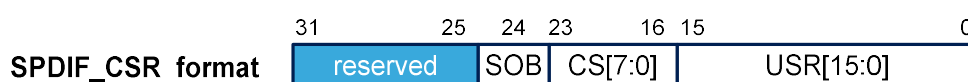
- 右詰め
- 左詰め、または
- コンパクト・フォーマット

コンパクト・フォーマットは、エンコードされたオーディオ・フレームをSPDIF-RXを受信しているときに活用できる場合があります。

さらに、SPDIF-RXは、各オーディオ・サンプルに対してプリアンブル・タイプ、C&Uビット、有効性ビット、パリティ・エラー・ビットを挿入できます。

ユーザは、マスク・ビットを使用して提供する情報を選択できます。

- SPDIF-RXは、CSおよびUチャンネル受信用の32ビットバッファを提供
 - ユーザは、CSの読出しをチャンネルAまたはチャンネルBのどちらから行うか選択可能(排他的)
 - DMAまたは割込みによるCSとUの読出しが可能
 - FINE SYNCが完了すると、新しいブロックの開始時にCSおよびUビットの取得がトリガされる
 - 収集されたCSおよびUビットが、8フレームごとにSPDIF_CSRレジスタにコピー
 - SOBビットは、CSビットとUビットがブロックの最初の8フレームに対応するかどうかを表す



CS0 is the oldest value

USR0 is the oldest value from the channel A

USR1 is the oldest value from the channel B



SPDIF-RXは、CSおよびUチャンネルの受信用に32ビットバッファを提供します。

アプリケーションは、DMAまたは割込みを使用して、SPDIF_CSRレジスタで受信した制御情報を読み出すことができます。

SPDIF_CSRレジスタには以下が含まれます：

- 選択したチャンネル(チャンネルAまたはBのいずれか)から取得した8ビットのCS
- Uの16ビット(チャンネルAのUビットとチャンネルBのUビット)
- ブロックの開始が検出されたかどうかを示す1ビット

正確なエラー信号のための完全なフラグセット

SPDIF-RXには、エラーを検出するための複数のフラグがあります

FERRフラグ:

- 1つのシンボル遷移シーケンスが正しくない場合、たとえばショート・パルスがペアでグループ化されていない場合を検出します
- プリアンブルが予期せぬ場所で発生した場合、または予期したプリアンブルが受信されない場合を検出します

SERRフラグ:

- 同期の失敗を検出します。これは、リトライ回数がプログラムされた値を超過したためです

TERRフラグ:

- 2つの遷移間の幅の概算に使用するカウンタ(TRCNT)のオーバーフローを検出します

PERRフラグ:

- パリティ・チェックの失敗を検出します

OVRフラグ:

- データフローでのオーバーランの発生を検出します



障害の根本的な原因を明確にするため、完全なエラー信号がアプリケーションに提供されます。

FERRフラグは、フレーム構造に関するエラーを検出します。

SERRフラグは、同期の失敗を検出します。

TERRフラグは、2つの遷移間の幅の概算に使用するカウンタのオーバーフローを検出します。これは通常、選択したSPDIFR入力に信号が検出されないことを意味します。

PERRフラグは、パリティ・チェックが失敗したかどうかを検出します。

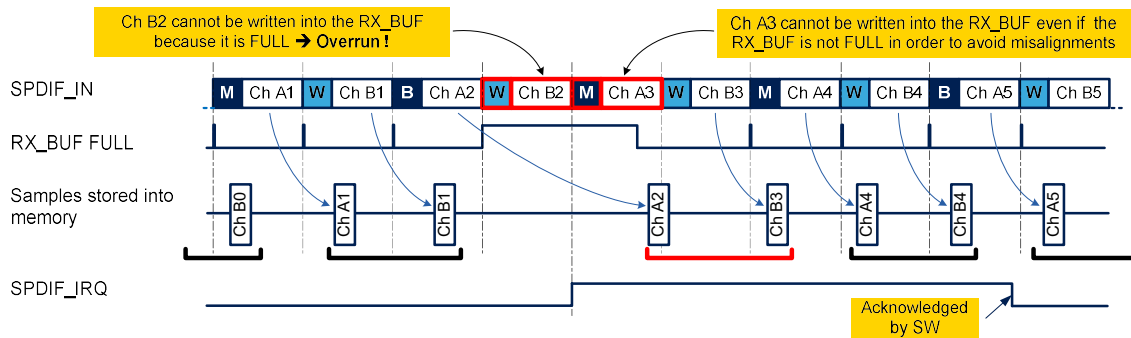
OVRフラグは、データフローでオーバーランが発生したかどうかを検出します。

SPDIF-RXオーバーラン処理

18

SPDIF-RXはミスマイメントなしでオーバーランから復旧

- SPDIF-RXは、ミスマイメントを発生させることなくオーバーランの状況から復旧可能
 - RXSTEOビットは、オーバーラン状況へのSPDIFの対応を指示するのに使用されます
 - RXSTEO=0の場合、SPDIF-RXは失われるデータの量を最小限に抑えます
PCM MONOモード、またはエンコードされたオーディオ信号の受信に使用されます
 - RXSTEO=1の場合、SPDIF-RXはステレオサンプルのミスマイメントを回避します
PCM STEREOストリームを使用する必要があります(下図を参照)



SPDIF-RXは、ミスマイメントを発生させることなくオーバーランの状況から復旧できます。

RXSTEOビットは、SPDIF-RXがオーバーラン状況にどのように対応するかを指示します。

- RXSTEO=0の場合、SPDIF-RXは失われるデータの量を最小限に抑えることができます。PCM MONOモード、またはエンコードされたオーディオ信号の受信に使用されます。
- RXSTEO=1の場合、SPDIF-RXはステレオサンプルのミスマイメントを回避できます。PCM STEREOストリームに使用する必要があります。

- SPDIF-RXは単一の割込みラインにより以下のイベントを処理します

割込みイベント	説明	割込みのクリア方法
RXNE	データフロー用の受信バッファはノットエンプティ	SPDIF_DR読出し
CSRNE	制御フロー用の受信バッファはノットエンプティ	SPDIF_CSR読出し
PERR	データ破損検出	PERRCFを1にセット
FSERR	フレーム構造と同期エラー (SERR、TERR、FERRを含む)	SPDIFENを0にセット
OVR	オーバーフロー検出	OVRDCFを1にセット
SDB	新しいブロック検出の開始	SBDCFを1にセット
SYNCD	同期完了	SYNCD CFを1にセット



SPDIF-RXは、複数のイベントで共有される単一の割込みラインを提供します。

- エラーイベント
- データおよび制御フローの受信イベント
- 同期レディイベント
- ブロック検出イベント

SPDIF-RXクロック供給

- SPDIF_CLKは、受信S/PDIFストリームのサンプリングに使用されます
- SPDIF_CLK周波数は、受信オーディオ・ストリームのシンボルレートより少なくとも11倍高くする必要があります
- シンボルレートは、オーディオ・サンプリング・レート(IEC60958)の64倍

サンプルレート(シンボルレート)	最小SPDIF_CLK周波数
48kHz(3.072MHz)	33.8MHz
96kHz(6.144MHz)	67.6MHz
192kHz(12.288MHz)	135.2MHz



SPDIF_CLK周波数が高いほど、受信の信頼性も高くなります

SPDIFストリームを信頼性高くデコードするには、SPDIF_CLK周波数をシンボルレートより少なくとも11倍高くする必要があります。この表は、SPDIFストリームのサンプルレートに応じたSPDIF_CLKクロックの最小要求周波数を示しています。

SPDIF-RXのその他の機能

21

- SPDIF-RXは、シンボルレートを概算する手段を提供します
 - WIDTH5フィールドは、SPDIF_CLKクロックがカウントする5つのシンボルの継続時間を提供
 - 例: $f_{\text{SPDIF_CLK}} = 84\text{MHz}$ 、 $\text{WIDTH5} = 144\text{d}$ の場合、オーディオ・サンプリング・レートの概算値(f_s)は次のようになります
$$f_s = 5 \times f_{\text{SPDIF_CLK}} / (\text{WIDTH5} \times 64) \sim 45.6\text{kHz}$$
近いオーディオ標準周波数は44.1kHzなので、受信ストリームは44.1kHzとなる可能性が高いこととなります
- SPDIF_DIRレジスタにより、THLOおよびTHHIの概算値を確認することが可能です
- クロック・ドリフトを概算するため、SPDIF-RXはタイマに接続された `spdif_frame_sync` 信号を提供します



SPDIF-RXは、アプリケーションがCSチャンネルをデコードせずに、デコードされたストリームのサンプリング・レートを概算できるように情報を提供します。

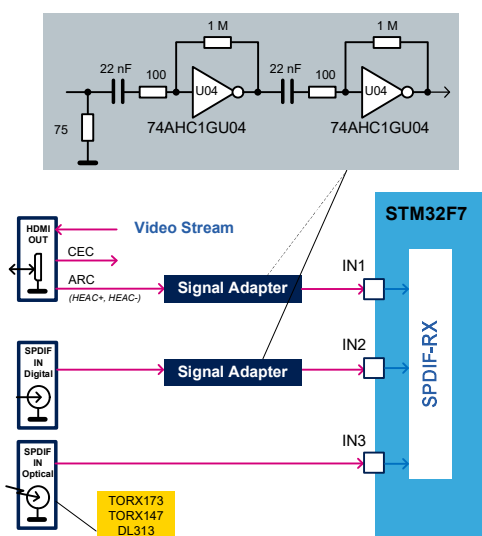
サンプリングレート概算の精度は、SPDIF_CLKの周波数によって部分的に制限されます。

アプリケーションは、概算THLOおよびTHHI閾値を確認してデバッグに利用できます。

SPDIF-RXは、タイマに接続できる `spdif_frame_sync` という名前の信号も提供して、クロック・ドリフトを概算します。

この機能は、回路がSPDIF-RXによりオーディオ・サンプルを受信し、オーディオ処理を実行して、外部オーディオ・デバイスに提供する場合に役立ちます。

この場合、レートアダプテーションを行うためにサンプルレートコンバーターが必要となり、クロックドリフトの推定が必要となる場合があります。



- SPDIF-RXは以下の信号を受信可能
 - SPDIFデジタル入力
 - SPDIF光入力
 - HDMIコネクタからのオーディオ・リターン・チャンネル
- SPDIFインターフェースから受信したピーク間で200mV(200mVpp)の信号を増幅するためには、シンプルな信号アダプタが必要になる場合がある



SPDIF-RXは以下の信号を受信できます：

- SPDIF入力
- SPDIF光入力
- HDMIコネクタからのオーディオ・リターン・チャンネル

SPDIFインターフェースから受信した信号(200mVpp)を増幅するためには、信号アダプタが必要になる場合があります。

ほとんどの場合、1つまたは2つのバッファなしインバータを使用すれば十分です。

SPDIFデコードでは、デコードに影響を与えずに信号の極性を反転できることに注意してください。レシーバが使用するのは遷移だけです。

モード	説明
RUN	アクティブ
SLEEP	アクティブ ペリフェラル割込みによって、デバイスはSLEEPモードを終了
STOP	停止。ペリフェラル・レジスタの内容は保持
STANDBY	パワーダウン ペリフェラルは、STANDBYモード終了後に再初期化する必要がある



各低電力モードにおけるSPDIF-RXのステータスの概要を示します。
 デバイスがSTOPモードおよびSTANDBYモードの場合、SPDIF-RXは機能しません。

- 詳細については、このペリフェラルに関連する次のトレーニングをご参照ください
 - リセットおよびクロック制御(RCC)
 - ダイレクト・メモリ・アクセス(DMA)コントローラ



これはSPDIF-RXに関連するペリフェラルのリストです。
可能な設定の詳細については、リセットとクロック制御、およびダイレクト・メモリ・アクセス・コントローラのトレーニングをご参照ください。