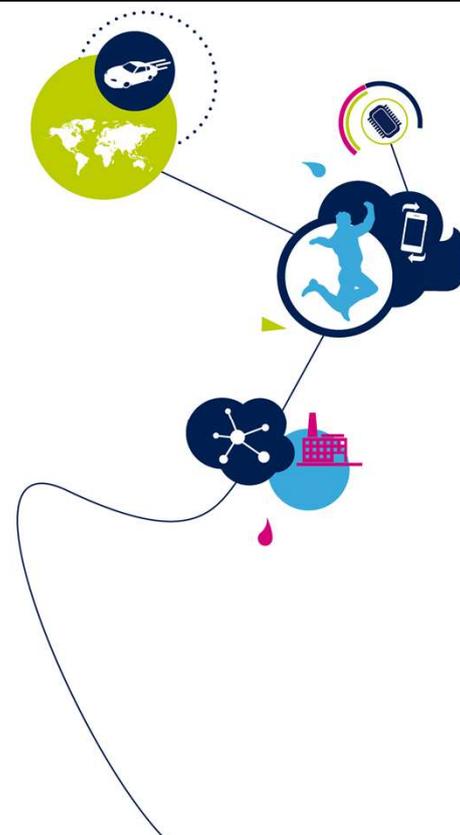
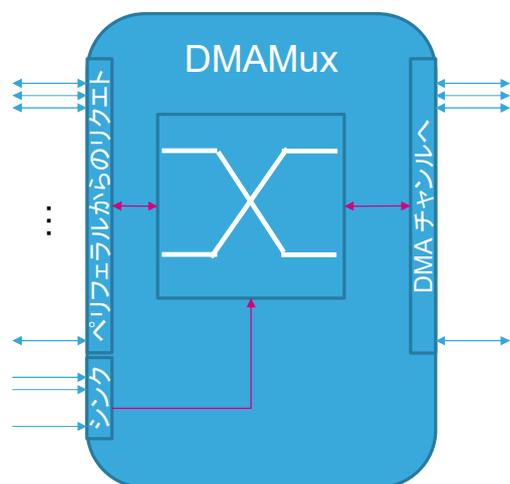


# STM32H7 - DMAMux

ダイレクト・メモリ・アクセス・マルチプレクサ  
1.0版



STM32H7 DMAリクエスト・マルチプレクサ (DMAMUX) のプレゼンテーションへようこそ。このモジュールの主な機能をカバーします。



- DMAリクエスト・ルータ(DMAMux)は:
  - ペリフェラルへのDMAリクエスト・ラインの割当て
  - 同期入力のイベントと同期を転送するリクエスト
  - DMAリクエスト・カウンタとDMA用イベント・ジェネレータを使ったリクエスト・チェイニング

### アプリケーション側のメリット

- 自由度の高いDMAリクエスト・マッピングの選択
- 外部および内部からのDMAリクエスト管理



life.augmented

DMAMUXリクエスト・マルチプレクサは、STM32H7のペリフェラルとDMAコントローラの間でDMAリクエスト・ラインをルーティングすることができます。このルーティング機能は、プログラマブルなマルチチャンネルDMAリクエスト・ライン・マルチプレクサによって確保されています。各チャンネルは、DMAMUXの同期入力から、無条件に、またはイベントに同期して、固有のDMAリクエスト・ラインを選択します。また、DMAMUXは、入カトリガ信号のプログラマブル・イベントからのDMAリクエスト・ジェネレータとしても使用できます。

- DMAリクエスト・ライン・マルチプレクサ
  - ペリフェラル・リクエストをDMAコントローラ・チャンネルに柔軟にマッピング可能
  - 最大107本のDMAリクエスト・ライン入力
  - 個別のイネーブル・ビットによる同期動作モード
  - 最大16個の同期入力セクタ
  - 選択された同期入力のイベント・オーバーラン・フラグ
- DMAリクエスト・ジェネレータ・チャンネル:
  - 非同期イベントでのDMAリクエスト・ジェネレート
  - 最大32個のDMAリクエスト・トリガ入力セクタ
  - 選択されたDMAリクエスト・トリガ入力のイベント・オーバーラン・フラグ



DMAMUXの主な特徴を紹介します。

- 最大16チャンネルのプログラム可能なDMAリクエスト・ライン・マルチプレクサ出力
- 最大8チャンネルのDMAリクエスト・ジェネレータ
- 最大107本のDMAリクエスト・ライン
- 同期動作モード

DMAリクエスト・ジェネレータのチャンネルごとに

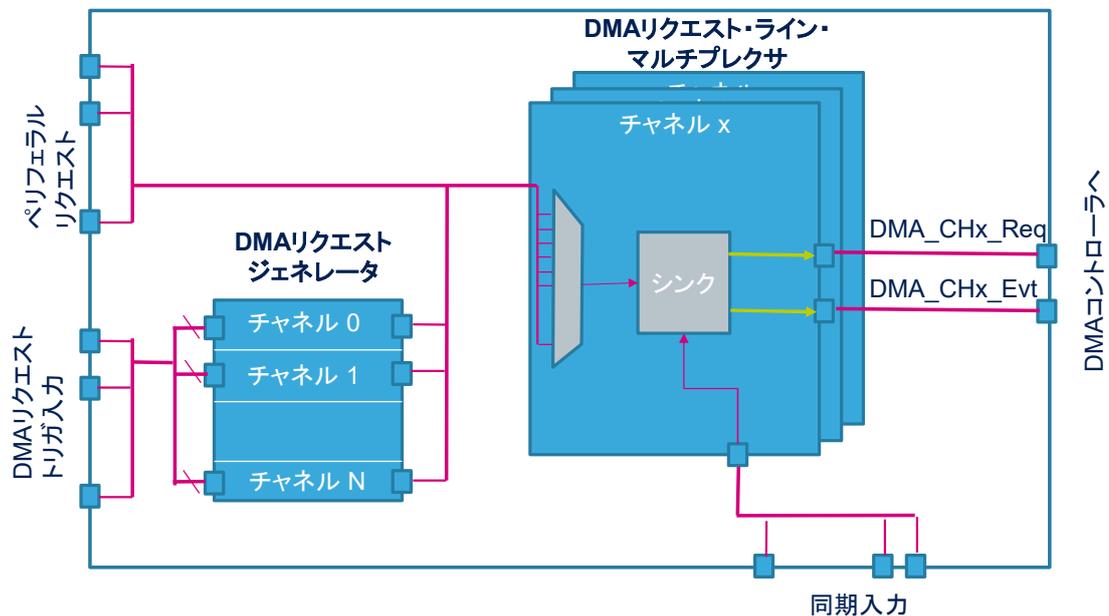
- DMAリクエスト・トリガ入力セクタ
- DMAリクエスト・カウンタ
- 選択されたDMAリクエスト・トリガ入力のイベント・オーバーラン・フラグ

DMAリクエストごとのライン・マルチプレクサ・チャンネル出力

- ペリフェラルからの最大107本の入力DMAリクエスト・ライン
- 1つのDMAリクエスト・ライン出力
- 同期入力セクタ
- DMAリクエスト・カウンタ
- 選択された同期入力のイベントオーバーラン・フラグ
- DMAリクエスト・チェイニングのための1つのイベント出力

## DMAMuxブロック図

4



DMAMUXリクエスト・マルチプレクサは、STM32H7のペリフェラルとDMAコントローラの間でDMAリクエスト・ラインをルーティングすることを可能にします。

ルーティング機能は、プログラマブルなマルチチャンネルDMAリクエスト・ラインマルチプレクサによって確保されています。

各チャンネルは、無条件に、またはイベントに同期して、DMAMUXの同期入力から固有のDMAリクエスト・ラインを選択します。

また、DMAMUXは、入カトリガ信号のプログラム可能なイベントからのDMAリクエスト・ジェネレータとしても使用できます。

ペリフェラルからのDMAリクエスト・ラインおよびDMAMUXリクエスト・ジェネレータ出力へのDMAMUXリクエスト・マルチプレクサ入力の割り当て、DMAコントローラ・チャンネルへのDMAMUXリクエスト・マルチプレクサ出力の割り当て、内部および外部信号へのDMAMUX同期およびトリガ入力の割り当ては、STM32H7の実装によって異なります(STM32H7のリファレンス・マニュアルをご参照ください)。

## 無条件動作モード

- 無条件で動作するモードでは、1つの入力DMAリクエストのマルチプレクサ・チャンネルの出力への接続は、以下の方法で選択される
  - チャンネル・コントロール・レジスタ(DMAMUX\_CxCR)のDMAREQ\_IDフィールドにあるプログラムされたリクエストID番号
  - ペリフェラルのリクエスト・ラインごとに、IDが割り当てられている
  - DMAREQ\_ID = 0x00は、DMAリクエスト・ラインが選択されていないことを示す
- DMAMUXチャンネルを設定した後、そのチャンネルがルーティングされるDMAコントローラ・チャンネルを設定することが可能
  - 同じDMAリクエスト・ソースを選択するために、2つの異なるDMAMUXチャンネルを構成することは出来ない



DMAMUXリクエスト・マルチプレクサは、無条件に動作するモードにおいて、ペリフェラルとDMAチャンネル間のDMAリクエスト・ラインのルーティングを可能にします。マルチプレクスが設定されていると、DMAリクエスト/アック・ノウレッジ制御信号の実際のルーティングが保証されます。

マルチプレクサ・チャンネルの出力への1つのペリフェラル・リクエストの接続は、チャンネル・コントロール・レジスタ(DMAMUX\_CxCR)のDMAREQ\_IDフィールドにプログラムされたリクエストIDによって選択されます。

- ペリフェラルのリクエスト・ラインごとに、IDが割り当てられています。
- DMAREQ\_ID = 0x00は、DMAリクエスト・ラインが選択されていないことを示します。

DMAMUXチャンネルを設定した後、そのチャンネルがルーティングされる、DMAコントローラ・チャンネルを設定することができます。同じDMAリクエスト・ソースを選択するために、2つの異なるDMAMUXチャンネルを構成することはできません。

## 同期動作モード

- 同期動作モードでは、入力DMAリクエストのマルチプレクサ・チャンネルの出力への接続が条件となる
  - 制御レジスタのSYNC\_IDフィールドで選択された同期入力イベント
  - 同期イベントは、立ち上がりエッジ、立ち下がりエッジ、または選択された入力のいずれかのエッジ
  - また、内蔵のDMAリクエスト・カウンタ
- 同期イベントの後、各DMAリクエストはDMAリクエスト・カウンタをデクリメント  
そのアンダーランでは:
  - DMAリクエスト・カウンタは、コントロールレジスタのNBREQフィールドの値で自動的にロードされる
  - そして、DMAリクエスト・ラインはマルチプレクサ・チャンネルの出力から切り離される



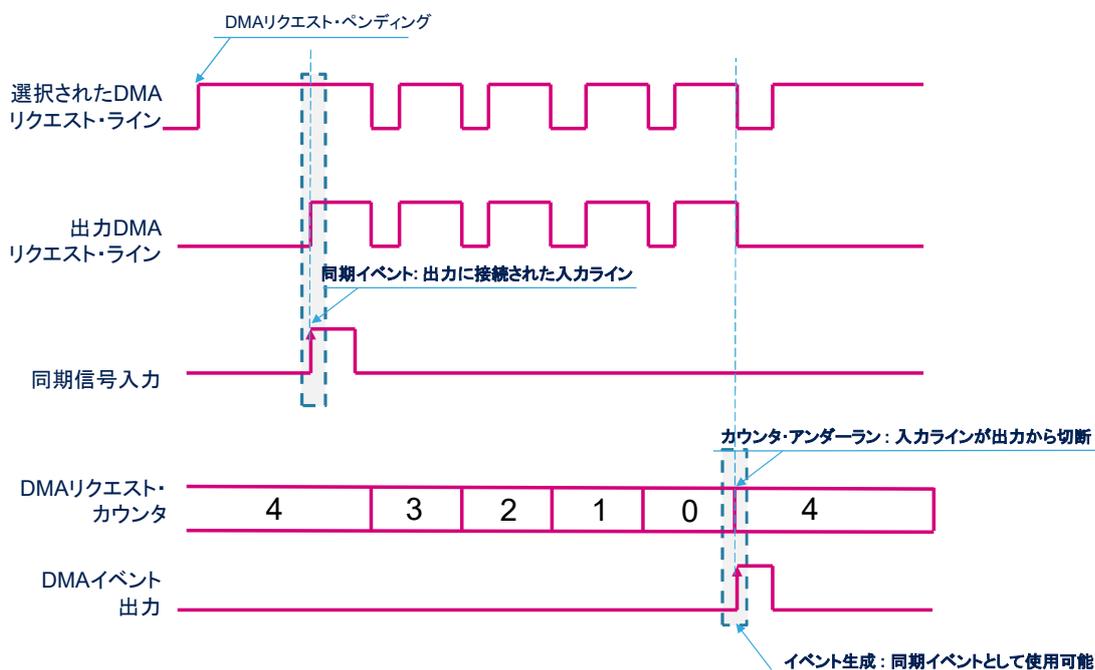
各DMAリクエスト・ライン・マルチプレクサは、対応するマルチプレクサ・チャンネル制御レジスタ(DMAMUX\_CxCR)の同期化イネーブル(SE)ビットを設定することで、個別に同期動作モードに設定できます。

DMAリクエスト・ルータには複数の同期入力があります。同期入力は、すべてのマルチプレクサ・チャンネルに並列に接続されています。

マルチプレクサ・チャンネルが同期動作モードの場合、選択された入力DMAリクエスト・ラインのマルチプレクサチャンネルの出力への有効な接続は、選択された同期入力上のイベントと内蔵DMAリクエスト・カウンタ上のイベントによって条件付けられます。

同期イベントが発生すると、選択されたDMAリクエスト・ラインがマルチプレクサ・チャンネルの出力に接続されます。この時点から、選択されたDMAリクエスト・ラインの各サービスDMAリクエスト(トランジション1-0)がDMAリクエスト・カウンタをデクリメントします。

アンダーラン時には、DMAリクエストが自動的にロードされ、DMAリクエスト・ラインはマルチプレクサ・チャンネルの出力から切断されます。したがって、同期イベント後にマルチプレクサ・チャンネルの出力に転送されるDMAリクエストの数は、NBREQフィールドの値に1を加算した値となります。



life.augmented

DMAMUXチャンネルを同期モードで設定した場合の動作は以下のようになります。

リクエスト・マルチプレクサ入力(ペリフェラルからのDMAリクエスト)はアクティブになることができますが、同期信号を受信するまでDMAMUXリクエスト・マルチプレクサ出力には転送されません。同期イベントを受信すると、リクエスト・マルチプレクサはその入出力を接続し、すべてのペリフェラルのリクエストを転送します。転送される各DMAリクエストは、リクエスト・マルチプレクサ・カウンタ(ユーザーがプログラムした値)をデクリメントします。カウンタがゼロになると、DMAコントローラとペリフェラルとの接続が切断され、新しい同期イベントを待ちます。

カウンタの各アンダーランに対して、リクエスト・マルチプレクサラインは、第2のDMAMUXラインと同期するためのオプションのイベントを生成することができます。一部の低消費電力シナリオでは、同じイベントを使用して、CPUの介入なしにシステムを停止モードに戻すことができます。

同期モードは、例えばタイマなどでデータ転送を自動的に同期させたり、ペリフェラルイベントで転送をトリガしたりするために使用することができます。

- 同期イベント(エッジ)は、エッジの後の状態が2HCLKクロック期間以上安定している場合に検出
- DMAMUXチャンネル・コントロール・レジスタ(DMAMUX\_CxCR)への書き込み後、3HCLKサイクルの間、同期イベントがマスクされる



同期イベント(エッジ)は、エッジの後の状態がAHBの2クロック期間以上安定している場合に検出されます。  
DMAMUX\_CxCRコントロールレジスタへの書き込み後、3HCLKサイクルの間、同期イベントはマスクされます。

## DMAリクエスト・ライン・マルチプレクサのイベント発生モード

- DMAリクエスト・ライン・マルチプレクサの各チャンネルは、イベント生成の動作モードに個別に設定することが可能
- DMAMUXチャンネル・コントロール・レジスタの個別イネーブルビット(EGEビット)
- DMAMUXチャンネルは、そのDMAリクエスト・カウンタが対応するNBREQフィールドの値で自動的にリロードされると、イベント(パルス)を生成
- DMAMUXチャンネルのイベント出力を、他のチャンネルの同期イベントまたはトリガとして使用可能
  - これにより、異なるDMAチャンネルでのリクエスト・チェイニングが可能になる

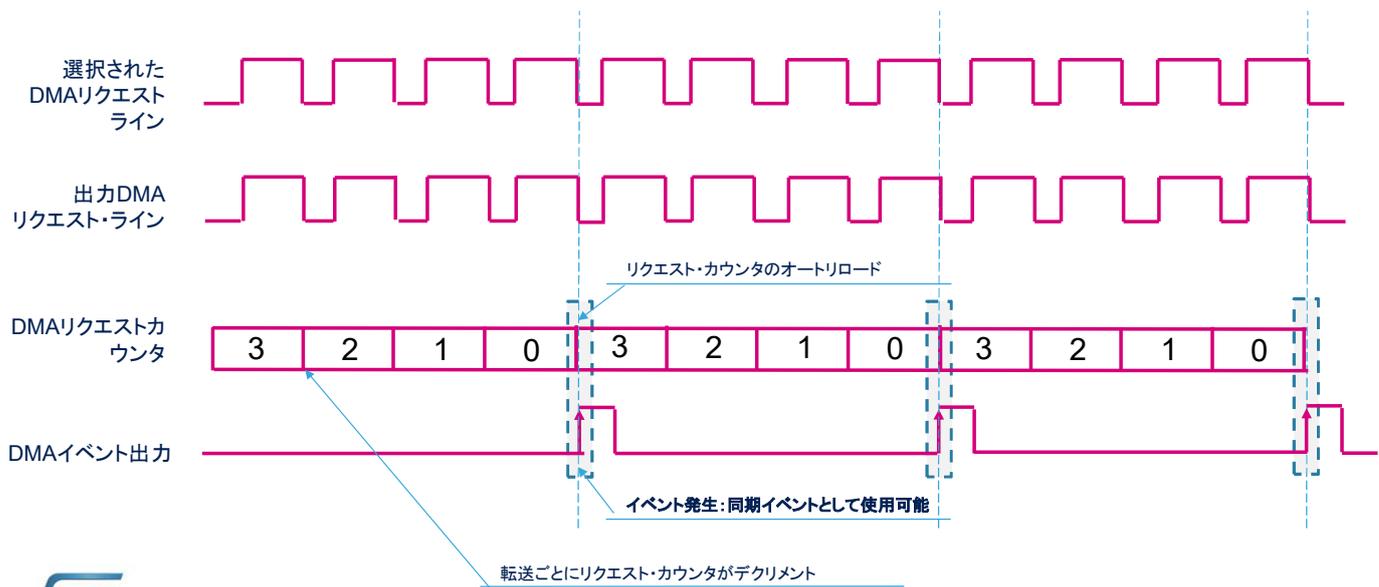


life.augmented

有効にすると、DMAリクエスト・カウンタが対応するNBREQフィールドの値で自動的に再ロードされるときに、マルチプレクサ・チャンネルがイベント(パルス)を生成します。  
イベントジェネレータは、対応するマルチプレクサ・チャンネルのコントロールレジスタにEGEビットを設定することで有効になります。

# DMAMuxイベント・ジェネレート・モード

10



DMAMUXチャンネルがイベント・ジェネレートモードの場合、DMAリクエスト・カウンタが自動的にリロードされるとイベント(パルス)を生成します。リクエスト・カウンタは、DMAリクエストの実行とともにデクリメントされます。

DMAMUXチャンネルのイベント出力は、他のチャンネルの同期イベントやトリガとして使用することができます。

## DMAリクエスト・ジェネレータの動作モード

- リクエスト・ジェネレータ・チャンネルが有効な場合、トリガ・イベントに応じてDMAリクエストを生成することが可能
- DMAジェネレータ・チャンネルの出力は、DMAリクエスト・ライン・マルチプレクサの入力へ移動
- 各ジェネレータ・チャンネルは、それぞれ個別のコンフィギュレーション・レジスタを持つ
  - SIG\_IDフィールドは、ジェネレータのリクエスト・トリガ入力に対応
  - GNBREQフィールドは、トリガイベントの後に生成するDMAリクエストの数に対応
  - GPOLフィールドは、トリガ入力のアクティブエッジに対応  
トリガイベントは、トリガ入力の立ち上がりエッジ、立ち下がりエッジ、またはいずれかのエッジのいずれか



DMAリクエスト・ジェネレータは、DMAリクエスト・トリガ入力のトリガ・イベントに応じてDMAリクエストを生成します。

DMAリクエスト・ジェネレータは複数のチャンネルを持っています。DMAリクエスト・トリガ入力は、すべてのチャンネルに並列に接続されています。

DMAジェネレータ・チャンネルの出力は、DMAリクエスト・ライン・マルチプレクサの入力に送られます。

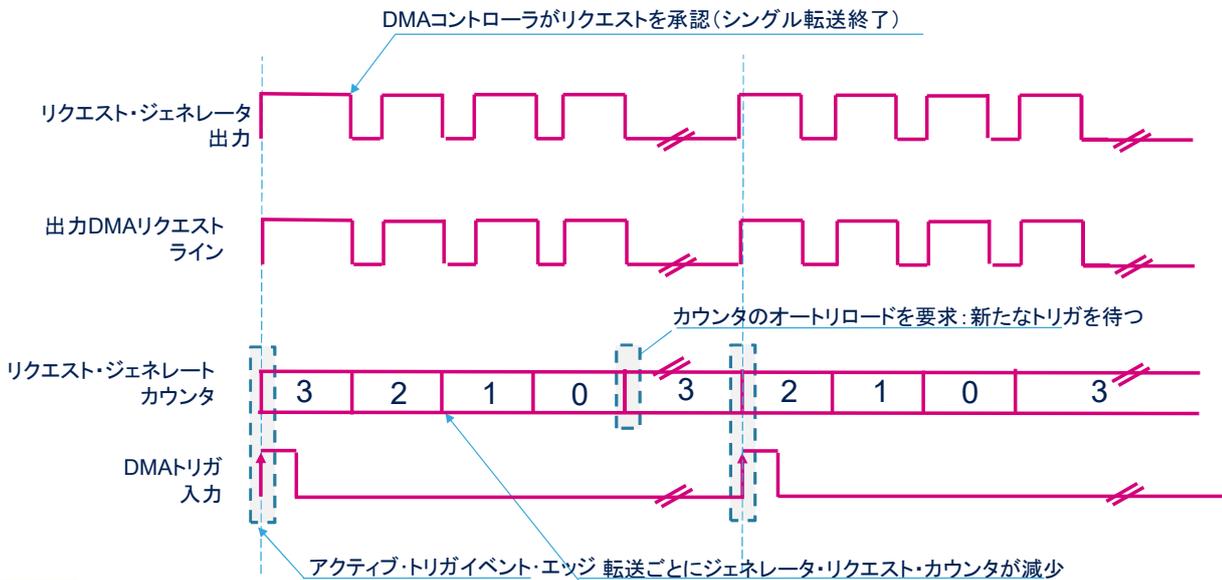
各DMAリクエスト・ジェネレータ・チャンネル(以下、ジェネレータチャンネル)には、イネーブルビットがあります。

ジェネレータ・チャンネルxのDMAリクエスト・トリガ入力は、対応するジェネレータ・チャンネルのコントロール・レジスタのSIG\_IDフィールドで選択されます。

DMAリクエスト・トリガ入力のトリガ・イベントは、立ち上がりエッジ、立ち下がりエッジ、またはいずれかのエッジが可能です。アクティブエッジは、対応するジェネレータ・チャンネルのコントロール・レジスタのPOLフィールドで選択します。

# DMAリクエスト・ジェネレート・モード

12



DMAMUXをDMAリクエスト・ジェネレート・モードで使用すると、以下のようなペリフェラルDMAリクエストとは異なるイベントでDMA転送を実行することができます。

外部割込みイベント、  
コンパレータ出力、  
RTCウェイクアップ、  
その他のイベント(STM32H7リファレンスマニュアルをご参照ください。)

プログラム可能なDMAリクエスト・カウンタにより、1回のトリガで生成するリクエストの数を設定することができます。

- トリガイベントが発生すると、対応するジェネレータ・チャンネルは、その出力にDMAリクエストの生成を開始
- トリガ・イベントの後、サービスされた各DMAリクエストは、DMAリクエスト・カウンタをデクリメント、そのアンダーランで
  - DMAリクエスト・ジェネレータ・カウンタは、ジェネレータ・コントロール・レジスタのGNBREQフィールドの値で自動的にロード
  - そして、ジェネレータ・チャンネルはDMAリクエストの生成を停止



life.augmented

トリガイベントが発生すると、対応するジェネレータ・チャンネルは、その出力にDMAリクエストの生成を開始します。生成されたDMAリクエスト(1から0への遷移)ごとに、内蔵のDMAリクエスト・カウンタが減少します。

アンダーランになると、DMAリクエスト・カウンタには、対応するジェネレータチャンネルのコントロールレジスタのGNBREQフィールドの値が自動的にロードされ、ジェネレータチャンネルはDMAリクエストの生成を停止します。

したがって、トリガイベント後に生成されるDMAリクエストの数は、GNBREQフィールドの値に1を加えたものになります。

## DMAリクエスト・ジェネレータの検討

- トリガ・イベント(エッジ)は、エッジ後の状態が2HCLKクロック期間以上安定している場合に検出される
- DMAMUXリクエスト・ジェネレータ・コントロール・レジスタ(DMAMUX\_RGxCR)に書き込んだ後、3HCLKサイクルの間、トリガ・イベントがマスクされる



life.augmented

トリガイベント(エッジ)は、エッジの後の状態がAHBの2クロック期間以上安定している場合に検出されます。

DMAMUX\_RGxCRコントロールレジスタに書き込んだ後、3HCLKサイクルの間、トリガイベントがマスクされます。

- 割込みを生成可能

- 各DMAリクエスト・ライン・マルチプレクサ・チャンネルの同期イベント・オーバーラン

- DMAリクエスト・カウンタの値がNBREQフィールドの値よりも小さい間に、新たな同期イベントが発生した場合に発生
- ステータスレジスタの同期オーバーランフラグSOFxを設定
- 同期オーバーラン割込みイネーブルビットSOIEが設定されている場合に割込みを発生

- 各DMAリクエスト・ジェネレータ・チャンネルのトリガ・イベント・オーバーラン

- DMAリクエスト・カウンタの値がGNBREQフィールドの値よりも小さい間に、新たなDMAリクエスト・トリガイベントが発生した場合に発生
- ステータスレジスタのトリガ・イベント・オーバーランフラグOFxを設定
- DMAリクエスト・トリガ・イベントのオーバーラン割込みイネーブルビットOIEがセットされている場合に割込みを発生



DMAリクエスト・カウンタの値がGNBREQフィールドの値よりも小さい間に新しいDMAリクエスト・トリガイベントが発生した場合、対応するジェネレータチャンネルのステータスレジスタDMAMUX\_RGSRにトリガ・イベント・オーバーランフラグOFxが設定されます。

オーバーラン・フラグOFxは、対応するDMAリクエスト・ライン・マルチプレクサ・チャンネルのDMAMUX\_RGCFRレジスタの関連するクリアビットCOFxを設定することでリセットされます。

DMAリクエスト・トリガのオーバーランフラグを設定すると、対応するジェネレータチャンネルのコントロールレジスタでDMAリクエスト・トリガ・イベントのオーバーラン割込みイネーブルビットOIEが設定されている場合には、割込みが発生します。

# DMAリクエスト・ルータの実装

16

- 本製品は、DMAリクエスト・ルータの2つのインスタンスを統合
  - DMA1およびDMA2のDMAMux1 (D2ドメイン)
  - BDMAのDMAMux2 (D3ドメイン)

特徴	DMAMux1	DMAMux2
DMAリクエスト・ライン・マルチプレクサ・チャンネルの数	16	8
DMAリクエスト・ジェネレータのチャンネル数	8	8
ペリフェラルDMAリクエスト入力数	107	12
DMAリクエスト・トリガ入力数	8	32
同期入力の数	8	16



STM32H7マイクロコントローラは、DMAリクエスト・ルータの2つのインスタンスを統合しています。

- D2ドメインのDMA1およびDMA2用のDMAMUX1
- D3ドメインのBDMA用DMAMUX2

## DMAMUX入力の例

17

RQ ID	リソース	RQ ID	リソース	RQ ID	リソース
1	Req. Gen. ch0	40	SPI2_TX	79	UART7_RX
2	Req. Gen. ch1	41	USART1_RX	80	UART7_TX
3	Req. Gen. ch2	42	USART1_TX	81	UART8_RX
4	Req. Gen. ch3	43	USART2_RX	82	UART8_TX
5	Req. Gen. ch4	44	USART2_TX	83	SPI4_RX
6	Req. Gen. ch5	45	USART3_RX	84	SPI4_TX
7	Req. Gen. ch6	46	USART3_TX	85	SPI5_RX
8	Req. Gen. ch7	47	TIM8_CH1	86	SPI5_TX
9	ADC1	48	TIM8_CH2	87	SAI1_A
10	ADC2	49	TIM8_CH3	88	SAI1_B
	...		...		...
39	SPI2_RX	78	HASH_IN	115	ADC3



これは、DMAMUX入力の例です。DMAMUX入力、同期イベント、リクエスト・ジェネレータ・トリガの詳細なリストについては、STM32H7xxリファレンス・マニュアルをご参照ください。

割り込みイベント	説明
SOFx	DMAリクエスト・ライン・マルチプレクサのチャンネルxで同期イベントのオーバーランが検出されたときに設定
OFx	DMAリクエスト・ジェネレータのチャンネルxでトリガ・イベント・オーバーランが検出された場合に設定



割り込みは以下の場合に発生します。

- 各DMAリクエスト・ライン・マルチプレクサ・チャンネルでの同期イベント・オーバーラン
- 各DMAリクエスト・ジェネレータ・チャンネルでのトリガ・イベント・オーバーラン

いずれの場合も、チャンネルごとに個別の割り込みイネーブルビットが用意されています。

- 詳細は、この周辺機能にリンクされているトレーニングをご参照ください。
  - STM32H7 DMAコントローラ(DMA)
  - STM32H7 基本DMAコントローラ(BDMA)



詳しくは、この周辺機能にリンクされているこれらのトレーニングをご参照ください。

- STM32H7 DMAコントローラ(DMA)
- STM32H7 基本DMAコントローラ(BDMA)