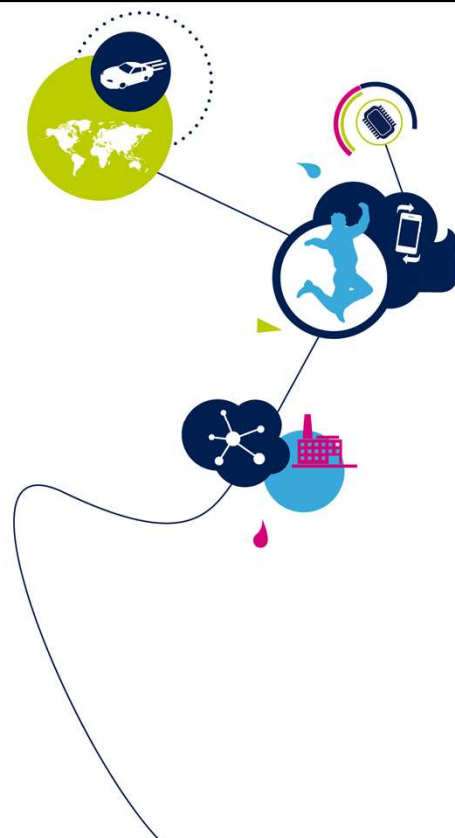


STM32H7 - PWR

電源コントローラ
1.0版



こんにちは、STM32H7電源コントローラのプレゼンテーションへようこそ。STM32MH7の電源管理機能と、すべての電力モードについて説明します。

- 電源管理と給電制御機能を提供
 - さまざまな電源設定
 - 電圧スケーリング
 - ドメイン毎の電力制御
 - 低電力モードからのウェイクアップ
- 5つの低電力モードと高速ウェイクアップ
- RTCおよびバックアップ・レジスタを備えたVBATバックアップ・モード
- 独立した電源

アプリケーション側の利点

- 降圧コンバータを内蔵し、低消費電力化を実現
- 消費電力の最適化:
 - ドメイン毎の電力制御
 - 動的電圧スケーリング
- 自律型D3ドメイン操作



STM32H7には、いくつかの低電力モードを含む、電源管理に関連するいくつかの重要な機能があり、I/O上のイベントでMCUを起動できるだけでなく、さまざまな低電力モードからウェイクアップができる多数のペリフェラルなどがあります。

D3自律モードは、CPUをウェイクアップさせずに通信ペリフェラルのデータを転送することができます。

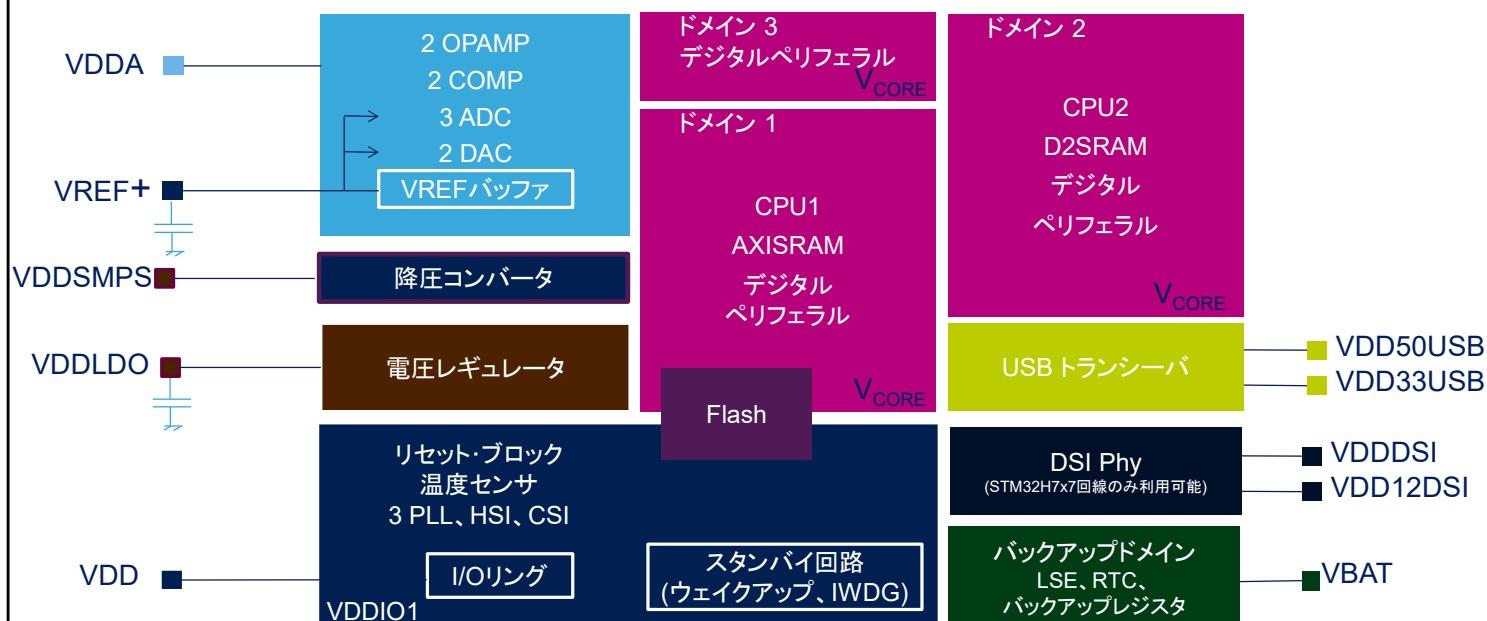
いくつかの電源が独立しているため、一部のペリフェラルを高電圧で供給しながら、MCUの消費電力を抑えることができます。

多数の電源モードと独立した電源ドメインにより、STM32H7デバイスは消費電力を最小限に抑え、アクティブなペリフェラル、必要な性能、必要なウェイクアップ・ソースに応じて消費電力を調整できる高い柔軟性を備えています。

統合された降圧コンバータは、最小限のコストでSTM32H7の消費電力を削減します。

電源設定

3



STM32H7デバイスには、複数の独立した電源があり、異なる電圧に設定したり、一緒に接続したりすることができます。主電源はVDDで、ポートA, C, Bの一部のI/Oを除く、ほぼすべてのI/Oに電源を供給しています。VDDはまた、リセットブロック、温度センサ、すべての内部クロックソースにも電源を供給しています。さらに、ウェイクアップロジックと独立したウォッチドッグを含むスタンバイ回路にも電源を供給しています。VDDIは、VCOREに直接供給することができる降圧コンバータに供給します。VCOREは、3つのドメイン(CPU1 Cortex-M7、CPU2 Cortex-M4、D3ドメイン)に接続される、ほとんどのデジタルペリフェラルとSRAMに供給します。Flashメモリは、VCOREとVDDの両方から供給されます。

VCOREは、VDDLDOに供給される電圧レギュレータを介して供給することができます。

STM32H7は、ペリフェラル用にいくつかの独立した電源を備えています。アナログペリフェラル用のVDDA、USBトランシーバ用のVDD50USBおよびVDD33USB、DSI物理層用のVDDDSIおよびVDD12DSIです。VREF+ピンは、アナログ・デジタルコンバータおよびデジタル・アナログコンバータの基準電圧として供給し、アプリケーションの外部バッファ基準として使用することができます。

VBAT端子にバックアップバッテリーを接続することで、バックアップドメインへ供給することができます。

独立した電源による電力とパフォーマンスの最適化

- V_{DD} 1.71~3.6V (外部供給スーパーバイザがある場合は1.62~3.6V)
 - V_{BAT} 1.2~3.6V、RTCと128バイトのバックアップ・レジスタを含む
 - V_{DDSMPS} 1.62~3.6V
 - V_{DDLDO} 1.62 ~3.6V ($V_{DDLDO} \leq V_{DD}$)
 - V_{DDA} 1.62~3.6V
 - $V_{DD50USB}$ 4.5~5.5V USB レギュレータ用
 - $V_{DD33USB}$ 3~3.6V USB トランシーバ用
 - V_{DDDSI} 3~3.6V DSI レギュレータ用
 - $V_{DD12DSI}$ DSI物理層の場合は1.2Vから
- 1.62V以上 (ADCまたはCOMP使用時)
 - 1.8V (DAC使用時)
 - 2.0V (オペアンプ使用時)
 - 1.8V以上 (V_{REFBUF} 使用時)

STM32H7x7ラインでのみ利用可能



メイン電源VDDは、1.71Vから3.6Vまでのすべての電源モードでフル機能の動作を保証しており、外付けの1.8Vレギュレーターからの供給も可能です。デバイスの機能は、ブラウンアウトリセットが発生する最小電圧である1.62 Vまで保証されています。また、異なる電圧で動作するペリフェラルのために、独立した電源も用意されています。

アナログ電源VDDAは、VDD以外の任意の電圧に接続できます。アナログ・デジタルコンバータやコンパレータを使用する場合、VDDAの電圧は1.62V以上、デジタル・アナログコンバータやコンパレータを使用する場合、VDDAの電圧は1.8V以上となります。オペアンプを使用する場合、VDDは2.0V以上でなければなりません。

USB電源VDD33USBは、VDD50USBから5Vで供給されるUSBレギュレータによって生成されます。USBを使用する場合、VDD33USBは3V以上でなければなりません。

1.62V以上のVDDDSIから供給されるDSIレギュレータがDSI電源VDD12DSIを生成します。DSIを使用する場合、VDD12DSIは1.2V以上でなければなりません。

バックアップドメインには、RTC、32.768kHzのLSE外部発振器、128バイトのバックアップレジスタが含まれます。

アナログ性能を引き出す独立した電圧リファレンス供給

- V_{REF+} : ADCおよびDACのリファレンス電圧
 - 外部のリファレンス電圧または内部の電圧リファレンス・バッファによって提供される
 - VREF+ピン、および内部電圧リファレンスは、TFBGA100パッケージでは使用できない
このパッケージでは、このピンはVDDAと二重に結合され、外部リファレンスに接続可能
この構成では、内部電圧リファレンス・バッファは使用不可

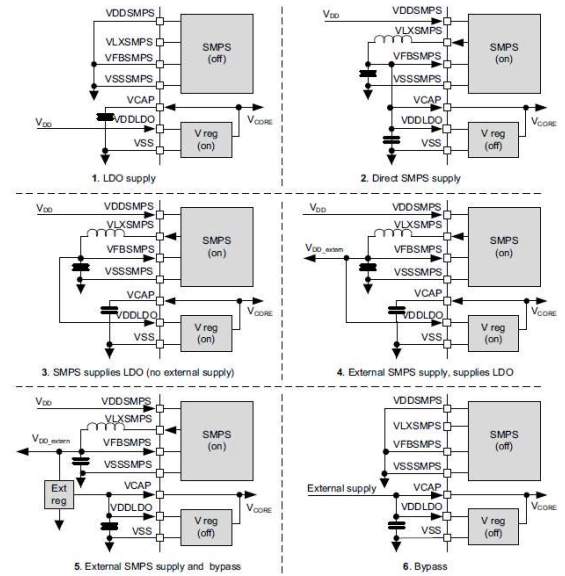


ADCとDACの電圧リファレンスは、外部電源または内部リファレンスバッファから供給することができます。これにより、絶縁された独立した基準電圧を供給することで、コンバータの性能を向上させることができます。

パフォーマンスとコストの柔軟な選択

• SMPS降圧コンバータ(SD)および電圧レギュレータ(LDO)からコアへ供給

- 構成1. LDOから供給(SDディセーブル)
 - VDDと同じ電源からLDOを供給
- 構成2. SDから直接供給(LDOディセーブル)
 - レギュレータはデバイスの動作モードに従う
- 構成3. SDからLDOへ供給(外部供給無し)
 - 両方のレギュレータは、デバイス動作モードに従う
- 構成4. SDは外部から供給、LDOは供給
 - SD は、高パフォーマンス・モードで強制的にオン
 - LDO は、デバイス動作モードに従う
- 構成5. SD外部から供給 & LDOはバイパス(LDOディセーブル)
 - SD は、高パフォーマンス・モードで強制的にオン
- 構成6. バイパス(SD & LDOディセーブル)



(VDD を供給するためにSDを使用することは出来ない)



SMPS降圧コンバート(ステップダウン(SD) コンバータ)は、3つのモードで使用するか、無効にすることができます。

1 – 構成 2 に示すように、直接VCOREドメインを指定します。これは最も低い電力消費を実現します。

2 – 構成 3 に示すように、中間的な電源レベルで電圧レギュレータを供給するために使用します。低ノイズのVCOREを供給することで、低消費電力を実現しています。

3 – 構成4および5に示すように、外部回路への供給に使用されます。この場合、電圧レギュレータは、降圧コンバータから供給されるのと同じ外部電源から供給することができます。

4 – 構成1と6に示すように無効になっています。これにより、より高い消費電力で低コストソリューションを提供します。

STM32H7の起動時には、PWRコントローラのCR3レジスタに電源構成が設定されます。このレジスタは、誤って上書きされないように、「一度のみの書込み」となっています。

SDコンバータは、STM32H7のVDD電源には使用できませんが、VDDIO2の電源には使用できます。

- VDD電源を降圧し、次の操作を行うために使用
 - V_{CORE} ドメインへ直接供給
 - SD動作モードは、デバイスの動作モード(RUN、STOP、STANDBY)に従う
 - SD出力レベルは、選択したVOSとSVOSに従う
 - コアLDOへ供給するための中間的に供給を提供
 - SD動作モードは、デバイスの動作モード(RUN、STOP、STANDBY)に従う
 - SD出力レベルは、選択したSDLEVEL(1.8または2.5V)に従う
 - 外部供給を行う
 - SDは、ハイパフォーマンス動作モードで常にオンに強制
 - SD出力レベルは、選択したSDLEVEL(1.8または2.5V)に従う
- 動作モード
 - ハイパフォーマンス(RUNもしくは外部電源)
 - 低電力(STOP)
 - オフ(STANDBY)



V_{CORE} へ直接電源を供給する場合、降圧コンバータはVOSおよびSVOSのスケールリングに従って電源レベルを供給します。降圧コンバータの動作モードは、デバイスのモードに従います。

電圧レギュレータへの供給に使用する場合、降圧コンバータは1.8Vまたは2.5Vの中間電圧を供給することができます。降圧コンバータの動作モードは、デバイスのモードに従います。

降圧コンバータを外部回路への供給に使用する場合、1.8Vまたは2.5Vの電圧を供給することがあります。この場合、動作モードは“ハイパフォーマンス”に固定されます。

- V_{DDLDO} の電源を V_{CORE} レベルに調整するために使用
 - V_{CORE} ドメインへ直接供給
 - LDO動作モードは、デバイスの動作モード(RUN、STOP、およびSTANDBY)に従う
 - LDO出力レベルは、選択したVOSおよびSVOSに従う
 - バイパス
 - LDOがオフの場合、コアドメインは V_{CORE} で直接供給
- 動作モード
 - メイン(RUN)
 - 低電力(STOP)
 - オフ(STANDBY)



電圧レギュレータは、使用時にはVOSおよびSVOSのスケールリングに従って V_{CORE} の電源レベルを供給します。ボルテージレギュレータの動作モードは、デバイスのモードに従います。 V_{CORE} が別の電源から供給されると、電圧レギュレータはバイパスモードになります。

バックアップ・ドメイン・レギュレータ

9

- 動作モード
 - オン
 - オフ
- バックアップRAMレベルに V_{SW} 電源を調整するために使用
 - V_{CORE} が存在する場合
 - バックアップ・ドメイン・レギュレータがオフ(バックアップ電池の消費を抑えることが可能)
 - バックアップRAMは V_{CORE} から供給されている
 - V_{CORE} が存在しない場合(スタンバイ、もしくは V_{BAT} モード)で、バックアップ・レギュレータが有効
 - バックアップ・ドメイン・レギュレータがオン
 - バックアップRAMは V_{BKUP} から供給されている
 - V_{CORE} が存在しない場合(スタンバイ、もしくは V_{BAT} モード)で、バックアップ・レギュレータが無効
 - バックアップ・ドメイン・レギュレータがオフ
 - バックアップRAMの電源がオフ(データが失われる)



バックアップレギュレータは、STANDBYモードおよびVBATモードにおいて、バックアップRAMの保持するために使用されます。バックアップレギュレータは、PWRLレジスタCR2のBRENビットによって有効になり、STANDBYまたはVBATモードに入る前に、その準備状態をチェックします。

- USBレギュレータ
 - USBインタフェースを提供するために使用し、外部ロジックを指定できない
 - USBトレーニングを参照
- DSIレギュレータ
 - DSIインタフェースを提供するために使用し、外部ロジックを指定できない
 - DSIトレーニングを参照

独立したUSBレギュレータは、5V電源から $V_{DD33USB}$ を生成します。

ダイナミックなパワー・マネージメントを可能にする電源監視

- 電源電圧の監視は以下の通り:
 - POR/PDR、BOR(リセット)、PVD(EXTIのしきい値割込み)を介して、 V_{DD} & V_{DDSMPS} に接続
 - AVD経由 V_{DDA} (EXTIでのしきい値割込み)
 - V_{BAT} しきい値経由の V_{BAT} (タンパ経由の割込み)
 - V_{CORE} コアドメイン電源、レベル検出器経由(リセット)
 - コアドメインの過電圧検出(SDを強制的に1.0V、ACTVOSRDY信号無効)
 - V_{SW} バックアップ・ドメインの供給、レベル検出器(リセット)経由
 - V_{BKP} バックアップ・ドメインRAMの供給、レベル検出器(レディレジスタビットBRRDY)
 - V_{FBSMPS} SDの供給規制、レベル検出器(レディレジスタビットSDEXTRDY)
 - $V_{DD33USB}$ USBの供給規制、レベル検出器(レディレジスタビットUSBRDY)
 - V_{CAPDSI} DSIは、レベル検出器(レディレジスタビットRRS)を介して、供給を規制



電源スーパーバイザは、動的な電源管理を確保します。

STM32H7デバイスは、メインVDD、アナログVDDA、VBAT電源入力、VCOREドメイン、バックアップVSWドメイン、バックアップレギュレータVBKP電源、降圧コンバータVFBSMPS、USBインタフェースVDD33USB電源、DSI VCAPDSI電源のパワーマネージメントを内蔵しています。

メインのVDDスーパーバイザは、リセット管理と、VDDが選択されたしきい値を超えたときのプログラマブル電圧検出器(PVD)による電圧検出を行います。PVDは、STANDBYモードを除くすべてのモードで有効です。ソフトウェアで7つのしきい値を選択することができます。また、外部ピンでの比較も可能です。

アナログVDDAスーパーバイザは、VDDAが選択されたしきい値を超えたときに、アナログ電圧検出器(AVD)による電圧検出を行います。AVDはSTANDBYモードを除くすべてのモードで有効です。ソフトウェアで4つのしきい値を選択できます。

VBATの電源電圧を監視し、VBATが最小および最大のしきい値を超えたときに検出します。VBAT電圧検出機能は、すべてのモードで有効にすることができます。

メインのVCOREスーパーバイザは、リセット管理と過電圧検出を行います。

バックアップドメインのVSWスーパーバイザは、電源が動作レベルを下回った際のリセット管理を行います。

バックアップレギュレータVBKP電源スーパーバイザは、STANDBYモードに入る前に、レギュレータがバックアップRAMを供給する準備ができているかどうかを確認します。降圧コンバータVFBSMPSの供給管理者は、コンバータの準備が整い、供給が選択されたレベルにあることを確認します。

USBインタフェースVDD33USB電源監視は、USBインタフェースの電源が供給されているかどうかを確認します。USB監視機能は、STANDBYモードを除くすべてのモードで有効です。

DSIレギュレータVCAPDSI電源スーパーバイザは、DSIレギュレータがDSIインタフェースに供給する準備ができていることを確認します。

安全で超低消費電力のリセット管理

- POR(パワーオン・リセット)
 - V_{DD} スーパーバイザ
 - V_{DD} レベルが閾値を超えたときにリセットを無効にするための固定レベル
- PDR
 - V_{DD} スーパーバイザ
 - V_{DD} がしきい値を下回ったときにリセットを生成する固定レベル
 - PDR_ON入力端子で有効/無効を切り替えることが可能
- BOR
 - V_{DD} スーパーバイザ
 - オプション・ビット**BOR_LEV[2:0]**,により、 $V_{BOR0} = 1.62V$ から $V_{BOR3}=2.78V$ までの4つのレベルが選択可能で、 V_{DD} レベルがしきい値を下回るとリセットが発生
 - システム・オプション・ビットで無効にすることが可能



V_{DD} 電源の監視により、安全で超低消費電力のリセット管理が提供されます。

STM32H7デバイスは、すべての電源モードで常に有効な超低消費電力のブラウンアウト・リセット(BOR)を内蔵しています。BORは、 V_{DD} の傾きにかかわらず、MCUが選択されたしきい値を下回るとすぐにリセットを生成します。1.62~2.78Vの4つのしきい値は、Flashメモリにプログラムされたオプションバイトによって選択できます。

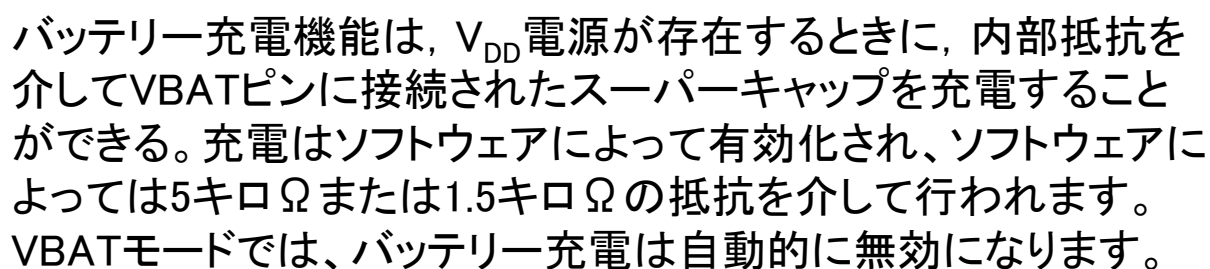
1.7VスレッシュホールドでのBOR消費電流はデータシートに記載されています。

- 温度しきい値
 - ジャンクション温度を監視
 - レジスタ・ビットMONENで有効/無効の設定が可能
 - タンパ・ウェイクアップ割込みに接続されたTEMPHおよびTEMPLレジスタ・フラグを提供

温度スーパーバイザは、ジャンクション温度が最小しきい値と最大しきい値を超えた場合に検出します。温度検出機能は、すべてのモードで有効にすることができます。

14

- 

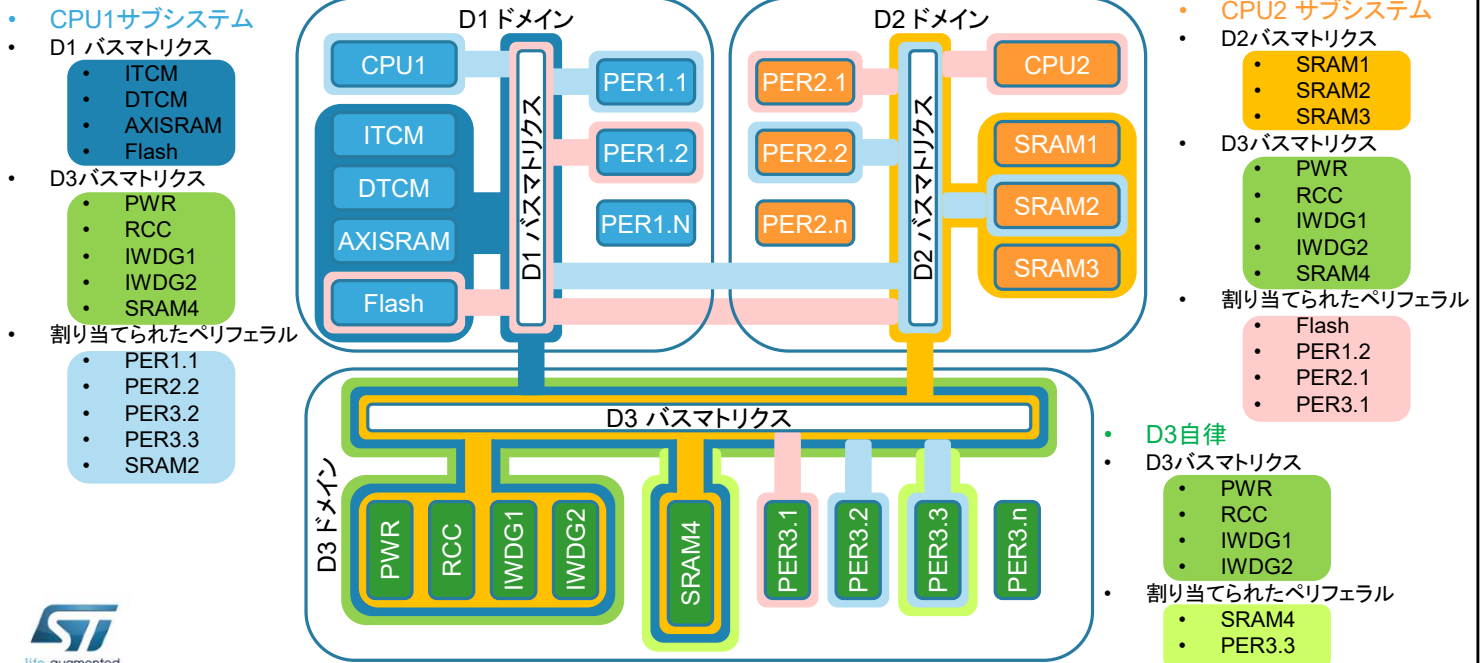


最適な消費電力のための動的なサブシステム構成

- システムは、そのサブシステムの環境を設定することができる:
 - CPU1(Cortex M7)
 - CPU2(Cortex M4)
 - D3自律
- ペリフェラルの割当てに応じてシステムを構成できる
 - CPUサブシステムは
 - CPUおよび関連するドメインバスマトリクス
 - D3ドメインバスマトリクス
 - バスマトリクス固定ペリフェラル
 - 割り当てられたペリフェラルと関連するドメインバスマトリクス (PERxEN)
 - D3ドメイン自律モードは、次の要素で構成
 - D3ドメインバスマトリクス
 - 自律モード割当てペリフェラル (PERxAMEN)
 自律モードのペリフェラルは、CPUサブシステムでも割り当てが必要



CPUやD3の自律モードにペリフェラルを割り当てることで、サブシステムの境界を制御することができます。サブシステムは、関連するCPUまたはD3の自律モードの動作モードに従います。これにより、サブシステムの消費電力を最適化することができます。ペリフェラルの割り当ては、PERxENおよびPERxAMENレジスタビットを介してRCCで行われ、ウェイクアップされたサブシステムに関連するドメインの自動ウェイクアップを可能にします。



CPU1がCRUNモードの場合、固定的に割り当てられたD1バスマトリクスおよびD3バスマトリクスのペリフェラルがクロック供給されます。必要に応じて他のペリフェラルを割り当てることができます。D2ドメインにペリフェラルを割り当てる場合、D2ドメインに電源が供給され、固定されたペリフェラルを持つD2バスマトリクスと、CPU1に割り当てられたペリフェラルがクロック供給されます。

CPU2がCRUNモードの場合、固定的に割り当てられたD2バスマトリクスおよびD3バスマトリクスのペリフェラルがクロック供給されます。その他のペリフェラルは必要に応じて割り当てられます。D1ドメインにペリフェラルを割り当てる場合、D1ドメインに電源が入り、固定ペリフェラルを持つD1バスマトリクスと、CPU2に割り当てられたペリフェラルがクロック供給されます。

D3が自律RUNモードの時は、固定的に割り当てられたD3バスマトリクスのペリフェラルと、D3ドメインの自律RUNモードに割り当てられたペリフェラルがクロック供給されます。

異なる V_{CORE} ドメイン、電圧スケーリング、独立した動作モードによる消費電力の最適化

- パワー・マネージメントは、 V_{CORE} の供給レベルとドメインの供給を制御する
 - V_{CORE} ドメインのパーティショニング
 - D1 ドメイン – CPU1 (CM7)、Flashメモリ、RAM、ペリフェラル
 - D2 ドメイン – CPU2 (CM4)、RAM、ペリフェラル
 - D3 ドメイン – RAM、ペリフェラル
 - 動作モード
 - CPU モード (Crun、Csleep、CStop)
 - ドメインモード(Drun、Dstop、DStandby)
 - システムモード(RUN、STOP、STANDBY)
 - 電圧スケーリング
 - RUNモード電圧スケーリング(VOS)は、3つの範囲を提供
 - STOPモード電圧スケーリング(SVOS)は、3つの範囲を提供



パワーマネジメント機能は、ドメインの動作モードに基づいて、異なるドメインの電源を制御します。システムおよびドメインの動作モードは、CPUの動作モードおよびCPUのサブシステム境界に依存します。

必要なパフォーマンスと消費電力との柔軟性

電圧レンジ	モード	SYSCLK	CM7	CM4	D2/D3ドメイン	STOPモード ウェイクアップ ペリフェラル
レンジ0	RUN	最大480 MHz	480 MHz	240 MHz	240 MHz	カーネル クロック オン
レンジ1	RUN	最大400 MHz	400 MHz	200 MHz	200 MHz	
レンジ2	RUN	最大300 MHz	300 MHz	150 MHz	150 MHz	
レンジ3	RUN	最大200 MHz	200 MHz	100 MHz	100 MHz	
	STOP					オフ
レンジ4	STOP	オフ	オフ	オフ	オフ	
レンジ5	STOP					



電圧スケーリングにより、様々なRUNモードが、要求される性能と消費電力の間で柔軟に対応します。

RUNモードレンジ0(高性能で高消費電力)では、システムクロックが480MHzに制限されます。

RUNモードレンジ1(高機能で高消費電力)では、システムクロックは400MHzに制限されます。

RUNモードレンジ2(中程度の性能と消費電力)では、システムクロックは300MHzに制限されます。

RUNモードレンジ3(低性能・低消費電力)では、システムクロックが200MHzに制限されます。

内部および外部の発振器とPLLは、最大周波数を考慮した上で、すべてのモードで使用できます。

RUNモードの範囲は、CPUがCStopモードであっても、システムクロックの周波数によって決定されます。

STOPモードレンジ3では、STOPモードからのウェイクアップ機能を持つペリフェラル(UART、SPI、I2C、LPTIM)が動作します。

STOPモードレンジ4と5では、STOPモードからのウェイクアップ機能を持つペリフェラルは無効になります。

- 各ペリフェラル・クロックのON/OFFを設定可能
 - リセット後は、Flashインタフェース・クロックを除くすべてのペリフェラル・クロックはオフになる
 - D1RUNモードではTCMとAXISRAMのクロックは常にオンになる
 - D2RUNモードではD2SRAMのクロックは常にオンになる
- Cortex-M4 (D2ドメイン-CPU2) がD2SRAMから起動している場合、またはD3SRAMから起動している場合
 - D1ドメインをパワーダウン・モードに切り替え可能
 - 割り込みベクタもSRAMに再マッピングが必要



各ペリフェラルクロックは、RUNモードおよび低電力ランモードでオンまたはオフに設定することができます。デフォルトでは、Flashインタフェースクロックを除き、すべてのペリフェラルクロックがオフになっています。SRAMクロックは、RUNモードで有効です。D1SRAM、D2SRAM、D3SRAMからの起動時には、ソフトウェアによってFlashメモリをパワーダウンモードにし、Flashクロックをオフにすることができます。スイッチオフ時にFlashメモリにアクセスしてはならないため、Cortex-Mのベクタテーブルオフセットレジスタを使用してSRAMに割り込みをマッピングする必要があります。

モード	説明
CRun	CPUアクティブ → CPU、CPUサブシステム・バス・マトリクス、CPUイネーブル・ペリフェラル・クロックがアクティブ
CSleep	CPU SLEEP → CPU クロックが停止、CPUサブ システム・バス・マトリクス、CPU スリープ・イネーブル・ペリフェラル・クロックがアクティブ
CStop	CPU ディープSLEEP → CPU、CPUサブシステム・バス・マトリクス、CPUペリフェラルクロックが停止

- CPUの動作モードは、CPUから直接制御される
 - 低電力モードに入る
 - CSleepはWFI/WFEの実行、またはISRからの復帰時に入る(DEEPSLEEP = 0)
 - CStopはWFI/WFEを実行するか、ISRから戻ってきたときに入る(DEEPSLEEP = 1)
 - 低電力モードの終了
 - WFIやISRからの復帰で低電力モードになったとき
 - 十分な優先度を持つCPUの割込みに
 - WFEで低電力モードになったとき
 - CPUイベントで
 - SVONPEND = 0 → 十分な優先順位のある割込みに
 - SVONPEND = 1 → 任意の割込み



低電力モードに入るCPUは、Cortex-MのWFI命令とWFE命令によって制御され、DEEPSLEEPビットによってCSleepモードとCStopモードを選択することができます。

CPUがCStopモードに入ると、ドメインやシステムの動作モードは、他のCPUやD3の自律モードに依存します。

十分な優先度を持つCPU NVIC割込みは、WFIまたはISRからのリターン後にCPUをウェイクアップさせます。

CPUイベント入力(rxev)は、WFE後にCPUをウェイクアップさせます。また、Cortex-MのSVONPENDビットがクリアされている場合は、十分な優先度を持つNVIC割り込みがWFE後にCPUをウェイクアップさせます。SVONPENDビットがセットされている場合、任意のNVIC割込みがWFE後にCPUをウェイクアップします。

モード	説明
DRun	ドメイン・バス・マトリクス、クロックアクティブ
DStop	ドメイン・バス・マトリクスとドメイン・ペリフェラル・クロックの停止
DStandby	ドメインのパワーダウン

- D1、D2ドメインの動作モードは、ドメイン内にペリフェラルを配置したCPUから制御
 - ドメインは
 - ドメイン・ペリフェラルを割り当てられたCPUがCRunまたはCsleepモードの時にDRun
 - 割り当てられたドメイン・ペリフェラルを持つCPUがCStopモードで、少なくとも1つのドメインPDDS_DnビットがSTOPを選択した場合は、DStop
 - 割り当てられたドメイン・ペリフェラルを持つCPUがCStopモードで、すべてのドメインPDDS_DnビットがSTANDBYを選択する場合は、DStandby



パワーマネージメント機能は、PWRLレジスタのPDDS_Dnビットにより、CPUの動作モードとドメインのパワーダウンDeepsleepの選択に基づいて、異なるドメインの電源を制御します。各CPUは3つのドメインの制御ビットをそれぞれ持っています。

ドメインは、ドメインのCPUがCStopモードであり、他のCPUがペリフェラルを割り当てられていないか、CStopモードでもある場合にのみ、DStopモードに入ります。

モード	説明
RUN	システム・クロックはアクティブで、システムに転送される
STOP	システム・クロックは停止
STANDBY	システムはパワーダウン(バックアップ・ドメインは有効な場合がある)

- CPUやウェイクアップ・ソースから制御されるシステムの動作モード
 - CPUがCRunまたはCSleepモードの時、またはウェイクアップ・ソースがアクティブな時に実行
 - CPUがCStopモード時、すべてのウェイクアップ・ソースがクリアされており、D3ドメインがRUNモードに強制されておらず、少なくとも1つのPDDS_DnビットがSTOPを選択している場合、STOP
 - CPUがCStopモード時、すべてのウェイクアップ・ソースがクリアされており、D3ドメインが強制的にRUNモードになっておらず、すべてのPDDS_DnビットがSTANDBYを選択しているときSTANDBY
- システムは、D3自律RUNモードをサポート
 - D3ドメインのペリフェラルを自律モードで有効にする必要がある
 - CPUは、RUN_D3レジスタ・ビットによりD3ドメインを強制的にRUNモードにする



STM32H7システム(D3ドメイン)の動作モードは、両方のCPUおよびD3自律モードから制御されます。システムは、両方のCPUがCStopモードで、アクティブなウェイクアップソースがない場合、またはD3ドメインが強制的にRUNモードになった場合にのみ、STOPまたはSTANDBYモードになります。

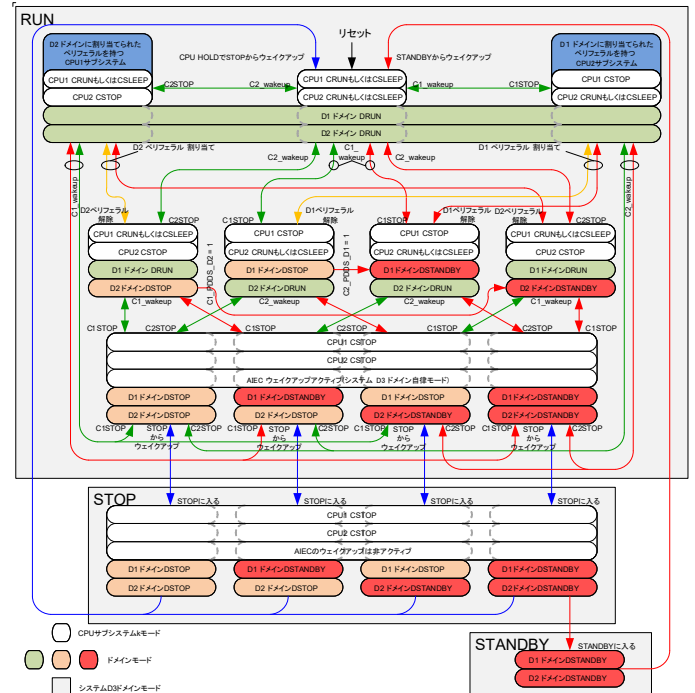
PWRレジスタビットPDDS_DnのパワーダウンDeepsleep選択により、全てのドメインがSTANDBYモードに入った場合のみ、システムはSTANDBYモードに入ります。

D3自律モードは、CPUがRUN_D3レジスタビットを介してD3ドメインを強制的にRUNモードにするか、ペリフェラルのウェイクアップソース要求によってシステムをRUNモードにすることができます。

システム・パワー・コントロール・ステータス

23

- システムの電源状態は、CPUとD3ドメインの両方から制御される
- ステート・トランジションは以下の方法で開始される
 - CPUが低消費電力モードに
 - CPUモード、ドメインモード、システムモード
 - ペリフェラルの割当てと解除
 - ドメインモード
 - ウェイクアップ・イベント
 - CPUモード、ドメインモード、システムモード
 - PDDSの設定を「STANDBY」に変更
 - ドメインモード



この図は、CPUの動作モードとD3の自律モードに関連するパワーモードの全体像を示しています。

すべてのペリフェラルが利用可能で、最速のウェイクアップ・タイム

- コアの停止時、各ペリフェラル・クロックのゲートON/OFFが可能
- WFI(Wait For Interrupt)またはWFE(Wait For Event)の実行により入力される
- このモードに入るための2つのメカニズム
 - **SLEEP Now:** WFI/WFE命令が実行されると、マイコンはスリープ・モードに入る
 - **SLEEP on Exit:** 最も優先度の低いISRを終了すると、マイコンはSLEEPモードに入る
 - SLEEPモードに入る前にスタックがポップされていないと、次の割込みが発生したときにプッシュされず、実行時間を節約することができる
 - Cortex-Mシステム・コントロール・レジスタ[SLEEPONEXIT]による制御

SLEEPモードと低電力SLEEPモードでは、すべてのペリフェラルが使用可能で、最速のウェイクアップタイムを実現します。これらのモードでは、CPUは停止し、各ペリフェラルクロックはソフトウェアによって設定され、SLEEPモードおよび低電力SLEEPモード中にゲートON/OFFされます。これらのモードは、アセンブラ命令のWFI(Wait for Interrupt)またはWFE(Wait for Event)を実行することで入ります。低電力RUNモードで実行すると、低電力RUNモードになります。Cortex-M4システム制御レジスタのSLEEPONEXITビット設定に応じて、MCUは命令が実行されると同時に、または最も優先度の低い割込みサブルーチンを終了すると同時に、SLEEPモードに入ります。この最後の設定により、スタックのポップ/プッシュが不要となり、時間と消費を節約できます。

フルリテンションによる低消費電力モード、64MHzで38 μ sのウェイクアップ・タイム

- すべてのメモリとすべてのペリフェラル・レジスタのデータが保持される
- すべての高速クロックの停止
- LSE (32.768kHz外部発振器)とLSI (32kHz内部発振器)を有効にすることが可能
- 複数のペリフェラルがアクティブになり、STOPモードからウェイクアップできる
- ウェイクアップ時のシステム・クロックは最大64MHzのHSIまたはCSIを選択可能
- STOPレンジ4と5の消費量は少なく、STOPレンジ3はよりアクティブなペリフェラルをサポート



STM32H7デバイスは、3つのSTOPモードを備えています。STOPレンジ3、レンジ4、レンジ5は、フルリテンションと64MHzでのRUNモードへの高速ウェイクアップタイムを備えた、最も低消費電力のモードです。

SRAMとすべてのペリフェラル・レジスタの内容は、すべてのSTOPモードで保存されます。

すべての高速クロックが停止します。

32.768kHzの外部発振器と32kHzの内部発振器を有効にすることができます。

複数のペリフェラルをアクティブにして、STOPモードからウェイクアップすることができます。

ウェイクアップ時のシステムクロックは、内蔵の高速・低消費電力(CSI)発振器で、FLASHからわずか12 μ sで最大64MHzのクロックを得ることができます。

STOPレンジ4およびレンジ5の消費量はSTOPレンジ3よりも少ないが、よりアクティブでないウェイクアップ・ペリフェラルをサポートします。

「マスタ」CPUによるシステム・クロックの再初期化を許可

- STOPモードからの復帰時には、クロック・システムがリセットされる
- STOPホールド機能は、「マスタ」CPUがクロック・システムを再初期化するための機能
 - 「スレーブ」CPUへのウェイクアップ割込みは、「スレーブ」CPUをホールドし、「マスタ」CPUへのウェイクアップ・ホールド割込みを発行
 - クロック・システムを再初期化した「マスタ」CPUは、「スレーブ」CPUへのホールドを解除



STOPホールド機能とは、「マスタ」と呼ばれるCPUがクロックシステムを再初期化できるように、STOPモードを抜ける際に、「マスタ」と呼ばれるCPUがシステムを再初期化するまで、「スレーブ」と呼ばれるCPUをホールドする機能です。そのためには、STOPモード割込みからの「スレーブ」CPUのウェイクアップで「スレーブ」CPUをホールドし、ウェイクアップホールド割込みで「マスタ」CPUをウェイクアップします。「マスタ」CPUがシステムを再初期化すると、「スレーブ」CPUのホールドを解除し、その後、「スレーブ」CPUが最初のウェイクアップ割込みを受信します。

STOPモード比較

27

	STOPレンジ3	STOPレンジ4	STOPレンジ5
消費電流	25 °C、3.3V		
	350 μA	220 μA	150 μA
64MHzまでの ウェイクアップ・タイム	Flashメモリで12μs	Flashメモリで23μs	Flashメモリで38μs
ウェイクアップ・クロック	HSIは64MHzまで、CSIは4MHzまで		
レギュレータ	レギュレータ・メインモード	レギュレータ低電力モード	
ペリフェラル	LPTIM、RTC、I/O、BOR、PVD、AVD、COMP、IWDG		
	STOPモードからウェイク アップ可能な他の ペリフェラル	なし	



STOPモードを比較するとSTOPレンジ3の消費電流はSTOPレンジ4、5よりも多いが、ウェイクアップ時間が短く、アクティブなペリフェラルの数も多くなります。

STOPレンジ3ではV_{CORE}領域をRUNレンジ3と同じ電源レベルに保つことで、RAMからの再起動時に12 μ s以下の非常に短いウェイクアップタイムを実現していますが、消費電力はSTOPモードのレンジ4および5よりも大きくなっています。

STOPモードからのウェイクアップをサポートするペリフェラル（UART、SPI、I2C、LPTIM）でSTOPレンジ3からのウェイクアップが可能です。

バックアップRAM保持、 V_{BAT} への切り替え、I/O制御による低消費電力モード

- デフォルトではRAMもレジスタも保持されない(パワーダウン時の電圧レギュレータ) 128バイトのバックアップ・レジスタは常に保持される
- 4キロバイトのバックアップRAMを保持することが可能
- 超低消費電力BORは常にON: V_{DD} の傾きに関わらず安全にリセット
- 6つのウェイクアップ・ピン: 6つのウェイクアップ・ピンの極性をそれぞれ設定可能
- ウェイクアップ・クロックはHSI 64MHz



STANDBYモードは最低消費電力モードで、4キロバイトのバックアップRAMを保持でき、VDDからVBATへの自動切り替えに対応し、I/Oレベルは独立したプルアップ/プルダウン回路で設定できます。

デフォルトでは、電圧レギュレータはパワーダウンモードになり、SRAMとペリフェラルレジスタの設定は失われます。128バイトのバックアップレジスタは常に保持されます。

ソフトウェアによって、4キロバイトのバックアップRAMを保持することができます。

超低消費電力のブラウンアウトリセットが常にONになっているので、VDDの傾きにかかわらず、安全にリセットすることができます。各I/Oは、プルアップまたはプルダウンの有無を設定することができ、APCコントロールビットによって適用/解除されます。これにより、STANDBYモード時でも、外部機器の入力状態を制御することができます。

6つのウェイクアップピンが用意されており、STANDBYモードからの起動が可能です。6つのウェイクアップピンの極性はそれぞれ設定可能です。

ウェイクアップクロックは、周波数64MHzのHSIです。

V_{DD}喪失時にもRTCが動作、バックアップ・レジスタが保存

- バックアップ・ドメインに含まれる
 - 32.768kHz LSE発振器によるRTC、3つのタンパ・ピンを含む
 - 128バイトバックアップ・レジスタ
 - RCC_BDCRLレジスタ
 - 4キロバイト・バックアップ・メモリ、バックアップ・レギュレータが有効な場合
- V_{DD}のパワーダウン時と電源投入時に、V_{BAT}とV_{DD}を自動的に内部で切り替える
- 電圧モニタリング用ADCへの内部接続(V_{BAT}/4)
- V_{BAT}充電



バックアップドメインでは、VBAT端子に接続されたバックアップバッテリーにより、VDD電源がダウンした場合でも、RTCの機能を維持し、バックアップレジスタを保持することができます。

バックアップドメインには、32.768kHzの低速外部発振器によってクロックされるRTCが含まれています。3本のタンパピンはVBATモードで機能し、侵入を検知した場合、VBATドメインに含まれる128バイトのバックアップレジスタを消去します。

バックアップドメインには、RTCのクロック制御ロジックも含まれています。

VDDがあるしきい値以下になると、バックアップドメイン電源は自動的にVBATに切り替わります。VDDが正常に戻ると、バックアップドメイン電源は自動的にVDDに切り替わります。

VBAT電圧は、バックアップ電池のレベルを監視するために、内部でADCの入力チャネルに接続されています。

VDDが存在する場合、VBATに接続されたバッテリーは、VDDの供給から充電することができます。

- CPUがCStopモードに入った場合
 - CPUドメインは
 - CRunモードまたはCSleepモードの他のドメインCPUがペリフェラルを割り当てた場合、RUNモードにとどまる
 - DStopモードに入る
 - 許可されている場合は、DStandbyモードに入る
 - システムでは
 - 他のドメインのCPUがCRunまたはCSleepモードである場合、またはウェイクアップ・ソースがアクティブである場合には、RUNモードを維持
 - STOPモードに入る
 - 許可されている場合は、STANDBYモードに入る
- ドメインとシステムの動作モードは、両方のCPUと自律モードの設定に依存



CPUは、DEEPSLEEPビットが設定されたWFIまたはWFEを実行すると、CStopモードになります。ドメインやシステムの状態は、他のCPUの動作モードやウェイクアップソースの状態にも依存します。相手のCPUがドメイン内に割り当てられたペリフェラルを持たない場合や、相手のCPUもCStopモードである場合に限り、ドメインはDStopまたはDStandbyモードに入ることができます。さらに、どのウェイクアップソースもアクティブでない場合、システムはSTOPまたはSTANDBYモードに入ることができます。

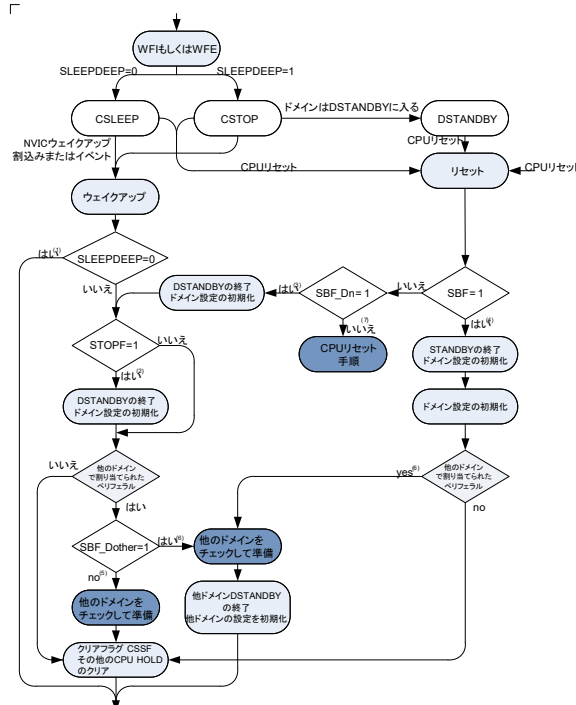
CPUがCStopモードから起動

31

- CStopモードからCPUがどのドメインやシステムの低電力モードから起動するかを知るために、フラグが用意されている
 - SBF_Dn
 - CPUドメインがDStandbyモードから起動
(システムがRUNモードのままの場合と、STOPモードから起動した場合がある)
 - CPUはリセットから開始
 - STOPF
 - システムがSTOPモードから復帰
 - AIECまたはペリフェラルにCPUへのウェイクアップ割込みが保留される
 - SBF
 - STANDBYモードからシステムが起動
 - CPUがリセットから起動し、AIECにウェイクアップ割込みが保留されていない



CPUがCStopモードから立ち上がる時、ドメインやシステムがどのモードから立ち上がったかを知る必要があります。そのために、CPUは専用のフラグビットSBF_D1, SBF_D2, SBF, STOPFを持っています。これらのビットは、システムの状態と、どの部分を再初期化する必要があるかをCPUに知らせます。



- CPUのウェイクアップ状態は、ドメインとシステムの状態に依存

CPU モード	ドメイン モード	システム モード	S B F _ D n	S B F	S T O P F	RUNモードへの CPUウェイクアップ	システム・クロック
CSleep	DRun	RUN	0	0	0	NVIC割込みまたはイベントにより	変わらず
CStop						DStop	
	DStandby	RUN	1	0	0		変わらず
		STOP	1	0	1	STOP後デフォルト	
	STANDBY	0	1	0	リセット経由のWKUPウェイクアップにより	STANDBY後にリセット	
任意	任意	任意	0	0	0	リセット経由のPORにより	STANDBY後にリセット



この表では、CPU、ドメイン、システムモード、ウェイクアップフラグビットについて完全に把握することができます。また、CPUがどのようにして起こされたのか、割り込みやイベント、あるいはCPUのリセットなどを示しています。

割込み イベント	説明	可能性
WKUP[6:1]	STANDBYモードからウェイクアップ EXTIへのイベント信号を介してSTOPモードからウェイクアップ	RUN、STOP、STANDBY
PVDO	EXTIへのイベント信号を介してSTOPモードからウェイクアップ	RUNとSTOP
AVDO	EXTIへのイベント信号を介してSTOPモードからウェイクアップ	RUNとSTOP
VBATH、 VBATL	STANDBYモードからのウェイクアップと、 RTCタンパ割込みによるSTOPモード	RUN、STOP、STANDBY
TEMPH、 TEMPL	STANDBYモードからのウェイクアップと、 RTCタンパ割込みによるSTOPモード	RUN、STOP、STANDBY



ここでは、PWRコントロール関連の割込みの概要を説明しています。

- 以下のオプション・ビットは、特定の低電力モードを禁止するように設定できる
 - nRST_STDBY: オフにすると、STANDBYモードに入るとリセットが生成
 - nRST_STOP: オフにすると、STOPモードに入るとリセットが生成



Flashのオプションバイトには、特定の低消費電力モードへの移行を禁止するためのビットが2つ用意されています。これらのオプションビットをクリアすると、STANDBYモードやSTOPモードに入る際にリセットがかかります。これは、意図せずにこれらの低電力モードに入ってしまった場合の影響を軽減するためのセキュリティ機能です。これらの低電力モードをユーザーコードで使用しない場合は、このオプションを有効にしてください。

- DBGMCU_CRレジスタはSTANDBYモードでデバッグを有効にする
 - DBG_STANDBY: セットすると、STANDBYモード時にデジタル部の電源を落とさない
STANDBYモードを解除する際には、リセットが発生
- DBG_STANDBYが有効な場合、
STANDBYモードの間はデバッガとの接続が維持される
ウェイクアップ後も、デバッグは可能



デバッグコントロールレジスタは、STANDBYモードでのデバッグを有効にするために使用します。関連ビットがセットされている場合、STANDBYモードではレギュレータがONに保たれ、ドメインに電力が供給されます。これにより、低消費電力モードの間、デバッガとの接続が維持され、ウェイクアップ後もデバッグが継続されます。これらのビットがセットされていると、すべての低電力モードにおいて、レギュレータを強制的に有効にしておくため、消費電力が大きくなるので、MCUがデバッグ中でないときは、これらのビットをクリアすることを忘れないでください。

- 電源モードとの依存関係の詳細については、次のペリフェラル・トレーニングの一覧をご参照ください
 - リセットとクロック・コントロール(RCC)
 - 割込み(NVIC EXTI)
 - デジタル・アナログ・コンバータ(DAC)
 - コンパレータ(COMP)
 - 低電力タイマ(LPTIM)
 - 独立ウォッチドッグ(IWDG)
 - リアルタイム・クロック(RTC)
 - インター・インテグレートド・サーキット(I2C)インタフェース
 - ユニバーサル同期非同期受信送信(USART)
 - 低電力ユニバーサル非同期受信送信(LPUART)
 - シングル・ワイヤ・プロトコル・マスタ・インタフェース(SWPMI)
 - USBオンザゴー・フルスピード(OTG_FS)



このトレーニングに加えて、リセット、クロック制御、割込みのトレーニングや、STOPからの起動やSTANDBY機能を持つすべてのペリフェラルのトレーニングもご参照ください。