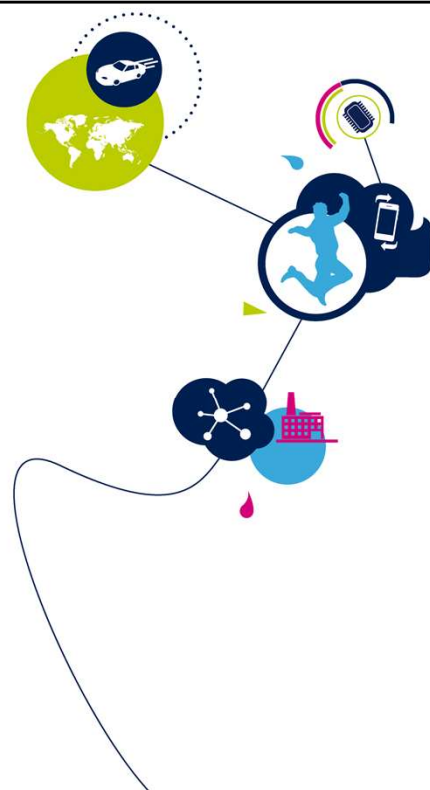


STM32MP1 – HW ARCH

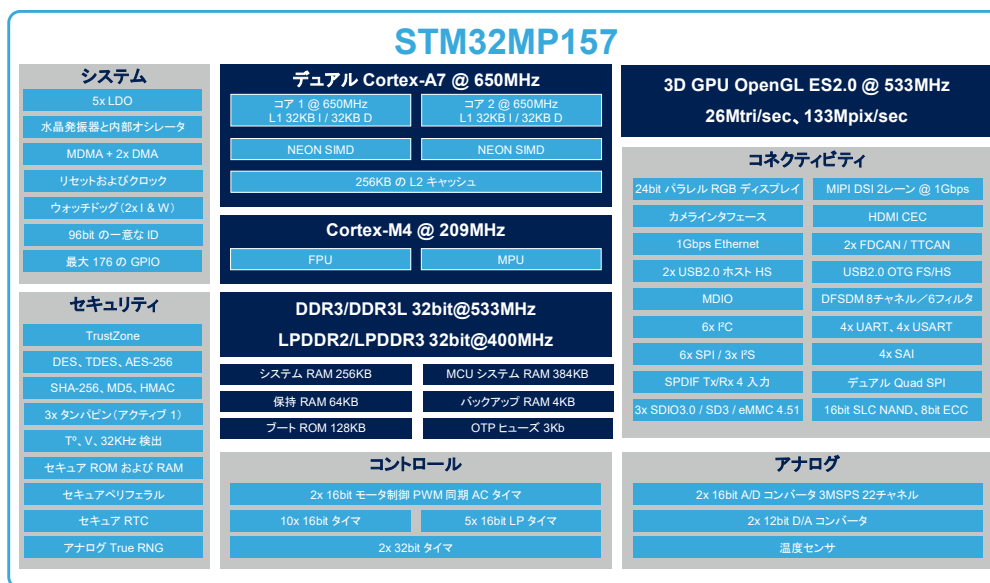
ハードウェアアーキテクチャ
1.0 版



こんにちは、STM32MP1 シリーズのハードウェアアーキテクチャの概要へようこそ。



STM32MP1 ブロック図



このブロック図は、STM32MP1 シリーズのハイエンド系列の一部である STM32MP157 の主要な機能をまとめたものです。

STM32MP157 マイクロプロセッサは、デュアル Cortex-A7 32bit コアと単精度および倍精度の浮動小数点ユニット、および Arm® NEON™ 高度 SIMD 命令セットを統合し、最大 650MHz で動作できます。各コアには、32KB のレベル 1 命令キャッシュと 32KB のレベル 1 データキャッシュ、および 2 つのコア間で共有される 256KB のレベル 2 キャッシュがあります。

この強力なアプリケーションコアに加えて、最大 209MHz で動作する Cortex-M4 32bit RISC コア (単精度浮動小数点ユニット付き) も組み込まれています。

最後に、Open GL ES 2.0 をサポートし、最大 533MHz で動作する強力な 3D GPU が利用できます。

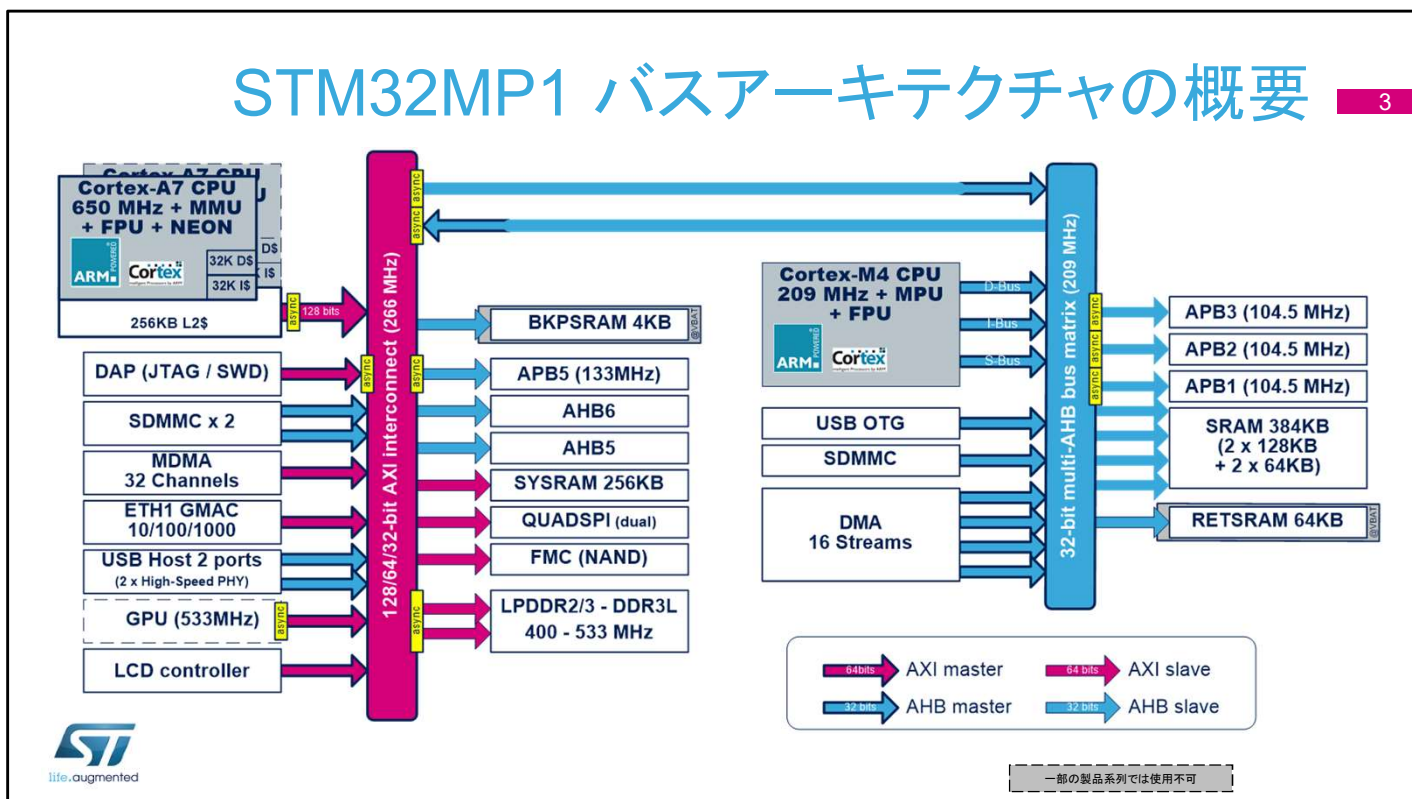
内部 SRAM メモリのサイズは 708KB で、分散型アーキテクチャにより次のように分割されています。

- 256KB の AXI システム RAM
- 384KB の AHB MCU サブシステム RAM
- バックアップドメインに 64KB の AHB MCU サブシステム保持 RAM
- 最低電力モードでデータを保つために、バックアップドメインに 4KB の SRAM

この系列には、パラレルインタフェースまたは最大 1Gbit/s の 2 つのデータレーンを持つディスプレイシリアルインタフェース (DSI) にピクセルを供給できる LCD-TFT コントローラインタフェースに加えて、最大 37 の通信ペリフェラルも含まれています。STM32MP157 系列には、最大 3M サンプル/s で動作する低消費電力の 16bit A/D コンバータ、12bit D/A コンバータ、および 29 個のタイマも組み込まれています。

STM32MP1 バスアーキテクチャの概要

3

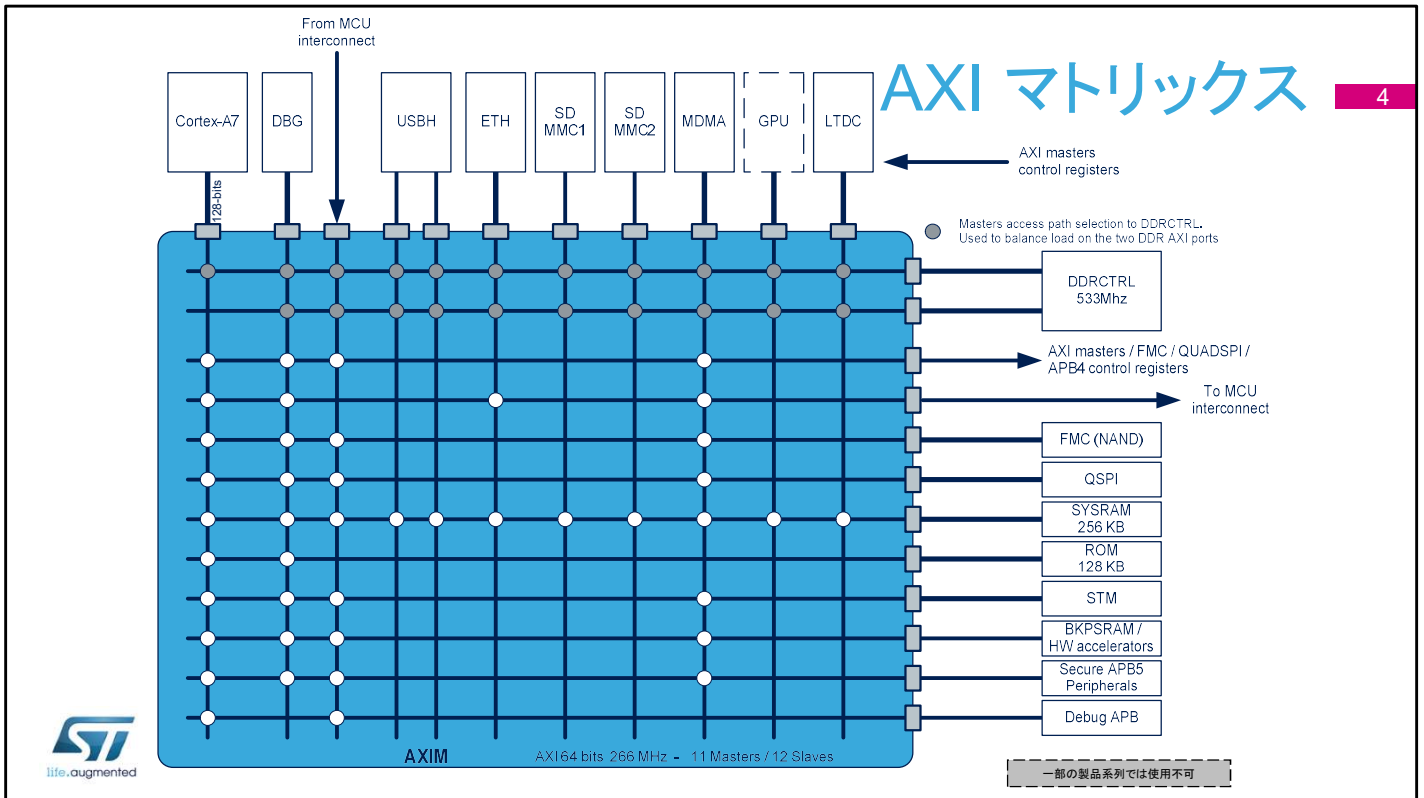


STM32MP1 バスアーキテクチャは、異なる周波数ドメインで動作する 2 つの相互接続マトリックス (Arm Cortex-A7 と Arm Cortex-M4) に分割され、個別に低電力モードに設定できます。

- 1 つは、Arm Cortex-A7 側 (MPU 側と呼ばれる) のマスタとスレーブ間の相互接続を実行する AXI ベースの高速 Arm CoreLink NIC-400 ネットワーク相互接続で、266MHz (ck_aclk) で動作し、各マスタとスレーブ間で最大 2GB/s までの内部帯域幅を実現しています。このマトリックスは、外部 DDR および内部 SRAM の間で低遅延かつ非常に高帯域幅のマスタ転送用に最適化されています。外部 DDR メモリは、最大 4GB/s の生の帯域幅を提供します。AXI ドメインに属するペリフェラルは、AHB5、AHB6、APB4 (AHB6 経由) および APB5 バスに接続されます。
- もう 1 つは、Arm Cortex-M4 側 (MCU 側と呼ばれる) のマスタとスレーブ間の相互接続を実行するマルチレイヤ AHB 相互接続 (MLAHB) で、これは以前の MCU から受け継いだアーキテクチャを備え、209MHz (ck_mcu) で動作します。

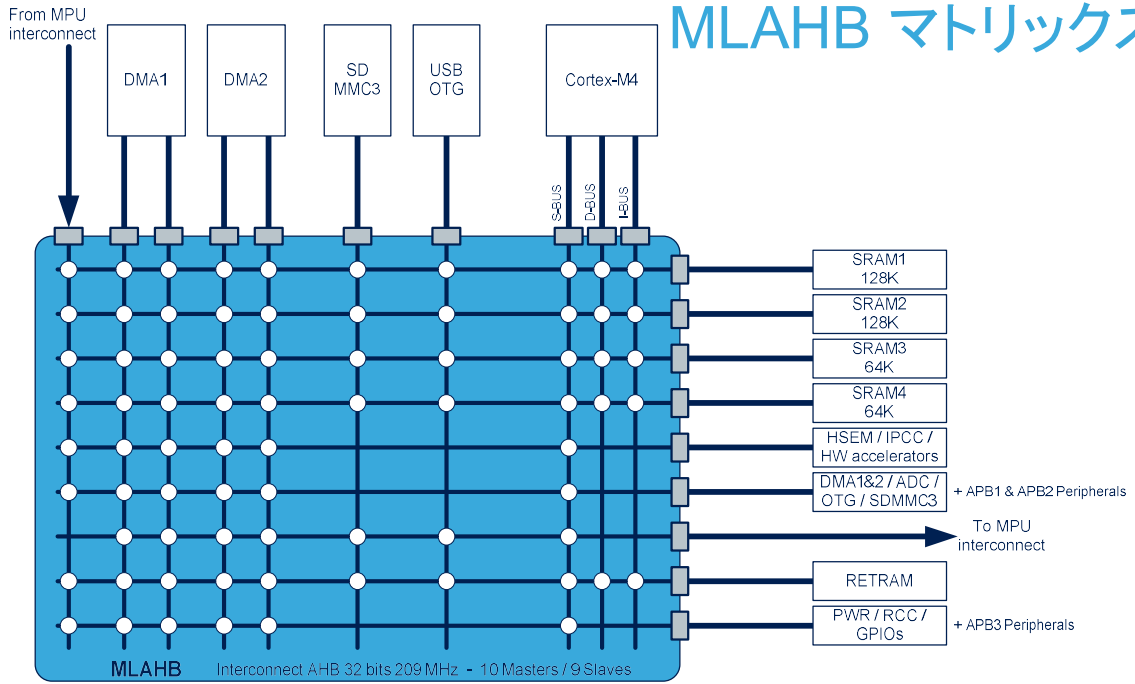
AXI 相互接続マトリックス (AXIM) とマルチレイヤ AHB (ML-AHB) は互いに接続されており、どちらのマスタも任意のペリフェラルを共有できるようになっています。破線のブロックは一部の製品系列では使用できません。

セキュリティはこの概要では示されていません。



AXI マトリックスは、最大 11 のマスタと 12 のスレーブのペリフェラル間の相互接続を可能にします。

MLAHB マトリックス



一部の製品系列では使用不可

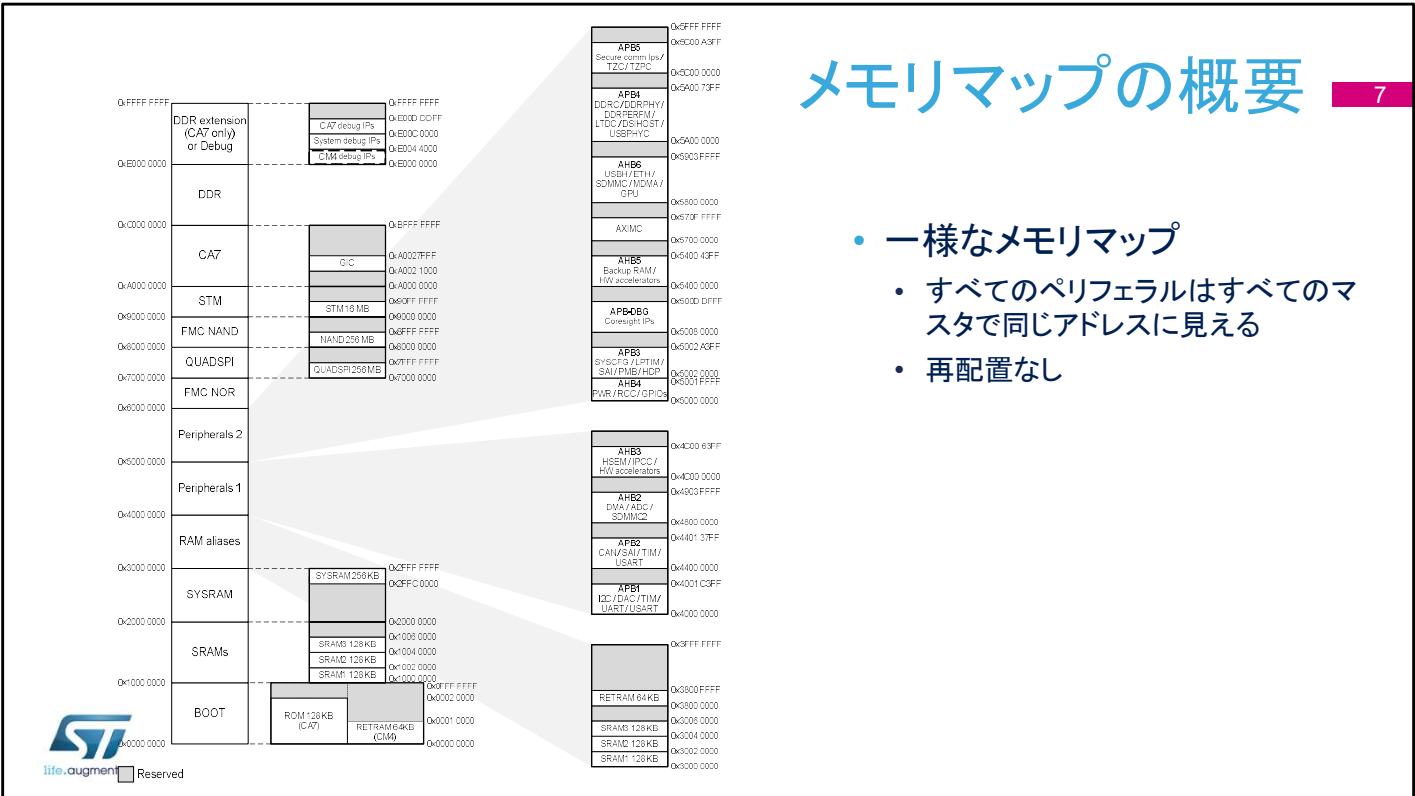
AHB マトリックスは、最大 10 のマスタと 9 のスレーブのペリフェラル間の相互接続を可能にします。

メモリ	タイプ	サイズ	TrustZone アクセス コントロール	Cortex-A7 アクセス	Cortex-M4 アクセス
内蔵メモリ	BOOTROM	ROM	128KB	●	●
	SRAM	SRAM	384KB		●
	SYSRAM	SRAM	256KB	●	●
	RETRAM	SRAM(VBATによる)	64KB	●	●
	BKPSRAM	SRAM(VBATによる)	4KB	●	●
外部メモリ	DDR SDRAM	DDR3, DDR3L, LPDDR2, LPDDR3	最大 1GB	●	
	SDMMC	SD カード, eMMC		●	● (SDMMC3 のみ)
	QUADSPI	SPI Flash	最大 512MB(1) 最大 4GB(2)		●
	FMC NOR	NOR Flash, SRAM	最大 256MB		●
	FMC NAND	NAND Flash	最大 256MB		●

(1) メモリマップドモード
(2) インダイレクトモード



一部のメモリは Cortex-A7 コアアクセス専用であり (BootROM、DDR など)、Arm TrustZone テクノロジーを使用したオプションのアクセス制御の恩恵を受けます。



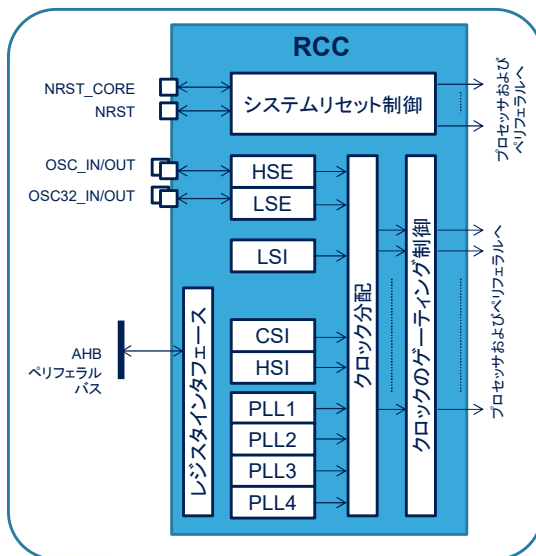
- 一様なメモリアップ
 - すべてのペリフェラルはすべてのマスタで同じアドレスに見える
 - 再配置なし

どのマスタからアドレス指定されるメモリアップも同じで、すべてのペリフェラルが同じアドレスで表示されるため、開発とデバッグが簡単です。

動的なメモリの再配置は行われません。Cortex-M4 アクセスの最適化を可能にするために、MCU SRAM および RETRAM メモリの一部のみが 2 つの場所でエイリアス化されます。

リセットおよびクロック供給 (RCC)

8



- リセットおよびクロックコントローラ(RCC)は下記を管理。
 - すべてのクロックの生成
 - 4xPLL、RC オシレータ、水晶発振器 ...
 - すべてのクロックのゲーティング
 - 各ペリフェラルのクロックを有効/無効にすることが可能
 - すべてのシステムとペリフェラルのリセットの制御

アプリケーション側の利点

- 消費電力と精度の要件を満たすためのクロックソースに関する高い柔軟性
- 安全で柔軟なリセット管理

リセットおよびクロックコントローラ(RCC)は、システムリセットとペリフェラルのクロック生成を管理します。

STM32MP15x マイクロプロセッサは、3つの内部オシレータ、外部の水晶または発振子用の2つのオシレータ、およびRCCによって管理される4つの位相ロックループ(PLL)を内蔵しています。

RCCの外側には、ハイスピードUSB専用のPLLが1つあります。ディスプレイシリアルインタフェース(DSI)を備えたSTM32MP15x系列の場合、このインタフェースのクロック供給専用1つの追加PLLがあります。

多くのペリフェラルには、システムクロックとは独立した独自のクロックがあり、最大限の柔軟性が得られます。

RCCでは、クロックソースの選択に高い柔軟性があります。これにより、システム設計者は消費電力と精度の要件の両方を満たすことができます。

多数の独立したペリフェラルクロックにより、設計者は通信ボーレートに影響を与えずにシステムの消費電力を調整し、また一部のペリフェラルを低電力モードでアクティブに保つことができます。

名前	標準値または範囲	説明
VDD	1.7~3.6V	I/O 用電源入力
VDD_ANA		RCC、PWR などのシステムアナログ用電源入力。VDD に接続される
VDD_DSI*		DSI レギュレータ用電源入力。VDD に接続される
VDD_PLL		PLL 用電源入力。VDD に接続される
VDD_CORE	1.2V	デジタルコアドメイン用電源入力
VDDA	1.7~3.6V	A/D コンバータ、D/A コンバータ、および電圧基準バッファ用のアナログ電源入力
VDDQ_DDR	1.2V / 1.35V / 1.5V*	DDR 物理インタフェース (PHY) および IO 用電源入力
VDD3V3_USBHS/FS	3.3V	USB 物理インタフェース (PHY) および IO 用電源入力
内部生成された電源		
VDDA1V8_REG	1.8V	USB 物理インタフェース (PHY) 用に内部的に使用されるアナログ電源入力または出力
VDDA1V8_DSI**		DSI 物理インタフェース (PHY) 用アナログ電源入力 (VDDA1V8_REG に接続される)
VDDA1V2_DSI_REG**	1.2V	DSI PLL 用に内部的に使用されるアナログ電源出力
VDDA1V2_DSI_PHY**		DSI 物理インタフェース (PHY) 用アナログ電源入力 (VDDA1V2_DSI_REG に接続される)
VDDA1V1_REG	1.1V	USB 物理インタフェース (PHY) 用アナログ電源出力



(*)それぞれ LPDDR2/LPDDR3、DDR3L、および DDR3
(**)STM32MP157 系列のみ

STM32MP15x マイクロプロセッサが動作するには、さまざまな専用電源が必要です。

- VDD の範囲は広く、主に I/O の電源供給に使用されます。
- VDDCORE は内部ロジックの主電源です。
- VDDA はチップのアナログ部分に使用されます。
- VDDQ_DDR は、DDR インタフェースの I/O 電圧です。この電圧は、選択したメモリタイプによって異なり、LPDDR2 または LPDDR3 メモリの場合は 1.2V、DDR3L メモリの場合は 1.35V、DDR3 メモリの場合は 1.5V です。
- VDD3V3_USBHS と USB3V3_USBFS は、それぞれハイスピードポートとフルスピードポート用の組み込み USB 物理インタフェースに電源供給するために使用されます。

STM32MP15x には、USB および DSI 物理インタフェースに電源供給するためのいくつかの内部レギュレータも組み込まれています。

電源コントローラ (PWR)

10

Cortex-M4 または A7 のモード	説明	ウェイクアップ
CRUN	CPU アクティブ → CPU、CPU サブシステムバスマトリックス、CPU 対応のペリフェラルクロックがアクティブ	-
CSleep	CPU Sleep → CPU クロックは停止、CPU サブシステムバスマトリックス、および CPU スリープ対応のペリフェラルクロックがアクティブ	任意の CPU 割込み
CStop	CPU ディープスリープ → CPU、CPU サブシステムバスマトリックス、CPU ペリフェラルクロックが停止	システムモードに依存
システムモード	説明	ウェイクアップ
RUN	クロックはアクティブで、システムに供給。	-
Stop / LP-Stop	クロックは停止。一部のプラットフォームの電源がオフ (Lp-Stop)。一部のペリフェラルは Stop / Lp-Stop 中にクロックを要求可能。	RTC/TAMP、EXTI、一部のペリフェラル、WKUP ピン
LPLV-Stop	クロックは停止。一部のプラットフォームの電源がオフ。コア電圧は低減可能。	RTC/TAMP、EXTI、WKUP ピン
STANDBY	大部分のプラットフォームの電源がオフ。コア電源はオフ。バックアップドメインはアクティブ可能。	RTC/TAMP、WKUP ピン
オフ	すべてのプラットフォーム、コアおよび I/O の電源がオフ。バックアップドメインはアクティブ可能。	RTC/TAMP イベントは PMIC に電源の回復を要求可能。



コアの低電力モードへの移行はソフトウェアによって制御されます。

1つのコアが CStop モードに入ると、ドメインとシステムの動作モードは他方のコアのモードに依存します。

LP-Stop システムモードを使用して、外部電源を制御し、システムの電力を削減することができます。

LPLV-Stop システムモードを使用して、外部電源を制御するほか、VDDCORE 電圧を削減してシステムの電力を削減することができます。

外部電源は、外部電源管理 IC (PMIC) を使用している場合、一部の外部ソフトウェア設定に加えて、専用の PWR_ON または PWR_LP 信号を使用して制御されます。

ペリフェラル(1)

11

タイマ	高機能	16bit	2	
	汎用	16bit	8	
		32bit	2	
	基本	16bit	2	
	LP タイマ	16bit	5	
	M4 SysTick	24bit	1	
	A7 タイマ	64bit	2 x 4 (セキュア、非セキュア、仮想、ハイパーバイザ)	
	RTC/AWU		1 (セキュリティ保護可能)	
	ウォッチドッグ		3 (独立、独立セキュア、ウィンドウ)	
	通信ペリフェラル	SPI		6 (セキュリティ保護可能 1)
I2S あり			3	
I2C (SMB/PMB サポートあり)			6 (セキュリティ保護可能 2)	
USART (スマートカード、SPI、IrDA、LIN) + UART (IrDA、LIN)			4 + 4 (セキュリティ保護可能 USART 1 を含む)	
SAI			4 (最大 8 本のオーディオチャネル)、 I ² S マスタ/スレーブ付き、PCM 入力、SPDIF-TX	
			2 ポート	
USB		EHCI/OHCI ホスト		BCD 付き内蔵 HS PHY
		OTG HS		可能、BCD 付き内蔵 FS または HS PHY
		内蔵 PHY		3 (2 x ハイスピード + 1 x フルスピード)
SPDIFRX			4 入力	
FDCAN			2 (1 x TT-FDCAN)、クロック較正、 10KB の共有バッファ	
CEC (HDMI Consumer Electronics Control)			1	
次のセキュリティ保護可能を含む			セキュリティ保護可能な GPIO 上の 1 x USART、1 x SPI、2 x I2C	

- すべてのペリフェラルの入力/出力(存在する場合は)、GPIO オルタネート機能を介してマッピングされます。

← ブートソース

← ブートソース

一部の製品系列やパッケージでは使用不可



I/O を備えたペリフェラルは、GPIO オルタネート機能 (AFMUX) にマッピングされます。

一部のペリフェラルは BOOTROM によって管理され、初期化フェーズ中にシステム制御またはプログラムのダウンロード用に使用できます。

UART および USB は、システムのセットアップ、コードを外部 Flash メモリにダウンロードする等に使用されます。

STM32MP151 系列では FDCAN は使用できません。

ペリフェラル(2)

12

SDMMC (SD, SDIO, eMMC)	3(8 + 8 + 4bit), eMMC または SD	← ブートソース
Quad SPI	可能 (デュアルワード)	← ブートソース
FMC	パラレルアドレス/データ 8/16bit	4 x CS, 最大 4 x 64MB
	パラレル AD-Mux 8/16bit	4 x CS, 最大 4 x 64MB
	NAND 8/16bit	可能, 1x CS, SLC, BCH4/8
ギガビット Ethernet	MII, RMII, GMII, PTP 付き RGMII , および EEE	
DMA	3インスタンス (セキュリティ保護可能 1), 合計 48 物理チャネル	
暗号化	DES, TDES, AES-256, デュアルインスタンス (セキュアおよび非セキュア)	
ハッシュ	SHA-256, MD5, HMAC, デュアルインスタンス (セキュアおよび非セキュア)	
乱数発生器	ハードウェア乱数発生器, デュアルインスタンス (セキュアおよび非セキュア)	
ヒューズ (ワンタイムプログラミング)	3072 有効ビット (セキュア, ユーザが使用できるビット > 1500)	
デジタルカメラインタフェース	バス幅	8, 10, 12, または 14bit
割込みを備えた GPIO (合計数)	パッケージに応じて 98 [148, または 176]	
セキュリティ保護可能な GPIO	8	
ウェイクアップピン	パッケージに応じて 4 または 6]	
タンパピン (アクティブタンパ)	パッケージに応じて 2 または 3] (1)	
DFSDM	6フィルタを備えた 8 入力チャンネル	
16bit 同期 A/D コンバータ	2	
A/D コンバータチャネル合計	パッケージに応じて 17 または 22]	
12bit D/A コンバータ	2	
内部 A/D コンバータ/D/A コンバータ VREF 生成	1.5V, 1.8V, 2.048V, 2.5V, または VREF+ 入力	
VREF+ 入力ピン	可能	



一部の製品系列やパッケージでは使用不可

SDMMC は、SD カード (SDMMC1) または eMMC (SDMMC2) のメモリカードを使用して、ブートソースにすることができます。

QUADSPI バンク 1 は、シリアル NOR またはシリアル NAND Flash メモリ用のブートソースにできます。

FMC は、SLC パラレル NAND Flash メモリ用のブートソースにすることができます。

暗号化は STM32MP15xA デバイスでは使用できません。

セキュリティ保護可能な GPIO は、STM32MP15xxAA (LFBGA448 18x18) および STM32MP15xxAC (TFBGA361 12x12) デバイスでのみ使用できます。

グラフィックとディスプレイ

13

- LCD-TFT コントローラ、最大 24bit // RGB888
 - 最大 WXGA(1366 × 768) @60fps
 - プログラム可能なカラー LUT を備えた 2 つのレイヤ

- 3D GPU: Vivante® - OpenGL® ES 2.0
 - 533MHz、最大 26Mtriangle/s、133Mpixel/s
- MIPI® DSI 2 つのデータレーン(それぞれ最大 1GHz)
 - 最大 WXGA(1366 × 768) @60fps



一部の製品系列やパッケージでは使用不可

LCD コントローラは、最大 WXGA @60fps (63Mpixels/s) まで提供できます。ピクセルクロックが許容範囲内にあると仮定すると、フレームレートを下げれば、より高い解像度が可能になります。

3D GPU は STM32MP157 系列で利用可能で、最大 26Mtriangles/s または 133Mpixels/s を処理できます。

ディスプレイシリアルインタフェース (MIPI DSI) は STM32MP157 系列で利用可能で、最大 WXGA @60fps (63Mpixels/s) を提供できます。LTDC ピクセルクロックとデータレーンレートが許容範囲内にあると仮定すると、フレームレートを下げれば、より高い解像度が可能になります。

- OTP ヒューズはワンタイムプログラミングメモリ
 - 初期ビットは“0”で、不可逆的に“1”にプログラムされる。
 - 32bit ワードでビットのインクリメンタルプログラミングが可能
- BSEC コントローラ IP で処理
 - BSEC によって処理されるプログラミング、読出し、ステータス、およびロック
 - 読出しやプログラムを回避するためのロックメカニズム (粒度 32bit)
- OTP の内容
 - 生産時に ST が設定する製品構成とトリミング値
 - 生産時に ST が設定する秘密情報と一意の識別番号
 - OEM が設定するデバイス構成 (MAC アドレス、ブートソース、セキュリティモードなど)
 - OEM が設定する秘密情報 (例: セキュアブート用)
 - OEM のその他の目的で使用できる最大 1184bit



OTP ヒューズはメモリフィールドであり、一度プログラムすれば変更できなくなります。

BSEC IP は、読出し、プログラミング、安全なアクセスなど、OTP ヒューズの制御を管理します。

OTP の内容には、製品構成と一意の番号が含まれています。OTP には、MAC アドレス、秘密鍵、または関連データなどの OEM 情報を含めることができます。

最大 1184bit すべてが OEM のさまざまな目的に使用できます。

• システム制御

- RCC
 - リセットおよびクロックコントローラ
- PWR
 - 電力モードコントローラ
- EXTI
 - 外部割込み管理
- SYSCFG
 - さまざまなシステムレベルの設定
- MDMA、DMA1/2、DMAMux
 - ダイレクトメモリアクセス
 - DMA1/2 につながる MDMA
 - リクエスト側の柔軟性のために使用される DMAMux

• セキュリティ

- ETZPC
 - 一部のペリフェラルのほか、SYSRAM および BKPSRAM のセキュリティレベルを制御
 - MPU サブシステムのアクセスから M4 リソースを分離
- TZC
 - DDR データのアクセスに対するセキュリティファイアウォール
- BSEC
 - グローバルセキュリティの設定と OTP ヒューズ制御
 - デバイス電子署名レジスタを含む
- TAMP
 - タンパピンおよびバックアップレジスタの管理
- BKPSRAM
 - 改ざん防止された、セキュリティ保護可能なメモリ
- CRYPT、HASH、RNG、および CRC
 - セキュアおよび非セキュアインスタンス



さまざまなブロックが横断的なシステムの制御を管理しています。主なものは、リセットおよびクロックコントローラ(RCC)、システムの電力モードを制御するパワーマネージャ(PWR)です。セキュリティは、Cortex-A7 コア内の Trustzone とさまざまなブロックによって制御されます。強化された TrustZone 保護コントローラ(ETZPC)によって、どのペリフェラルがセキュアか否か、分離されているか否かが定義されます。DDR の TrustZone アドレス空間コントローラ(TZC)は、DDR データへの望ましくないアクセスをブロックします。

- 要点

- Cortex®-A7 MPU サブシステムは、Linux や Android などの強力なオープンオペレーティングシステムを実行できます。
- Cortex-M4 MCU サブシステムは、豊富な STM32 MCU ファミリの遺産の恩恵を受けています。
 - これは MPU のリアルタイムコプロセッサと見なすことができます。
- 大きな外部 DDR メモリ
- グラフィックス処理装置

- ハードウェアアーキテクチャの参考資料

- DB3372 – STM32MP157Cxx データ概要
- RM0436 – STM32MP157xxx リファレンスマニュアル

- 入手できる追加関連資料



- AN5031 – Getting started with STM32MP1 Series hardware development

このプレゼンテーションで注目すべき主なポイントは次のとおりです。

- STM32MP15x には、Linux や Android などの強力なオペレーティングシステムを実行できる Cortex-A7 コアが組み込まれています。
- また STM32MP15x には、リアルタイムタスクを実行でき、あるいは Cortex-A7 の負荷や電力を削減するコプロセッサとして機能できる Cortex-M4 コアも組み込まれています。
- STM32MP15x では、オペレーティングシステムを実行するために必ず外部 DDR メモリが必要です。
- STM32MP157 系列には、オペレーティングシステムに豊富なグラフィック機能を提供する GPU が含まれています。