

STM32MP1-PWR

電源コントローラ
1.0 版



こんにちは、STM32MP1 電源コントローラのプレゼンテーションへようこそ。このプレゼンテーションでは、STM32MP1 の電源管理機能と、すべての電力モードについても説明します。

- 電源管理と給電制御機能を提供
 - さまざまな電源設定
 - 電圧スケーリング
 - 低電力モードからのウェイクアップ
- 5つの低電力モードと高速ウェイクアップ
- RTC およびバックアップレジスタを備えた VBAT バックアップモード
- 独立した電源
- TrustZone セキュリティ

アプリケーション側の利点

- 消費電力の最適化:
 - ダイナミック電圧スケーリング
 - CPU ごとの低電力モード制御
- 一部のシステムリソースの TrustZone セキュリティ



STM32MP1 マイクロコントローラには、いくつかの低電力モードなど電源管理に関連するいくつかの主要な機能があり、低電力モードにおいても、I/O のイベントやさまざまな低電力モードからウェイクアップを起こせる多数のペリフェラルによって CPU を個別にウェイクアップすることができます。

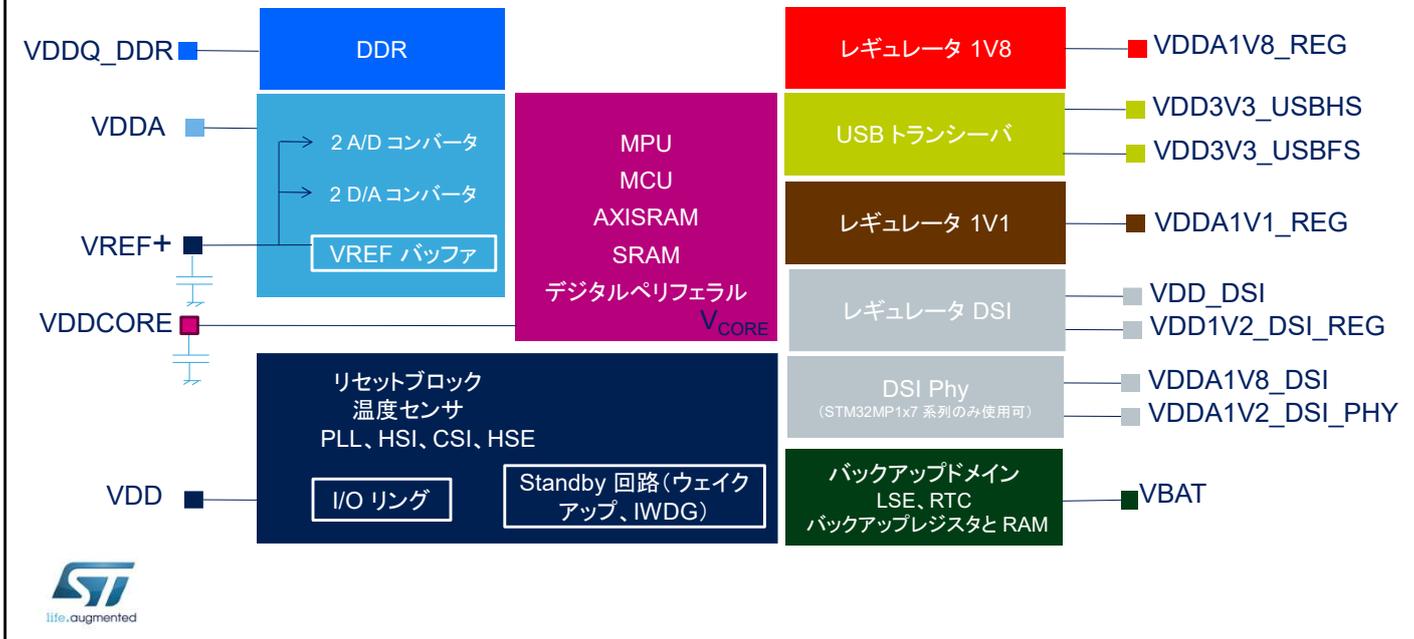
いくつかの電源は独立しており、一部のペリフェラルが他の電圧で供給されている間、デバイスの電力消費を削減できます。

多数の電力モードと独立した電源ドメインによって、STM32MP1 デバイスでは、消費電力を最小限に抑え、アクティブなペリフェラル、必要な性能、および必要なウェイクアップソースに応じて消費電力を調整できる高い柔軟性が得られます。

一部のシステムリソースをセキュアに保護できます。

電源供給方法

3



STM32MP1 デバイスにはいくつかの独立した電源があり、異なる電圧に設定したり、相互に接続したりできます。主電源は VDD で、すべての I/O に電力を供給しています。VDD は、リセットブロック、温度センサ、およびすべての内部クロックソースにも電源を供給します。さらに、ウェイクアップロジックと独立ウォッチドッグを含む Standby 回路に電源を供給します。VDDCORE は直接、V_CORE 電源を供給します。V_CORE は、MPU Cortex-A7、MCU Cortex-M4 とともに、ほとんどのデジタルペリフェラルと AXI RAM および SRAM に電源を供給します。DDR インタフェースには専用の VDDQ_DDR 電源があります。

STM32MP1 は、ペリフェラル用に次のいくつかの独立した電源を備えています。アナログペリフェラル用の VDDA、USB トランシーバ用の VDD3V3_USBHS および VDD3V3_USBFS、DSI インタフェース用の VDDA1V8_DSI および VDD1V2_DSI_PHY です。VREF+ ピンは、アナログ-デジタルおよびデジタル-アナログコンバータに基準電圧を提供し、アプリケーションの外部バッファ基準として使用できます。バックアップバッテリーを VBAT ピンに接続して、バックアップドメインに電源を供給できます。

さらに、STM32MP1 マイクロコントローラには、USB および DSI インタフェースにさまざまな電圧レベルを提供するさまざまなレギュレータが組み込まれています。

独立した電源による最適化された電力と性能

- V_{DD} 1.71~3.6V
 - V_{BAT} 1.2~3.6V (RTC、バックアップ RAM を含む)
 - V_{DDCORE} 1.18~1.25V (LPLV-Stop では最小 0.85V)
 - V_{DDA} 1.71~3.6V
 - V_{DD3V3_USBHS} 3~3.6V (USB ハイスピード用)
 - V_{DD3V3_USBFS} 3~3.6V (USB フルスピード用)
 - V_{DD1V8_DSI} 1.65~1.95V (DSI レギュレータ用)
 - $V_{DD1V2_DSI_PHY}$ 1.15~1.26V (DSI 物理層用)
 - V_{DDQ_DDR} 1.14~1.575V (DDR メモリタイプにより異なる)
- {

 - 保持 RAM を使用する場合、最小 1.4V
 - A/D コンバータを使用する場合、最小 1.71V
 - D/A コンバータを使用する場合、1.8V
 - V_{REFBUF} を使用する場合、最小 1.8V



メイン電源 V_{DD} は、すべての電力モードで 1.71 から 3.6V までのフル機能の動作を保証し、外部の 1.8V レギュレータからの電源供給が可能です。他の個別の電源は、異なる電圧で動作するペリフェラル用に提供されています。

バックアップドメインは V_{BAT} によって電源が供給されており、それは 1.2V より大きくなければなりません。バックアップドメインには、RTC、32.768kHz LSE 外部オシレータ、バックアップレジスタ、およびバックアップ RAM が含まれています。保持 RAM を使用する場合、 V_{BAT} は少なくとも 1.4V より大きくなければなりません。

デジタルコアは、Run モードでは標準 1.2V、LPLV-Stop モードでは標準 0.9V で V_{DDCORE} から直接電源が供給されます。

アナログ電源 V_{DDA} は、 V_{DD} 以外のどの電圧にも接続できます。アナログ-デジタルコンバータを使用する場合、 V_{DDA} 電圧は 1.71V より大きくなければなりません。デジタル-アナログコンバータまたは $V_{refbuff}$ を使用する場合、 V_{DDA} は 1.8V より大きくなければなりません。

USB インタフェースには、個別の電源 V_{DD3V3_USBHS} および V_{DD3V3_USBFS} が供給されます。

DSI インタフェースには V_{DD1V8_DIS} と $V_{DD1V2_DSI_PHY}$ の 2 つの電源が必要です。

DDR インタフェースは、個別の V_{DDQ_DDR} から電源提供されます。

アナログ性能のための独立した基準電圧電源

- V_{REF+} : A/D コンバータおよび D/A コンバータ 用の基準電圧
 - これは、外部基準電圧または内部電圧基準バッファによって提供される
 - VREF+端子は内部電圧基準端子。すべてのパッケージで使用できるわけではないが、このピンはVDDAと二重結合されており、外部リファレンスに接続することが可能。この構成では、内部電圧基準バッファは使用できない。



A/D コンバータと D/A コンバータ の電圧基準は、外部電源電圧または内部基準バッファのいずれかによって提供できます。これによって、分離された独立した基準電圧を提供することにより、コンバータの性能を向上させることができます。

バックアップドメインのレギュレータ

6

- バックアップ RAM および保持 RAM 電源レベルへ供給する V_{SW} 電源を調整するために使用
- バックアップ RAM と保持 RAM には、それぞれ独自のレギュレータがある
 - V_{CORE} が存在する場合
 - バックアップドメインのレギュレータはオフ(バックアップバッテリーの消費を削減可能)
 - バックアップ RAM と保持 RAM の電源は V_{CORE} から供給
 - V_{CORE} が無く(Standby または V_{BAT} モード)、バックアップレギュレータが有効な場合
 - バックアップドメインのレギュレータはオン
 - バックアップ RAM と保持 RAM の電源は V_{BKUP} から供給
 - V_{CORE} が無く(Standby または V_{BAT} モード)、バックアップレギュレータが無効な場合
 - バックアップドメインのレギュレータはオフ
 - バックアップ RAM と保持 RAM は電源オフ(データは喪失)



バックアップレギュレータは、Standby モードと VBAT モードでバックアップ RAM と保持 RAM のコンテキストを維持するために使用されます。各 RAM には専用のレギュレータがあります。バックアップ RAM のレギュレータは PWR レジスタ CR2 の BREN ビットによって有効になります。保持 RAM のレギュレータは、PWR レジスタ CR2 の RREN ビットによって有効になります。

レギュレータが有効になっている場合、システムが Standby モードに入る前に、その電源レベルの準備ができているかチェックされます。

その他のレギュレータ

7

- USB レギュレータ
 - USB インタフェースの電源供給に使用。外部ロジックには供給できない
 - USB トレーニングを参照
- DSI レギュレータ
 - DSI インタフェースの電源供給に使用。外部ロジックには供給できない
 - DSI トレーニングを参照



独立した USB レギュレータは VDD から V_{DDA1V8_REG} 電源および V_{DDA1V1_REG} 電源を生成します。

DSI レギュレータは VDD_DSI から $V_{DD1V2_DSI_REG}$ 電源を生成します。

動的な電源管理を可能にする供給監視

- 以下について供給電圧が監視される
 - V_{DD} : POR/PDR、BOR(リセット)、PVD(EXTI での閾値割込み) 経由
 - V_{DDA} : AVD(EXTI での閾値割込み) 経由
 - V_{BAT} : V_{BAT} 閾値(タンパ経由の割込み) 経由
 - V_{CORE} コアドメイン電源: レベル検出回路(リセット) 経由
 - V_{SW} バックアップドメイン電源: レベル検出回路(リセット) 経由
 - V_{BKP} バックアップドメインのバックアップ RAM 電源: レベル検出回路(レディレジスタビット BRRDY) 経由
 - V_{RET} バックアップドメイン保持 RAM 電源: レベル検出回路(レディレジスタビット RRRDY) 経由
 - V_{DD3V3_USB} 3.3V USB I/O 調整電源: レベル検出回路(レディレジスタビット USB33RDY) 経由
 - V_{DDA1V8_REG} 1.8V USB 調整電源: レベル検出回路(レディレジスタビット REG18RDY) 経由
 - V_{DDA1V1_REG} 1.1V USB 調整電源: レベル検出回路(レディレジスタビット REG11RDY) 経由
 - $V_{DD1V2_DSI_REG}$ DSI 調整電源: レベル検出回路(レディレジスタビット RRS) 経由



電源スーパーバイザによって、動的な電源管理が確保されます。

STM32MP1 デバイスでは、メイン V_{DD} 、アナログ V_{DDA} 、 V_{BAT} 電源入力、 V_{CORE} ドメイン、バックアップ V_{SW} ドメイン、バックアップレギュレータ V_{BKP} 、保持レギュレータ V_{RET} 電源、USB インタフェース V_{DD3V3_USB} 電源、およびレギュレータ電源 V_{DDA1V8_REG} 、 V_{DDA1V1_REG} 、および $V_{DD1V2_DSI_REG}$ 電源に電源管理機能が組み込まれています。メイン V_{DD} スーパーバイザは、 V_{DD} が選択された閾値をまたぐ場合に、プログラム可能な電圧検出器(PVD)を介してリセット管理と電圧検出を行います。PVD は、Standby モードを除くすべてのモードで有効にできます。7 つの閾値をソフトウェアで選択できます。さらに、比較は外部ピンで行うことができます。

アナログ V_{DDA} スーパーバイザは、 V_{DDA} が選択した閾値をまたぐ場合に、アナログ電圧検出器(AVD)によって電圧検出を行います。AVD は、Standby モードを除くすべてのモードで有効にできます。4 つの閾値をソフトウェアで選択できます。

V_{BAT} 電源電圧は、 V_{BAT} が最小閾値および最大閾値を超える場合を検出するために監視されます。 V_{BAT} 電圧検出機能は、すべてのモードで有効にできます。

メインの V_{CORE} スーパーバイザは、リセット管理の検出を行います。

バックアップドメイン V_{SW} スーパーバイザは、電源が動作レベルを下回った場合にリセット管理を行います。

バックアップ RAM レギュレータ V_{BKP} 電源スーパーバイザは、Standby モードに入る前に、レギュレータがバックアップ RAM に電源を供給する準備ができていることを確認します。

保持 RAM レギュレータ V_{RET} 電源スーパーバイザは、Standby モードに入る前に、レギュレータが保持 RAM に電源を供給する準備ができていることを確認します。

USB インタフェース V_{DD3V3_USB} 電源スーパーバイザは、USB インタフェース電源が存在することを確認します。USB 監視は、Standby モードを除くすべてのモードで有効にできます。

USB および DSI レギュレータの V_{DDA1V8_REG} 、 V_{DD1V1_REG} 、および $V_{DD1V2_DSI_REG}$ 電源のスーパーバイザは、レギュレータがインタフェースの電源を供給する準備ができていることを確認します。

安全で超低電力なリセット管理

- POR(パワーオンリセット)
 - V_{DD} の監視
 - V_{DD} レベルが閾値を超えたときにリセットを無効にする固定レベル
- PDR
 - V_{DD} の監視
 - V_{DD} が閾値を下回ったときにリセットを生成する固定レベル
 - PDR_ON 入力ピンで有効/無効にすることが可能
- BOR
 - V_{DD} の監視
 - オプションビット **BOR_LEV [2:0]** により、 $V_{BOR0} = 1.63V$ から $V_{BOR3} = 2.6V$ までの 4 つの選択可能なレベルを提供し、 V_{DD} レベルが閾値を下回るとリセットを生成
 - システムオプションビットで無効にすることが可能



V_{DD} 電源スーパーバイザによって、安全で超低電力のリセット管理が保証されます。

STM32MP1 デバイスには、すべての電力モードで常に有効になっている超低電力ブラウンアウトリセット(BOR)が組み込まれています。BOR は、 V_{DD} の傾斜に関係なく、MCU が選択された閾値を下回るとすぐにリセットを生成します。Flash メモリにプログラムされたオプションバイトによって、標準の 1.63~2.6V から 4 つの閾値が選択されます。

- 温度の閾値
 - 接合部温度の監視
 - レジスタビット MONEN で有効／無効にすることが可能
 - タンパウェイクアップ割込みに接続された TEMPH および TEMPL レジスタフラグを提供



温度スーパーバイザは、接合部温度が最小閾値および最大閾値を超える場合を検出します。温度検出機能は、すべてのモードで有効にできます。

- バックアップバッテリーの閾値
 - バックアップバッテリーの電源レベルを監視
 - レジスタビット MONEN で有効／無効にすることが可能
 - タンパウェイクアップ割込みに接続された VBATH および VBATL レジスタフラグを提供

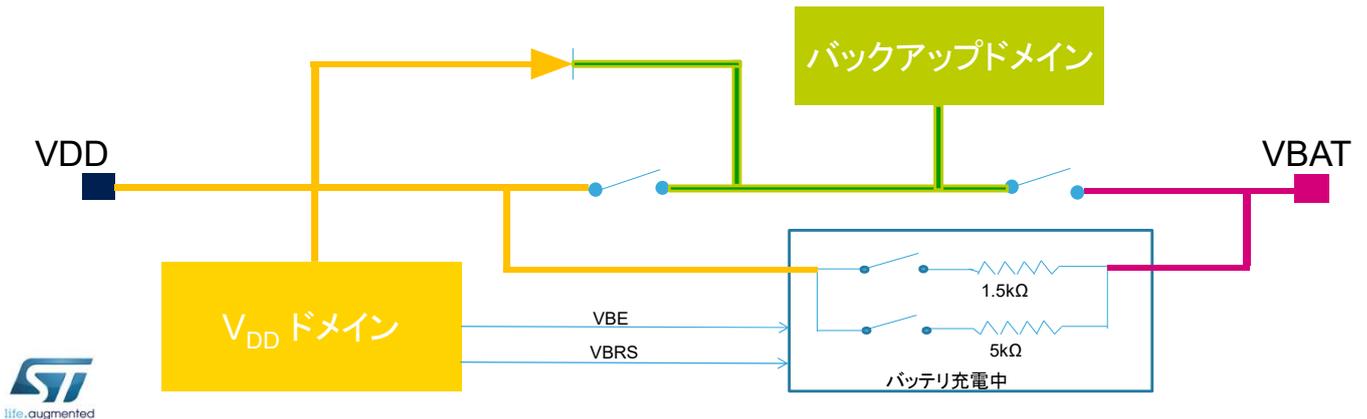


バックアップバッテリースーパーバイザは、バックアップバッテリー電源レベルが最小閾値および最大閾値を超える場合を検出します。バックアップバッテリー検出機能は、すべてのモードで有効にできます。

V_{BAT} バッテリーの充電

12

- V_{BAT} に接続されたバックアップバッテリーは、V_{DD} から充電可能
 - アプリケーションソフトウェアによって有効化
 - 2つの充電抵抗値(5kΩ または 1.5kΩ)からの選択
 - V_{BAT} モードに移行すると自動的に無効化



バッテリー充電機能によって、V_{DD} 電源が存在する場合、内部抵抗を介して VBAT ピンに接続されたスーパーキャパシタを充電できます。充電はソフトウェアによって有効にされ、ソフトウェアに応じて 5kΩ または 1.5kΩ の抵抗器を介して行われます。バッテリーの充電は VBAT モードでは自動的に無効になります。

- 電源コントローラの TrustZone セキュリティにより、いくつかの下記システム機能を保護できる
 - VBAT、温度、PVD、および AVD 監視
 - バックアップドメイン保護、バックアップ RAM および保持 RAM の設定
 - USB レギュレータ制御
 - DDR のセルフリフレッシュと保持制御
 - バッテリ充電の設定
 - MPU システム低電力モード設定
 - LP-Stop モード設定
 - ウェイクアップピン設定



次の機能は TrustZone セキュアにすることができます。それらはすべてセキュアか、すべて非セキュアになります。

- バックアップバッテリー電圧監視、温度監視、プログラム可能な電圧検出器、アナログペリフェラル電圧検出器
- バックアップドメイン保護、バックアップおよび保持 RAM の設定
- USB レギュレータ制御
- DDR のセルフリフレッシュと保持設定
- バックアップバッテリー充電の設定
- MPU システム低電力モード設定
- LP-Stop、LPLV-Stop モードの設定
- 個別ウェイクアップピン設定

モード	説明
CRun	CPU アクティブ → CPU、CPU サブシステムバスマトリックス、CPU 対応のペリフェラルクロックがアクティブ
CSleep	CPU Sleep → CPU クロックは停止、CPU サブシステムバスマトリックス、および CPU スリープ対応のペリフェラルクロックがアクティブ
CStop	CPU ディープスリープ → CPU、CPU サブシステムバスマトリックス、CPU ペリフェラルクロックが停止
CStandby	MPU ディープスリープ → MPU、MPU サブシステムバスマトリックス、MPU ペリフェラルクロックが停止

• CPU 動作モードは CPU から直接制御される

• 低電力モードへの移行

- CSleep には、WFI/WFE を実行するか、ISR から戻ったときに移行(DEEPSLEEP = 0)
- CStop/CStandby には、WFI/WFE を実行するか、ISR から戻ったときに移行(DEEPSLEEP = 1)

• 低電力モードの終了

- CSleep: NVIC 割込みまたは RXEV イベントによる
- CStop
 - システムが Run モードまたは Stop モードのときは、NVIC 割込みまたは RXEV イベントによる
 - システムが Standby モードのときには、リセットによる
- CStandby: MPU リセットによる



CPU の低電力モードへの移行は WFI および WFE によって制御され、DEEPSLEEP ビットによって、CSleep モードと CStop/CStandby モードのうちから移行するモードを選択できます。

CPU が CStop/CStandby モードに入ると、システムの動作モードは他方の CPU によって決まります。

CSleep モードは NVIC 割込みまたは RX イベントによって終了します。

CStop モードを終了する方法は、システムモードに依存します。システムが Run モードまたは Stop モードのときは、Cstop モードは NVIC 割込みまたは RX イベントによって終了します。システムが Standby モードのときには、CStop はリセットによって終了します。

MPU は、リセットによって CStandby モードを終了します。CPU イベント入力(rxev)は、WFE の後に CPU をウェイクアップします。

モード	説明
RUN	システムクロックはアクティブで、システムに供給されています。
STOP	システムクロックは停止します。
STANDBY	システムがパワーダウンされます。(バックアップドメインはアクティブに保てます)

• システムの動作モードは CPU とウェイクアップソースにコントロールされる

- Run: 1 つの CPU が CRun モードまたは CSleep モードであるか、またはウェイクアップソースがアクティブなとき
- Stop: 両方の CPU が CStop モードで、すべてのウェイクアップソースがクリアされ、少なくとも 1 つの PDDS ビットが Stop モードを選択しているとき
- Standby: 両方の CPU が CStop モードで、すべてのウェイクアップソースがクリアされ、すべての PDDS ビットが Standby モードを選択しているとき



STM32MP1 システムの動作モードは両方の CPU にコントロールされます。システムは、両方の CPU が CStop モードにあり、アクティブなウェイクアップソースがない場合にのみ、Stop モードまたは Standby モードに入ります。システムは、すべての PDDS ビットが Standby モードを選択している場合にのみ Standby モードに移行します。

すべてのペリフェラルは使用可能、最高速のウェイクアップ時間

- CPU は停止し、各ペリフェラルのクロックはゲートオン／オフ可能
- **WFI**(割り込み待機)または **WFE**(イベント待機)の実行によって移行
- このモードに移行する 2 つのメカニズム:
 - **Sleep Now**: MCU は WFI/WFE 命令の実行直後に Sleep モードに移行
 - **Sleep on Exit**: MCU は 最も優先度の低い ISR の終了直後に Sleep モードに移行
 - スタックは Sleep モードに入る前にポップされず、次の割り込みが発生したときにプッシュされないため、実行時間を節約できる
 - **Cortex®-M システム制御レジスタ [SLEEPONEXIT]** によって制御



Sleep モードおよび低電力 Sleep モードでは、すべてのペリフェラルの使用が可能で、最高速のウェイクアップ時間を備えています。

これらのモードでは、CPU は停止し、各ペリフェラルクロックは、Sleep モードおよび低電力 Sleep モード中にオンまたはオフにゲートされるようにソフトウェアによって設定できます。

これらのモードに入るには、アセンブラ命令の「割り込み待機」または「イベント待機」を実行します。低電力実行モードで実行すると、デバイスは低電力 Sleep モードに入ります。

CortexM4 システム制御レジスタの SLEEPONEXIT ビットの設定に応じて、MCU は、命令が実行されるとすぐに、または優先順位が最も低い割り込みサブルーチンを終了するとすぐに、Sleep モードに入ります。この最後の設定によって、スタックをポップしてプッシュする必要がなくなるため、時間と電力消費を節約できます。

完全に保持される最小の電力モード

- すべてのメモリおよびすべてのペリフェラルレジスタのデータは保持
- すべてのハイスピードクロックは停止
- LSE (32.768kHz 外部オシレータ) と LSI (32kHz 内部オシレータ) を有効にすることが可能
- いくつかのペリフェラルはアクティブにでき、Stop モードからのウェイクアップが可能
- MPU にウェイクアップ時のシステムクロックが復元され、MCU は HSI を受信
- LP-Stop および LPLV-Stop の電力消費は、Stop モードに比べて小さい。ただし、これらのモードでは、ウェイクアップ機能を備えたペリフェラルの数が少ない



STM32MP1 デバイスは、Stop、LP-Stop、および LPLV-Stop の 3 つの Stop モードを備えています。これらは、完全な保持と Run モードへの高速のウェイクアップ時間を備えた最小の電力モードです。

SRAM の内容とすべてのペリフェラルレジスタはすべての Stop モードで保存されます。

すべてのハイスピードクロックは停止します。

32.768kHz 外部オシレータと 32kHz 内部オシレータを有効にできます。

いくつかのペリフェラルはアクティブにでき、Stop モードからウェイクアップできます。

ウェイクアップ時の MPU システムクロックが復元され、MCU は HSI クロックを受信します。

LP-Stop および LPLV-Stop の消費電力は、Stop モードの消費量より低いですが、これらのモードではサポートするアクティブなウェイクアップペリフェラルは少なくなります。

Stop モードの比較

18

	STOP	LP-Stop	LPLV-Stop
消費電力	25°C, 3.3V		
	高	中	低
ウェイクアップ時間	短	中	長
レギュレータ	レギュレータメインモード	レギュレータ低電力モード	
	通常電源レベル		低電圧レベル
ペリフェラル	RTC、GPIO、BOR、PVD、AVD、VBATH/L、TEMPH/L、LSECSS、DTS、IWDG、LPTIM、USB-OTG、CEC、ETH、MDIOS、USART、I2C、SPI、および DBG		RTC、GPIO、BOR、PVD、AVD、VBATH/L、TEMPH/L、LSECSS、DTS、IWDG



Stop モードの比較は以下のとおり。

Stop の消費電力は、LP-Stop および LPLV-Stop の消費量よりも高くなりますが、ウェイクアップ時間は短くなります。

Stop モードと LP-Stop モードでは、アクティブなウェイクアップペリフェラルの数が多くなります。

Stop モードと LP-Stop モードでは、 V_{CORE} ドメインを Run モードと同じ電源レベルに保ち、LPLV-Stop モードよりも高い消費電力を犠牲にして非常に短いウェイクアップ時間を実現しています。

LP-Stop モードでは、外部電源ユニットを低電力モードにすることができるため、システム全体の電力消費を削減できます。LPLV-Stop モードでは、外部電源ユニットを低電力モードにすることができ、より低い V_{ddcore} レベルを供給するため、STM32MP1 およびシステム全体の電力消費を削減できます。Stop モードと LP-Stop モードは、同じ数のアクティブなウェイクアップペリフェラルをサポートします。一方、LPLV-Stop モードでは、削減されたサブセットがサポートされます。

バックアップ RAM 保持を備えた最小電力モード、 V_{BAT} および I/O 制御への切替え

- デフォルトでは、RAM もレジスタも保持されず（電圧レギュレータはパワーダウン）バックアップレジスタは常に保持
- 4KB のバックアップ RAM を保持可能
- 64KB の保持 RAM を保持可能
- 超低電力 BOR は常にオン： V_{DD} の傾斜に関係なく安全にリセット
- 5 本のウェイクアップピン：5 本のウェイクアップピンのそれぞれの極性は設定可能
- MPU クロックが復元され、MCU ウェイクアップクロックは HSI クロックになる



Standby モードは、4KB のバックアップ RAM と 64KB の保持 RAM を保持できる最小の電力モードで、 V_{DD} から V_{BAT} への自動切替えがサポートされています。

デフォルトでは、電圧レギュレータはパワーダウンモードになっており、SRAM とペリフェラルレジスタは失われます。バックアップレジスタは常に保持されます。

ソフトウェアによって、バックアップ RAM と保持 RAM を保持できます。

V_{DD} の傾斜に関係なく、安全なリセットを確実にするために、超低電力ブラウンアウトリセットは常にオンです。

Standby モードからデバイスをウェイクアップさせるために 5 本のウェイクアップピンが使用できます。ピンのそれぞれの極性は設定可能です。

ウェイクアップ時に MPU システムクロックが復元され、MCU システムクロックは HSI クロックを選択します。

V_{DD} が失われた場合でも RTC は動作、バックアップレジスタは保持

- バックアップドメインに含まれるもの：
 - 32.768kHz LSE オシレータにクロック供給される RTC (3 本のタンパピンを含む)
 - バックアップレジスタ
 - RCC_BDCR レジスタ
 - バックアップレギュレータが動作状態のときの 4KB のバックアップメモリ
 - 保持レギュレータが動作状態のときの 64KB の保持メモリ
- V_{DD} がパワーダウン・パワーオンされたときの、V_{BAT} と V_{DD} 間の自動内部切替え
- 電圧監視 (V_{BAT}/4) のために A/D コンバータへ内部接続
- V_{BAT} の充電



バックアップドメインによって、RTC の機能を維持でき、VBAT ピンに接続されたバックアップバッテリーによって、VDD 電源がダウンした場合にバックアップレジスタを保持できます。

バックアップドメインには、32.768kHz の低速外部オシレータによってクロック供給される RTC が含まれています。3 本のタンパピンは VBAT モードで機能しており、侵入が検出された場合に VBAT ドメインに含まれているバックアップレジスタを消去します。

バックアップドメインには RTC クロック制御ロジックも含まれません。

VDD が特定の閾値を下回った場合、バックアップドメインの電源は自動的に VBAT に切り替わります。VDD が正常に戻ると、バックアップドメインの電源は自動的に元の VDD に切り替わります。

VBAT 電圧は、バックアップバッテリーレベルを監視するために、A/D コンバータ入力チャネルに内部的に接続されています。VDD が存在する場合、VBAT に接続されたバッテリーは VDD 電源から充電することができます。

CStop モードからの CPU ウェイクアップ

21

- CPU がどのシステム低電力モードからウェイクアップするのを知るために、フラグが用意されています。各 CPU には独自のフラグセットがある
 - STOPF - CPU が CStop に入った後、システムは Stop モードになっていた。
 - CPU へのウェイクアップ割込みは、EXTI またはペリフェラルで保留
 - 他の CPU が原因で、システムがすでに Run モードになっている可能性がある
 - SBF - CPU が CStop に入った後、システムは Standby モードになっていた。
 - CPU はリセットから開始し、EXTI で保留中のウェイクアップ割込みはない
 - 他の CPU が原因で、システムが実際には Stop モードまたはすでに Run モードになっている可能性がある
- CPU フラグは、CPU がウェイクアップしたときにファームウェアによってクリアされることになっている



CPU が CStop モードからウェイクアップするとき、システムがどのモードからウェイクアップしたかを知る必要があります。このため、各 CPU には専用のフラグビットの Standby フラグと Stop フラグがあります。これらのビットは、システムの状態、およびどの部分に再初期化が必要になる可能性があるかについて CPU に通知します。

CStandby モードからの MPU ウェイクアップ

22

- MPU が CStandby モードからウェイクアップするときにはいつも、システムの STOPF または SBF フラグに次いで MPUSBF フラグがセットされている
- MPU フラグは、MPU がウェイクアップしたときにファームウェアによってクリアされることになっている



MPU が CStandby モードからウェイクアップするとき、MPU Standby フラグによって通知されます。ウェイクアップ時のシステムのモードは STOP フラグと STANDBY フラグで得られます。

- CPU のウェイクアップ状態はシステムの状態に依存

システムモード	MPUモード	MCUモード	SBF	STOPF	MPUSBF	コメント	MPUウェイクアップ	MCUウェイクアップ
RUN	CRun / CStop	CRun / CStop	0	0	0	システムの内容は保持	ISR/イベント	ISR/イベント
	CStandby		0	0	1		リセット	
STOP	CStop	CStop	0	1	0	システムの内容は保持、システムクロックは停止	ISR/イベント	ISR/イベント
	CStandby		0	1	1		リセット	
STANDBY	CStandby		1	0	1	システムの内容は喪失	リセット	リセット
VBAT	該当なし	該当なし						



この表は、MPU および MCU のウェイクアップ状態とシステムの動作モードの概要、およびウェイクアップフラグビットによってそれらがどのように通知されるかを示しています。また、割り込みやイベント、または CPU リセットによって、MPU と MCU がどのようにウェイクアップしたかを示しています。

割込みイベント	説明	利用可能性
WKUP[6:1]	Standby モードからのウェイクアップ EXTI へのイベント信号による Stop モードからのウェイクアップ	Run、Stop、および Standby
PVDO	EXTI へのイベント信号による Stop モードからのウェイクアップ	Run および Stop
AVDO	EXTI へのイベント信号による Stop モードからのウェイクアップ	Run および Stop
VBATH、 VBATL	RTC タンパ割込みによる Standby モードおよび Stop モードからのウェイクアップ	Run、Stop、および Standby
TEMPH、 TEMPL	RTC タンパ割込みによる Standby モードおよび Stop モードからのウェイクアップ	Run、Stop、および Standby



これは、PWR 制御関連の割込みの概要です。

- DBGMCU_CR レジスタにより、Stop モードおよび Standby モードでデバッグが可能
 - DBGSTOP: 設定すると、プロセッサクロックと関連するバスマトリッククロックは Stop モードでもアクティブのまま
 - DBGSTANDBY: 設定すると、デジタル部分は Standby モードでパワーダウンされず、プロセッサクロックと関連するバスマトリッククロックはアクティブのまま Standby モードが終了すると、リセットが生成
- DBGSTOP または DBGSTANDBY が有効な場合、関連する Stop または Standby モードの間、デバッガとの接続が維持
ウェイクアップ後も、デバッグは可能



デバッグ制御レジスタは、Stop モードおよび Standby モードでのデバッグを有効にするために使用されます。関連ビットが設定されると、CPU クロックとバスマトリッククロックはアクティブのままになり、レギュレータは通常モードでオンのままになり、コアロジックに電源を供給します。これにより、低電力モード中にデバッガとの接続が維持され、その間およびウェイクアップ後もデバッグが維持されます。デバイスがデバッグ中でないときは、これらのビットをクリアすることを忘れないでください。これらのビットが設定されていると、レギュレータが有効なままにされ、クロックがアクティブに保たれることから、すべての低電力モードで消費電力が多くなるためです。

- ペリフェラルの電力モードとの依存関係の詳細については、以下のペリフェラルのトレーニングリストを参照可能
 - リセットおよびクロック制御(RCC)
 - 割込み(NVIC および EXTI)
 - D/A コンバータ(DAC)
 - 低電力タイマ(LPTIM)
 - 独立型ウォッチドッグ(IWDG)
 - リアルタイムクロック(RTC)
 - I2C (Inter-integrated circuit) インタフェース
 - USART (Universal synchronous asynchronous receiver transmitter)
 - 低電力ユニバーサル非同期レシーバトランスミッタ(LPUART)
 - USB-HS および USB-FS インタフェース
 - DSI インタフェース



このトレーニングに加えて、リセットおよびクロック制御と割込みのトレーニングだけでなく、Stop および Standby からウェイクアップする機能を持つすべてのペリフェラルのトレーニングも参照できます。