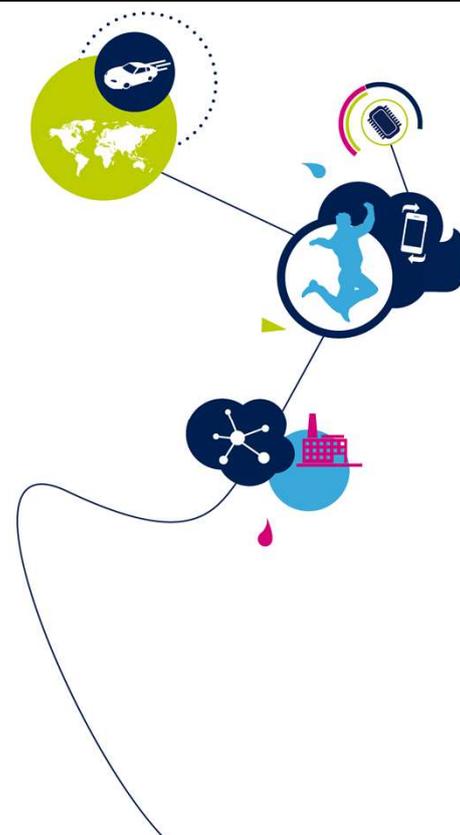
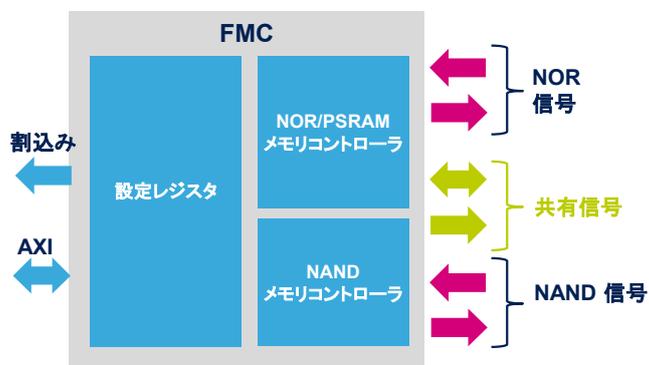


# STM32MP1 - FMC

フレキシブルメモリコントローラ  
1.0 版



STM32 フレキシブルメモリコントローラのプレゼンテーションによ  
うこそ。ここでは、NOR Flash、SRAM、PSRAM、NAND Flash  
メモリなどの外部メモリに接続するために使用される、このインタ  
フェースのすべての機能について説明します。



- FMC は次のものを使用して外部メモリをサポートします。
  - NOR Flash/PSRAM コントローラ
  - NAND メモリコントローラ

### アプリケーション側の利点

- RAM の拡張
- Flash メモリの拡張
- パラレルインタフェース(インテル8080/モトローラ 6800)



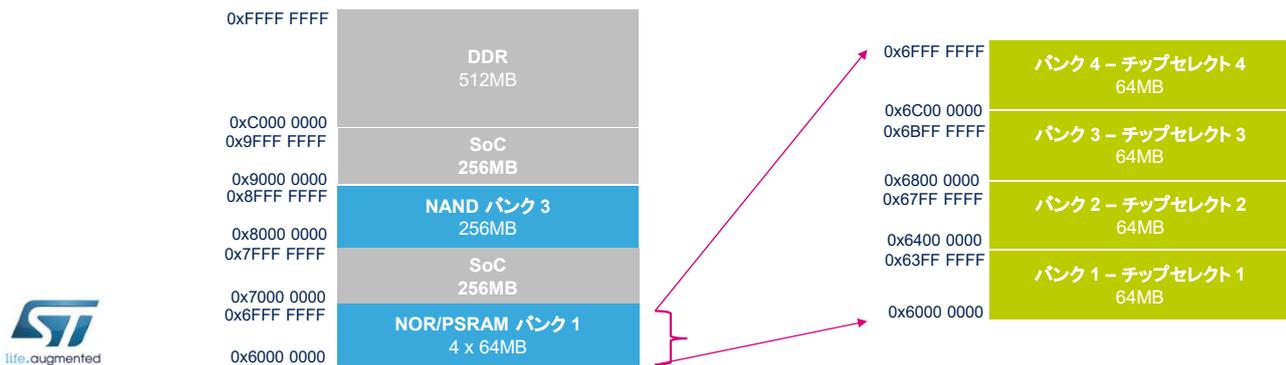
STM32MP1 マイクロプロセッサに組み込まれた FMC コントローラは、2 個のメモリコントローラで外部メモリをサポートしています。NOR Flash/PSRAM メモリコントローラと NAND Flash メモリコントローラです。これによって、CPU は NOR および NAND Flash メモリ、PSRAM、SRAM を含む外部メモリと通信できます。

このインタフェースは完全に設定可能で、外部メモリやその他のパラレルインタフェースと簡単に接続できます。

FMC コントローラのメリットには、RAM と Flash メモリ空間の拡張だけでなく、インテル 8080 およびモトローラ 6800モードをサポートするほとんどの LCD コントローラとシームレスにインタフェース接続できる機能もあります。この LCD パラレルインタフェース機能によって、組込みコントローラや専用の高速化機能を持つ外部コントローラを使用した高性能ソリューションを含む LCD モジュールを使用したコスト効率のよいグラフィックアプリケーションを構築しやすくなります。。

# FMC バンクアドレスマッピング

- FMC バンクのマッピングは固定されています。
- バンク 1 は、4 個の外部 NOR/PSRAM メモリ(4 個のチップセレクト)とインタフェース接続する各 64MB のバンク 4 個に分けられており、以下をサポートします。
  - NOR Flash: 8/16/32bit 同期／非同期、マルチプレクスまたは非マルチプレクス
  - SRAM/ROM: 8/16/32bit
  - CRAM/PSRAM: 8/16/32bit 同期／非同期



FMC バンクアドレスマッピングは固定されています。

- バンク 1 は、NOR/PSRAM メモリコントローラによって使用されます。
  - バンク 3 は、NAND メモリコントローラによって使用されます。
- その他のすべてのバンクは、フレキシブルメモリコントローラによって使用されず、SoC メモリマップに使用できます。

# FMC NOR/PSRAM の主な機能

- 完全に独立したバンク
  - 個別の外部メモリをサポートする 4 個のバンク
  - 各メモリバンクに対する独立したチップセレクト
  - メモリバンクごとに独立した設定
- 柔軟性の高い設定
  - 最大 HCLK/2 の FMC 外部アクセス周波数
  - 広範囲なデバイスをサポートするプログラム可能なタイミング
  - 8bit、16bit、または 32bit のデータバス
  - 外部非同期ウェイト制御
  - 拡張モード(読出しタイミングと書き込みタイミングが異なるプロトコル)
  - 同期デバイスへのバースト・モード・アクセスをサポート(NOR Flashおよび PSRAM)



FMC コントローラには、個別の外部メモリをサポートする 4 個の独立したバンクがあります。各バンクには、独立したチップセレクトと固有の設定があります。

各バンクには、プログラム可能なタイミング、設定可能な 8bit、16bit、または 32bit のデータバスが備わっており、NOR Flash や PSRAM など同期メモリに対する非同期モードやバーストモードでのメモリアクセスが可能です。

同期メモリには、最大でHCLKを2分周した周波数でアクセスできます。

## 幅広いインタフェースおよびメモリと互換

- スタティック・メモリマップ・デバイス
  - スタティック・ランダム・アクセス・メモリ (SRAM)
  - 読出し専用メモリ (ROM)
  - NOR/OneNAND Flash メモリ
  - PSRAM
- パラレル・インタフェースの LCD モジュール
  - インテル 8080 およびモトローラ 6800



FMC コントローラは、幅広いデバイスおよびメモリをサポートしています。

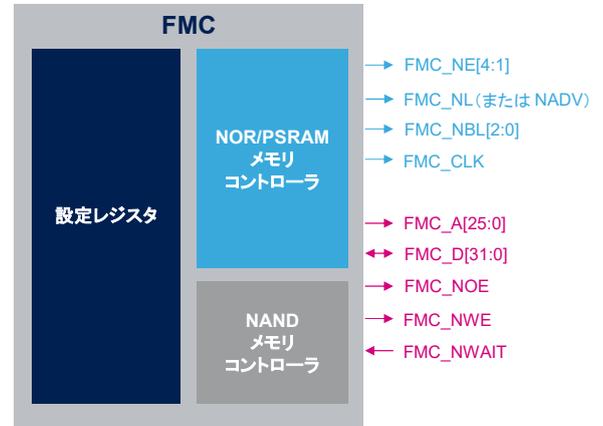
これは、スタティック・ランダム・アクセス・メモリ (SRAM)、読出し専用メモリ (ROM)、NOR/OneNAND Flash メモリ、PSRAM を含むスタティック・メモリマップ・デバイスとインタフェース接続します。

さらに、パラレル・インタフェースの LCD モジュールを使用する際の FMC インタフェースは、インテル 8080 およびモトローラ 6800 モードをサポートしており、さまざまな LCD インタフェースに適合できる柔軟性があります。

# NOR/PSRAM インタフェース信号

6

- FMC は、以下のメモリを駆動するのに適した信号を生成します。
  - 非同期 SRAM および ROM
    - 8bit
    - 16bit
    - 32bit
  - PSRAM (CellularRAM および CosmoRAM)
    - 非同期モード
    - バーストモード
    - マルチプレクスまたは非マルチプレクス
  - NOR Flash
    - 非同期モード
    - バーストモード
    - マルチプレクスまたは非マルチプレクス



FMC は各バンクに独自のチップセレクト信号を出力し、外部デバイスへ一度に 1 回だけアクセスします。外部メモリは、NOR PSRAM コントローラまたは NAND コントローラに接続され、アドレス、データ、制御信号を共有します。

# NOR/PSRAM のタイミング設定

7

## 柔軟性の高いタイミング設定

- FMC NOR/PSRAM コントローラは、バンクに接続されたメモリのタイミングを設定するために使用されます。
  - アドレス・セットアップ・フェーズ時間
  - アドレス・ホールド・フェーズ時間
  - データ・セットアップ・フェーズ時間
  - バス・ターンアラウンド・フェーズ時間
  - クロック分周比
  - データ遅延(同期バースト NOR Flash の場合)
  - アクセスモード



NOR PSRAM コントローラで、サポートされているメモリに対して次のようにさまざまなタイミング・パラメータを設定できます。

- アドレス・セットアップ・フェーズ: 最初のアクセス・フェーズの時間
- アドレス・ホールド・フェーズ: アクセス・サイクルの中間フェーズの時間
- データ・セットアップ・フェーズ: 2 番目のアクセスフェーズの時間
- バス・ターンアラウンド・フェーズ: バス・ターンアラウンド・フェーズ時間
- クロック分周比: 1 つのメモリ・クロックサイクル(CLK)内の AHB クロックサイクル(HCLK)数
- データ遅延: 最初のデータ転送の前にメモリに発行されるクロックサイクル数
- アクセスモード

- NAND コントローラのサポート
  - 共通のレディ/ビジーがある 2 個のチップセレクト(2 個の NAND のインターフェースは同じである必要があります)
  - DMA リクエストサポートで NAND への読み出し/書き込みアクセスをつなげる効率の高いコマンドシーケンサ
- 柔軟性の高い設定
  - 256バイト、512バイト、1024バイト、4096バイト、8182バイトのプログラム可能なページサイズ
  - 幅広いデバイスをサポートするプログラム可能なタイミング
  - 8bit または 16bit のデータバスの NAND
- エラー訂正
  - ページあたり 1bit 訂正のハミング符号
  - 512バイトセクタあたり 4bit 訂正および 8bit 訂正機能付きの BCH 符号



FMC コントローラには、以下をサポートする NAND メモリコントローラが搭載されています。

- 最大 2 個の NAND デバイス(同種)および共通のレディ/ビジー信号
- 最大 8KB のプログラム可能なページサイズ
- プログラム可能なタイミングパラメータ
- 8bit または 16bit のインターフェース

NAND メモリコントローラには、エラー検出と訂正をサポートするハードウェアがあります。

- ハミング符号(ページあたり 1bit 訂正)
- 512バイトセクタあたり 4bit 訂正または 8bit 訂正の BCH 符号

## 幅広いインターフェースおよびメモリと互換

- Raw SLC NAND
  - 8bit および 16bit のインターフェース
  - 256~8192バイトのページサイズ
  - エラー訂正: 1bit(ハミング符号)、4bit または 8bit(BCH 符号)



FMC は、NAND Flash メモリともインターフェース接続して、最大 8KB のデータの読出しまたは書込みに対するエラー訂正コード (ECC) をサポートしています。3 つの割込みソースを設定して、立ち上がりエッジ、立ち下がりエッジ、またはハイレベルが NAND Flash レディ/ビジー信号で検出された場合に割込みを生成できます。

# NAND アドレス・マッピング

- バンク 3 は、2 個のメモリ空間で NAND Flash メモリをサポートするために使用されます。
  - 共通メモリ空間
  - 属性メモリ空間
- 各メモリ空間は、3 つのサブセクションに分けられます。
  - データ・セクション (64KB) : データの読出しまたは書込みに使用されます。
  - コマンド・セクション (64KB) : NAND Flash メモリへのコマンド送信に使用されます。
  - アドレス・セクション (128KB) : NAND Flash メモリアドレスの指定に使用されます。



バンク 3 は、NAND Flash メモリとのインタフェース接続に使用されます。これは、2 つのメモリ空間に分けられます。共通メモリ空間と属性メモリ空間です。両方の空間は類似しています。共通メモリ空間は NAND Flash のすべての読出しおよび書込みアクセス用です。ただし、NAND Flash デバイスに最後のアドレスバイトを書き込む場合、CPU は属性メモリ空間に書き込む必要があります。これにより、異なるタイミングで最後のアドレスバイトを書き込むことで特定の NAND Flash メモリに必要なプリウェイト機能を実行できます。

各メモリ空間は、3 つのセクションにさらに分けられます。

- データ・セクション (64KB) : NAND Flash メモリからのデータの読出しまたは書込みに使用されます。
- コマンド・セクション (64KB) : NAND Flash メモリへのコマンド送信に使用されます。
- アドレス・セクション (128KB) : NAND Flash メモリアドレスの指定に使用されます。

NAND デバイス (NCE1 および NCE2) は、アドレスビット 24 (16MB 範囲) に応じてデコードされます。

## 柔軟性の高いタイミング設定

- FMC NAND コントローラは、バンクに接続されたメモリのタイミングを設定するために使用されます。
  - 共通および属性空間のメモリ・セットアップ・フェーズ時間(MEMSET)
  - 共通および属性空間のメモリ・ホールド・フェーズ時間(MEMHOLD)
  - 共通および属性空間のメモリ・アクセス・フェーズ時間(MEMWAIT)
  - 共通および属性空間のバス・ターンアラウンド・フェーズ遅延(MEMHIZ)
  - 読出し遅延のアドレス(TAR)
  - 読出し遅延のコマンド(TCR)
  - チップセレクト・ハイ時間(TCEH)



life.augmented

共通メモリ空間および属性メモリ空間は、それぞれ NAND Flash のコマンド、アドレス書込み、データ読出し／書込みアクセスに対して異なるタイミングで設定できます。

属性メモリ空間は、レディ／ビジー管理においてタイミングが以前のアクセスのタイミングと異なる必要がある場合に、最後のアドレス書込みアクセスに使用されます。それ以外の場合は、共通空間のみ必要となります。

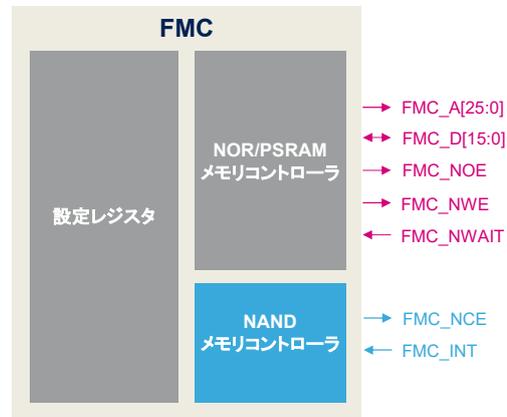
4 個のパラメータが、NAND Flash アクセスのそれぞれのフェーズでの HCLK サイクル数の定義に使用されます。

- セットアップ時間
- ホールド時間
- ウェイト時間
- データバス・ハイインピーダンス時間

さらに 3 個のパラメータがタイミングの制御に使用されます。

- 読出し遅延のアドレス
- 読出し遅延のコマンド
- 最小チップセレクト・ハイ時間

- FMC は、NAND メモリを駆動するのに適した信号を生成します。
  - NAND Flash
    - 8bit
    - 16bit



FMC は、NAND Flash メモリを駆動するのに適した信号を生成します。アドレス、データ、制御信号が NOR/PSRAM コントローラで共有されます。

NAND Flash メモリデバイスのコマンド・ラッチ・イネーブル (CLE) およびアドレス・ラッチ・イネーブル (ALE) 信号は、アドレスライン 16 およびアドレスライン 17 にそれぞれ接続する FMC コントローラのアドレス信号によって駆動されます。

アドレス・セクションへの書込み時は ALE がアクティブになり、コマンド・セクションへの書込み時は CLE がアクティブになります。

- FMC NAND メモリコントローラは、次の機能をサポートしています。
  - 256～8192バイトの読出し操作および書込み操作の ECC ハードウェア高速化
  - NAND バンクの 3 つの割込みソース
    - 立ち上がりエッジ
    - 立ち下がりエッジ
    - 外部メモリのレディ/nビジー出力ピンのレベル
  - ウェイト機能の管理
    - コントローラは、NAND Flash メモリがレディ(レディ/nビジー信号がハイ)になるのを待ってから、新しいアクセスを開始します。
- FMC NAND バンクの MPU メモリ属性は、「デバイス」に設定する必要があります。



FMC NAND メモリコントローラには、次の機能のサポートが含まれています。

エラー訂正コード: ECC のアルゴリズムでは、NAND Flash メモリに対する 256～8192バイトの読出しまたは書込みごとに、1bit のエラー訂正と 2bit のエラー検出を実行できます。これはハミング符号のアルゴリズムに基づいています。

3 つの割込みソースを有効にして、立ち上がりエッジ、立ち下がりエッジ、または NAND Flash メモリから出力されるレディ/nビジー信号のレベルを検出できます。

ウェイト機能の管理: コントローラは、NAND Flash メモリがレディになるのを待ってから、新しいアクセスを開始します。

FMC NAND バンクの MPU メモリ属性は、デバイスに設定する必要があります。

割込みイベント	説明
立ち上がりエッジ	立ち上がりエッジが FMC_INT ピンで検出されました。
立ち下がりエッジ	立ち下がりエッジが FMC_INT ピンで検出されました。
ハイレベル	ハイレベルが FMC_INT ピンで検出されました。

NAND コントローラには、NAND Flash メモリからのレディ/n ビジー信号に接続された場合に、FSMC INT ピンでの立ち上がりエッジ、立ち下がりエッジ、ハイレベルを検出する 3 つの割込みソースがあります。

## ハミング符号のエラー訂正

15

- 利用可能なハミング符号は、1bit のエラー訂正と 2bit のエラー検出を実行できます。
- NAND Flash メモリの 256バイト、512バイト、1024バイト、2048バイト、4096バイト、8192バイトのアクセスをサポートしています。

セクタサイズ	256バイト	512バイト	1024バイト	2048バイト	4096バイト	8192バイト
パリティビット	20	22	24	26	28	30



利用可能なハミング符号は、NAND Flash メモリの 256バイト、512バイト、1024バイト、2048バイト、4096バイト、8192バイトのアクセスに対して、1bit のエラー訂正と 2bit のエラー検出を実行できます。ハミング符号は、行と列のパリティ計算で構成されます。このアルゴリズムは、8bit と 16bit の NAND Flash メモリによってサポートされています。

BCH	エラー訂正機能	エラー検出機能	512バイトセクタに対するパリティバイトの数
BCH4	4bit	8bit	7バイト
BCH8	8bit	16bit	13バイト



エラー訂正機能を向上させるために、FMC には BCH (Bose、Chaudhuri、Hocquenghem) のエンコーダとデコーダが組み込まれています。

次のいずれかをサポートしています。

- セクタあたり 8bit のエラー検出を備えた 4bit のエラーコード訂正
- セクタあたり 16bit のエラー検出を備えた 8bit のエラーコード訂正

BCH エンコーダ／デコーダモジュールは、512バイトの固定サイズのセクタを処理します。

# NAND ECC コントローラのプログラミング

17

- エラー訂正コード(ECC)コントローラは、ハミングと BCH の 2 つのアルゴリズムのいずれかを使用できます。
- このコントローラはページレベルで動作して、Flash メモリの主配列のデータと、予備配列のパリティビットをプログラムしたり読み出したりします。
- このコントローラは次の 2 つのモードのいずれかを使用できます。
  - CPU ポーリング付きのダイレクトモード(あらゆる ECC フォーマットに適合)
  - シーケンサと DMA 転送付きの自動モード(BCH アルゴリズムのみ適合)



life.augmented

エラー訂正コード(ECC)コントローラは、NAND Flash デバイスの ECC 要件に応じて、ハミングと BCH の 2 つのアルゴリズムのいずれかを使用できます。

このコントローラはページレベルで動作して、主配列にあるデータと、予備配列(別名 OOB)のパリティビットで NAND Flash メモリを読み出したりプログラムしたりします。

このコントローラは次の 2 つのモードのいずれかを使用できます。

- CPU ポーリング付きのダイレクトモード(あらゆる ECC に適合)
- シーケンサと DMA 転送付きの自動モード(BCH アルゴリズムのみ適合)

# BCH を使用したダイレクトモードでの ページプログラミング

- 書込みアクセスと ECC 計算を有効にします。
- 512バイトセクタを NAND Flash ページに書き込みます。
- セクタを書き込む際、BCH エンコーダが ECC 値を計算します。
- BCH 符号がレディ状態になるまで待ちます。
- ECC 値を NAND Flash のアウトオブバンド(OOB)領域にコピーします。
- ページのすべてのセクタに対してここまでのステップを繰り返します。
- ページプログラミングを開始します。



## ダイレクトモードでページをプログラムする方法:

- 書込みアクセスと ECC 計算を有効にします。
- 512バイトセクタを NAND Flash ページに書き込みます。
- セクタを書き込む際、BCH エンコーダが ECC 値を計算します。
- BCH 符号がレディ状態になるまで待ちます。
- ECC 値を NAND Flash のアウトオブバンド(OOB)領域にコピーします。
- ページのすべてのセクタに対してここまでのステップを繰り返します。
- ページプログラミングを開始します。

# BCH を使用したダイレクトモードでの ページ読出し

19

- 読出しアクセスと ECC 制御を有効にします。
- 512バイトセクタを NAND Flash ページに読み出します。
- ECC パリティビット(7バイトまたは 13バイト)を NAND Flash のアウトオブバンド (OOB) 領域から読み出します。
- 読出しフェーズ中に、BCH シンドロームが計算されます。続いて、エラーの位置情報が処理され、潜在的なエラーを検出します。
- エラー検出が完了するまで待ちます。
- エラーのデコード結果から、ソフトウェアがセクタを訂正します(可能な場合)。
- ページのすべてのセクタに対してここまでのステップを繰り返します。



## ダイレクトモードでページを読み出す方法:

- 読出しアクセスと ECC 制御を有効にします。
- 512バイトセクタを NAND Flash ページに読み出します。
- ECC パリティビット(7バイトまたは 13バイト)を NAND Flash のアウトオブバンド(OOB)領域から読み出します。
- 読出しフェーズ中に、BCH シンドロームが計算されます。続いて、エラーの位置情報が処理され、潜在的なエラーを検出します。
- エラー検出が完了するまで待ちます。
- エラーのデコード結果から、ソフトウェアがセクタを訂正します(可能な場合)。
- ページのすべてのセクタに対してここまでのステップを繰り返します。

- 次々とコマンドを実行して、ページ全体をプログラムしたり読み出したりします。
- BCH エンコード／デコード、パリティビット計算、エラーの検出と位置をサポートしています。
- データ転送に DMA チャンネルを使用します。
- ページあたりのセクタ数とコマンドフォーマットに関して非常に高い柔軟性があります。



データおよび ECC バイトのアクセスは、データ転送用の DMA チャンネルを使用して FMC コマンドシーケンサで自動的に管理できます。

書込み操作では DMA チャンネル 1 個、読出し操作では DMA チャンネル 2 個が必要になります。

このシーケンスはページレベルで実行され、各ページは 1 つ以上の 512 バイトセクタとなります。

エラー訂正は、各セクタの「予備配列」にある冗長ビットに適用されます。

- 各セクタ:
  - シーケンサがコマンドおよびアドレスを生成して、DMA 転送経由でデータ配列を書き込みます。
  - 主配列を書き込む際、BCH 符号が準備されます。
  - シーケンサがコマンドおよびアドレスを生成して、予備配列にパリティビットを書き込みます。
- 最後のセクタ後:
  - シーケンサが割込みを生成します。
  - ホスト CPU がコマンドインタフェース経由でページプログラムコマンドを直接発行します。



life.augmented

NAND Flash コントローラシーケンサは、次々と操作を実行して、ソフトウェア介入なしでページ全体をプログラムできます。ページの各 512バイトセクタに対して、シーケンサは次の操作を実行します。

- コマンドとアドレスを NAND Flash の主配列に送信します。これには DMA チャンネルが 1 個だけが必要です。
- DMA リクエストをトリガして、データを NAND Flash の主配列に書き込みます。
- データを主配列に書き込む際に、パリティビットが BCH エンジンで計算されます。
- コマンドとアドレスを NAND Flash の予備配列に送信します。
- パリティビットを NAND Flash の予備配列に書き込みます。

すべてのセクタが主配列と予備配列に書き込まれると、シーケンサがホスト CPU に対して完了割込みを生成し、NAND Flash メモリデバイスに対してページプログラムコマンドを発行します。

ソフトウェアのオーバーヘッドはページあたり 1 回の割込みだけです。

割込み中、次のページをシーケンサでプログラムできます。

- 各セクタ:
  - シーケンサがコマンドおよびアドレスを生成して、DMA 転送経由でデータ配列と予備配列を読み出します。
  - 配列を読み出す際、BCH エンジンが潜在的なビットエラーとその位置を特定します。
  - シーケンサが DMA リクエストを生成して、このセクタのエラーログを保存します。
- 最後のセクタ後:
  - シーケンサが割込みを生成します。
  - ホスト CPU がエラーの位置情報を処理してエラーを訂正します。



life.augmented

NAND Flash コントローラシーケンサは、すべての操作を実行するために事前にプログラムして、ソフトウェア介入なしでページ全体を読み出すことができます。

ページの各 512バイトセクタに対して、シーケンサは次の操作を実行します。

- コマンドとアドレスを送信して、NAND Flash の主配列と、予備配列にある関連のパリティビットを読み出します。これには DMA チャンネルが 2 個必要です。
- DMA リクエストをトリガして、データを主配列からメモリバッファにコピーします。
- シーケンサは、データ読出しアクセスと DMA 転送を同期状態にします。
- データとパリティビットを読み出す際、BCH エンジンがエラーの位置多項式を計算して、潜在的な存在とビットエラーの位置を特定します。そして、この情報がエラーログに記録されます。
- エラーログが準備できると、シーケンサが DMA リクエストを生成して、このセクタのエラーログを保存します。

すべてのセクタが読み出されると、シーケンサがホスト CPU に対して完了割込みを生成し、エラーログを処理して、メモリバッファのエラーがあるビットを訂正します。

ソフトウェアのオーバーヘッドはページあたり 1 回の割込みだけです。割込み中、次のページをシーケンサでプログラムできます。

モード	説明
RUN	アクティブです。
SLEEP	アクティブです。ペリフェラル割込みによって、デバイスは SLEEP モードを終了します。
STOP + LP-Stop	停止。ペリフェラルレジスタの内容は保たれます。
LPLV-Stop	停止。ペリフェラルレジスタの内容は保たれます。
STANDBY	パワーダウン状態です。ペリフェラルは、既存のドメインおよびシステムの STANDBY モード終了後に再初期化する必要があります。



FMC は、RUN モードおよび SLEEP モードではアクティブになります。FMC 割込みによって、デバイスは SLEEP モードを終了します。STOP モードおよび STANDBY モードでは、デバイスは通信できません。FMC コントローラを無効にしたり、ドメインやシステムを STOP モードや STANDBY モードに切り替えたりする前に、すべての送信が完了していることの確認が重要です。

STOP モードや STANDBY モード中に外部の SDRAM メモリデータを保持するため、STOP モードや STANDBY モードに移行する前にセルフ・リフレッシュ・モードに設定できます。

- これは、FMC コントローラに関連するペリフェラルの一覧です。詳細については、必要に応じてこれらのペリフェラルのトレーニングを参照してください。
  - リセットおよびクロック制御(RCC)
  - 割込み(GIC/NVIC)
  - 汎用入出力(GPIO)



これは、FMC インタフェースに関連するペリフェラルの一覧です。ユーザは FMC コントローラを正しく設定して使用するために、これらのペリフェラルとのすべての関係性について把握しておく必要があります。