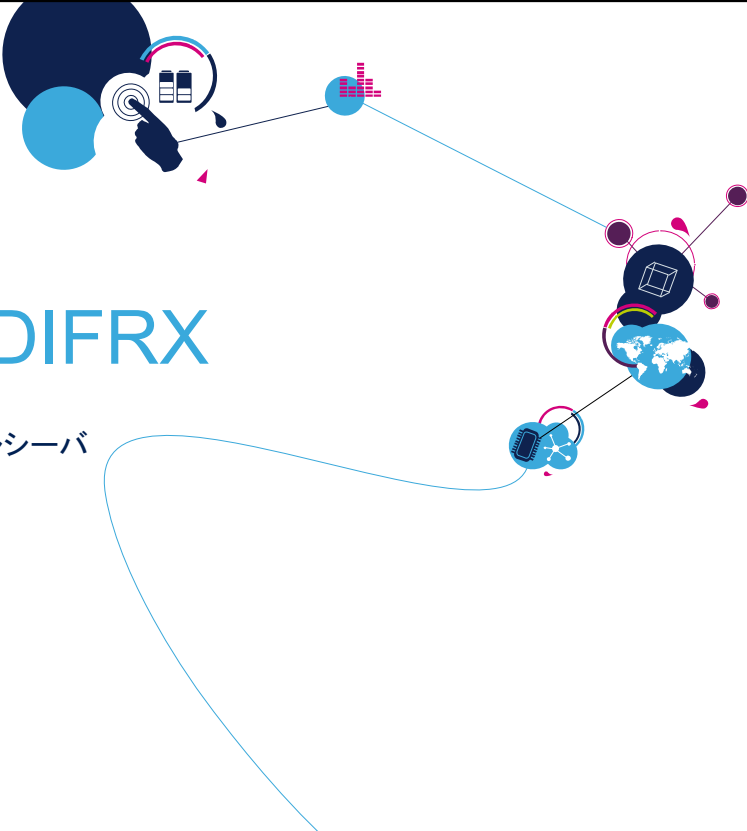




STM32MP1 – SPDIFRX

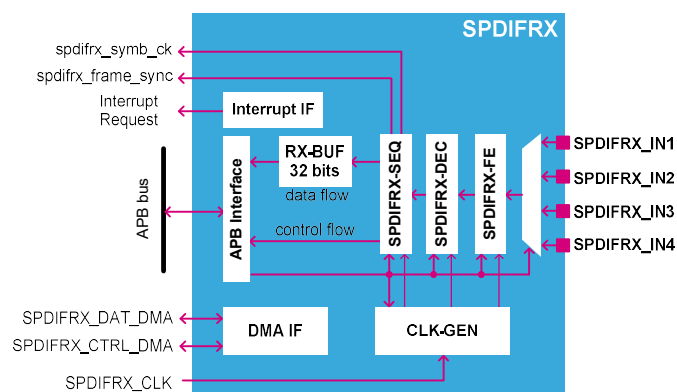
ソニー／フィリップス・デジタル・インタフェース・レシーバ

1.0 版



こんにちは、SPDIFRX ブロックのプレゼンテーションへようこそ。
SPDIF は、ソニー／フィリップスデジタルインタフェースの略です。

- SPDIF-RX (Sony/Philips Digital InterFace: ソニー／フィリップスデジタルインタフェース) は、IEC 60958 および IEC61937 規格に準拠した SPDIF フローを受信できます。



アプリケーション側の利点

- 制御ストリームから分離されたデータストリーム
- 割込みおよび DMA サービス

SPDIFRX ブロックは、IEC-60958 および IEC-61937 規格に準拠したデジタル・オーディオ・ストリームを受信できます。

SPDIFRX にはアドバンスド・ペリフェラル・バス(または「A」「P」「B」)インタフェースが組み込まれており、ブロックの制御およびオーディオと制御フローを受信できます。

SPDIFRX はステータスレジスタも提供するため、アプリケーションは受信の品質を確認できます。

SPDIFRX には 2 つのペリフェラルクロックが必要です。

- レジスタ・インタフェース・アクセスに使用する APB クロック
- 受信ストリームの再サンプリングと処理に使用する SPDIFRX_CLK という名前のカーネルクロック

レシーバ部分は主に以下で構成されています。

- 入力ストリームのサンプリング、フィルタリング、およびエッジ検出を実行する SPDIFRX-FE
- 受信したシンボルをデコードする SPDIFRX-DEC
- フレームフォーマットの整合性をチェックし、ペイロードを制御／ユーザ情報から分離する SPDIFRX-SEQ

SPDIFRX の主な機能

3

- SPDIFRX には次の機能があります。
 - 4 つの入力から 1 つのオーディオストリームを選択可能
 - 自動シンボルレート検出
 - 最大 192kHz のステレオ・ストリーム・レートをサポート
 - IEC 60958 オーディオ (エンコードされていないステレオ・ストリーム) をサポート
 - IEC 61937 オーディオ (ドルビー・デジタルなどのエンコードされたオーディオ・ストリーム) をサポート
 - 以下の DMA インタフェースをサポート
 - データ・ストリーム
 - 制御ストリーム
 - 割込み機能を搭載

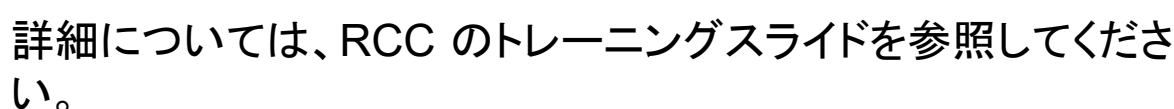


SPDIFRX には次の機能があります。

- 4 つの入力から 1 つのオーディオ・ストリームを選択可能です。一度にデコードできるストリームは 1 つだけであることに注意してください。
- 自動シンボルレート検出。SPDIFRX_CLK 周波数が十分に高い場合、SPDIFRX は受信ストリームをデコードし、概算サンプリングレート情報をアプリケーションに提供します。最大 192kHz のステレオ・ストリーム・レートをサポートしています。
- SPDIFRX は、IEC-60958 に準拠したオーディオ・フレームをデコードします。この仕様は、エンコードされていないステレオ・ストリームについて規定しています。SPDIFRX は、IEC-61937 に記載されたドルビー・デジタルなどのエンコードされたオーディオ・ストリームもサポートします。
- さらに、SPDIFRX は 2 つの DMA チャンネルを提供します。1 つはオーディオ・サンプルデータ専用 (エンコードの有無は問わない)、もう 1 つは制御、ステータス、およびユーザ情報専用です。
- 割込み機能は、さまざまな信号に対応しています。

4

-



SPDIFRX の割当て 5

SPDIFRX リソースは、Cortex®-A7 または Cortex-M4 コアに割り当てることができます。

インスタンス	Cortex-A7 S (OP-TEE)	Cortex-A7 NS (Linux)	Cortex-M4 (STM32Cube)	コメント
SPDIFRX	-	X	X	シングルチョイス割当て

詳しくは、STM32MP1 の Wiki ページ を参照してください。

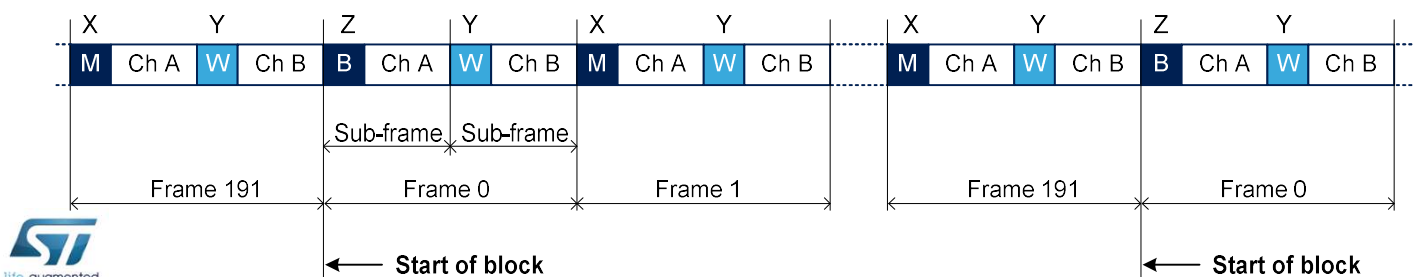


各 SPDIFRX ブロックは、非セキュア Cortex-A7 コアまたはセキュア Cortex-M4 コアのいずれかに割り当てることができます。
詳しくは、STM32MP1 の Wiki ページ を参照してください

SPDIF プロトコルの概要 (1/5)

6

- ブロック構造は、チャンネルステータス (CS) およびユーザ (U) 情報の整理に使用します。
 - 各ブロックには 192 のフレームが含まれています。
 - 各フレームには 2 つのサブフレームが含まれています。
 - プリアンブルにより、ブロックとサブフレームの境界を検出できます。
 - プリアンブル B は新しいブロックの開始とチャンネル A の開始を検出します。
 - プリアンブル M は、チャンネル A の開始を検出します (ブロック境界ではない場合)。
 - プリアンブル W はチャンネル B の開始を検出します。



次の 5 つのスライドで、SPDIF 規格の概要を簡単に説明します。スライドでは主にデジタル・オーディオ・ストリームの物理的および論理的構造を説明します。

IEC60958 では、チャンネルステータス (CS) とユーザ (U) 情報をデコードするため、デジタル・オーディオ・ストリームをブロック構造にまとめています。

- 各ブロックには 192 のフレームが含まれています。
- 各フレームには 2 つのサブフレームが含まれています。

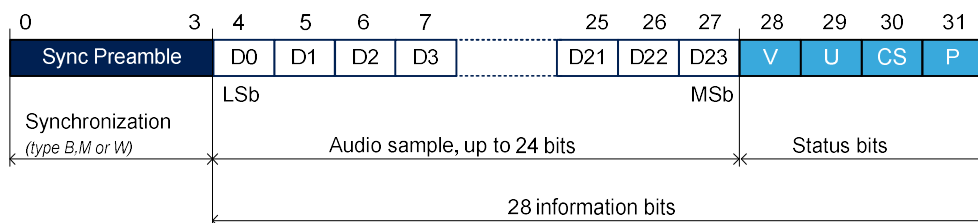
SPDIFRX は、ブロックの開始、プリアンブル、およびフレーム境界を認識できます。

SPDIF プロトコルの概要 (2/5)

7

• サブフレームのフォーマット

- プリアンブル
- 最大 24bit のデータ
- 4 つのステータスビット
 - Vは有効性ビットで、現在のサンプルを直接アナログ信号に変換できることを意味します。
 - Pは受信したサブフレームのパリティビットで、受信したサブフレームのチェックに使用します。
 - Uはユーザ・データ・チャンネルで、各メッセージは 192bit で構成されています。
 - CS はチャンネル・ステータスで、各メッセージは 192bit で構成されます (サンプリングレート、サンプル長など)。



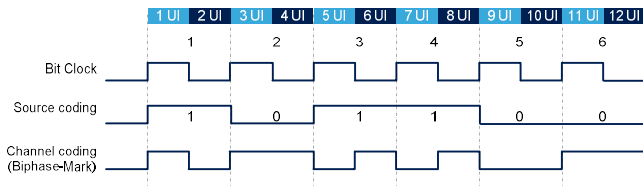
各 SPDIF フレームには 2 つのサブフレームが含まれています。
各サブフレームには、3 つのフィールドに分割された 32bit が含まれています。

- 同期プリアンブルによりブロックとサブフレームの境界を検出します。
- ペイロードは 24bit。
- ステータスビット: V、U、CS、P

SPDIF プロトコル(3/5)

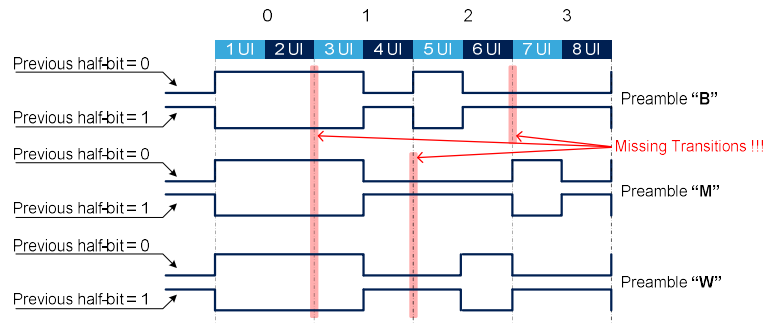
8

- バイフェーズ・マーク・データのエンコーディング:



- プリアンブル:

- プリアンブルはバイフェーズマークコードのルールに「違反」しています。



上図に示すように、デジタル・オーディオ・データはバイフェーズ・マーク・エンコーディングによりコーディングされています。バイフェーズ・マーク・エンコーディングでは、各ビットの境界に遷移があることに注意してください。

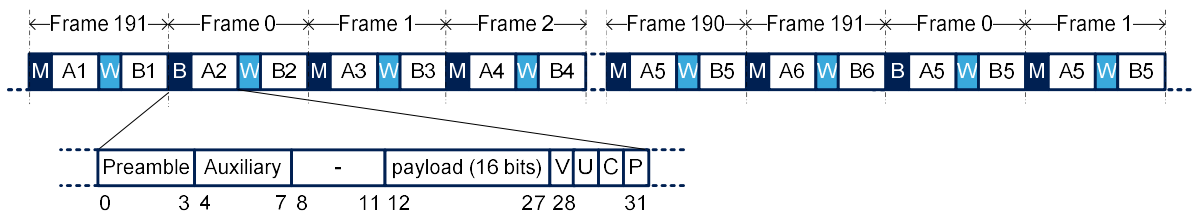
プリアンブルの長さは 4bit で、プリアンブルの一部の遷移ではバイフェーズ・マーク・エンコーディングが考慮されません。この違反は、SPDIF レシーバでブロックとサブフレームの境界を簡単に検出するために使用されます。

UI はUnit Interval(単位間隔)を意味し、コーディング・スキームでの最も短い公称時間間隔を表します。

SPDIF プロトコルの概要 (4/5)

9

- IEC 61937 規格では、IEC 60958 で説明されているように、ノンリニア・エンコードが適用された PCM オーディオ・ストリームをサブフレームに転送できます。
- エンコード済みのオーディオ・ストリームは、このインタフェースを経由して一連のデータ・バーストとして転送されます。
- 各データ・バーストは、64bit のバースト・プリアンブルとそれに続くバースト・ペイロードで構成されています。
- データ・バーストは、各 IEC 60958 サブフレームの位置 [12-27] に配置された 16bit のブロックとして転送されます。



各サブフレームの 4～27 番目にあるビットは、エンコードされたオーディオ信号の転送にも使用できます。
これは、IEC61937 仕様に記載されています。

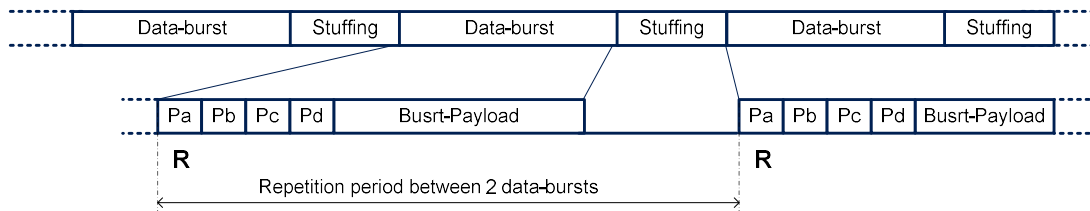
エンコードされたデータ・パケットは、各サブフレームの 12～27 番目のビットを使用します。
64bit のバースト・プリアンブルは、4 つの連続するサブフレームの 12～27 番目のビットにも見られる特定のパターンです。
このプリアンブルはデータ・バーストの開始の検出に使用されます。

バースト・プリアンブル (64bit) は、サブフレームおよびブロック境界の検出に使用されるサブフレーム・プリアンブル (4bit) と混同しないでください。

SPDIF プロトコルの概要 (5/5)

10

- バースト・プリアンブル:
 - Pa、Pb プリアンブルは同期パターンです (Pa = 0xF872、Pb = 0x4E1F)。
 - Pc、Pd プリアンブルには、データ・パケットとペイロード・サイズに関連する情報が含まれています。
- バースト・ペイロードには、エンコードされたデータ(ドルビーデジタル、DTS など)が含まれています。
- スタッフィング:
 - 2 つの繰り返し周期の間にある、未使用のサブフレームのペイロードは強制的にゼロに設定されます。これらのサブフレームは「スタッフィング」と呼ばれます。



バースト・プリアンブルの最初の 32bit は固定パターンの、Pa と Pb です。(上セグメントに結合)

バースト・プリアンブルの最後の 32bit には、データ・パケットとペイロードサイズに関連する情報が含まれています。

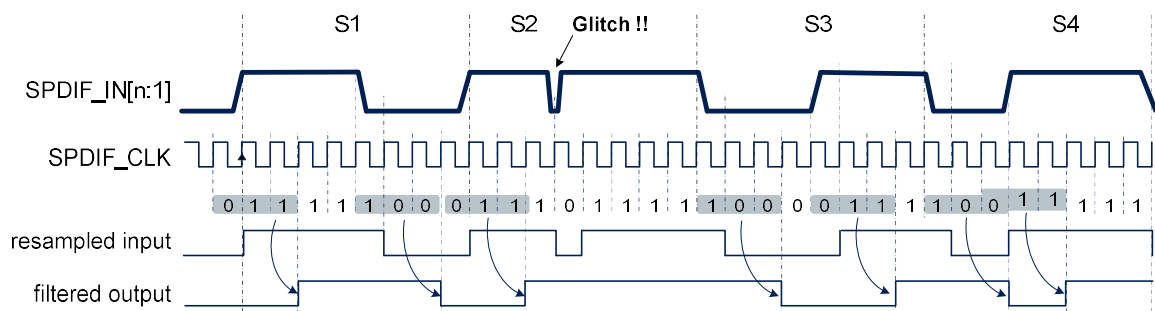
スタッフィングは、データ・バーストの反復率の調整に使用されます。

SPDIFRX のノイズ・フィルタリング

11

入力信号のノイズに対する感度を低減

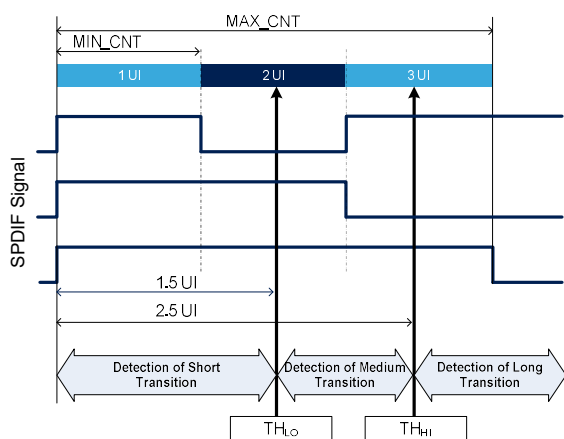
- SPDIFRX は、以下の手順で受信ストリームをフィルタリングします。
 - 0-1-1 シーケンスをサンプリングした場合、立ち上がりエッジを検出します。
 - 1-0-0 シーケンスをサンプリングした場合、立ち下がりエッジを検出します。
 - 立ち上がりエッジの後に立ち下がりエッジシーケンスが预期されます。
 - 立ち下がりエッジの後に立ち上がりエッジシーケンスが预期されます。



SPDIFRX はグリッチを抑制し、受信の信頼性を高めることができます。

SPDIFRX の同期 (1/3)

12



- レシーバは、2 つの遷移間の時間間隔を概算し、それが以下に相当するかどうかを定義します。
 - シンボル「1」の一部
 - シンボル「0」
 - 長いパルス(プリアンブル)
- レシーバは 2 つの閾値を概算します: THLO および THHI で遷移タイプを識別できます。
- 2 つの遷移間の時間間隔が次の場合:
 - THLO 未満 → 短い遷移を検出
 - THHI より高い → 長い遷移を検出
 - THLO と THHI の間 → 中間長の遷移を検出



受信ストリームをデコードするために、SPDIFRX は 1 つの UI の継続時間を概算し、2 つの閾値を定義します。

- 低閾値: THLO を 1.5UI に固定
- 高閾値: THHI を 2.5UI に固定

両方の閾値を計算した後 SPDIFRX は、受信ストリームの連続する遷移間の時間間隔をこれらの閾値と比較します。

時間間隔が THLO より短い場合、短い遷移が検出されます。2 つの連続した短い遷移はシンボル「1」に対応しますが、プリアンブル・パターンの一部に対応することもあります。

時間間隔が THLO と THHI の間にある場合、中間長の遷移が検出されます。中間長の遷移はシンボル「0」に対応しますが、プリアンブル・パターンの一部に対応することもあります。

時間間隔が THHI よりも長い場合、長い遷移が検出されます。長い遷移は常にプリアンブル・パターンの一部であることに注意してください。

シンボル境界の連続追跡

- 同期は 2 つのステップで実行されます。
 - 粗い同期 (COARSE SYNC)
 - 細かい同期 (FINE SYNC)
- SPDIFRX が有効な場合、COARSE SYNC が実行されます。
 - COARSE SYNC は以下により構成されます。
 - 70 個の遷移 (LTI と STI) 内の最長と最短の時間間隔の測定
 - THLO と THHI の粗い値の計算 ($THLO = LTI/2$ 、 $THHI = STI + LPI/2$)
- FINE SYNC は、各フレームの開始時に COARSE SYNC の後に実行されます。
 - FINE SYNC は以下により構成されます。
 - 24 個と 40 個の連続するシンボル (WIDTH24、WIDTH40) の間隔の測定
 - THLO および THHI 閾値の細かい値の計算 ($THLO = WIDTH24/32$ 、 $THHI = WIDTH40/32$)



受信ストリームを高い信頼性でデコードするには、閾値 THLO および THHI の概算が正確でなければなりません。

THLO と THHI の閾値は、2 つのステップで概算します。
COARSE SYNC は、70 個の遷移の中の連続する時間間隔を測定し、最長および最短の時間間隔を選択します。
これらの 2 つの値を使用して、THLO および THHI 閾値の最初の概算を行います。

THLO と THHI 閾値の粗い推定により、SPDIFRX は SPDIF フレームをデコードし 24 個と 40 個の連続するシンボルの間隔を測定して、THLO および THHI 閾値の概算をさらに改善できます。

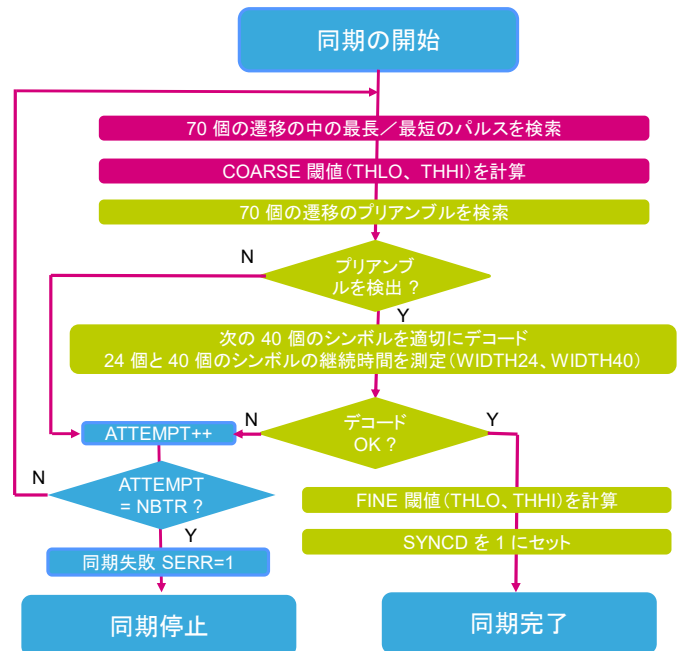
SPDIFRX の同期 (3/3)

14

- ノイズの多い環境では、COARSE SYNC によって概算した閾値が不正確になる場合があります。

- FINE SYNC が適切に完了するまでは、エラーが表示されます。

- ユーザは許容される試行回数 (NBTR) を選択できます。

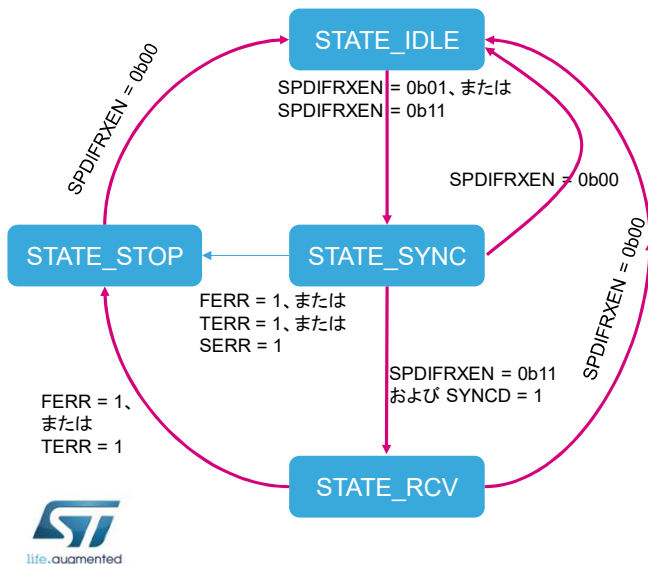


この図は、THLO および THHI 閾値を適切に概算するため SPDIFRX が実行するハードウェアプロセスを示しています。

ノイズの多い環境では、COARSE SYNC が不正確になり、FINE 同期が失敗する場合があることに注意してください。これは普通の状況と見なすことができ、アプリケーションは多数のリトライ (NBTR) をプログラムすることができます。

また、THLO および THHI 閾値はフレームごとに更新されることに注意してください。

SPDIFRX は、次の 4 つの状態間の切り替えができます。



STATE_IDLE:

SPDIFRX を無効にします。

STATE_SYNC:

SPDIFRX は同期され、閾値は定期的に更新されます。ユーザとチャネルステータスの読出しが可能です。オーディオサンプルは受信バッファに提供されません。

STATE_RCV:

SPDIFRX は同期され、閾値は定期的に更新されます。ユーザとチャネルステータスの読出しが可能です。データは受信バッファに送られます。

STATE_STOP:

エラーが発生しました。ユーザ、チャネルのステータス、データの受信が停止します。ユーザはペリフェラルを STATE_IDLE に切り替える必要があります。

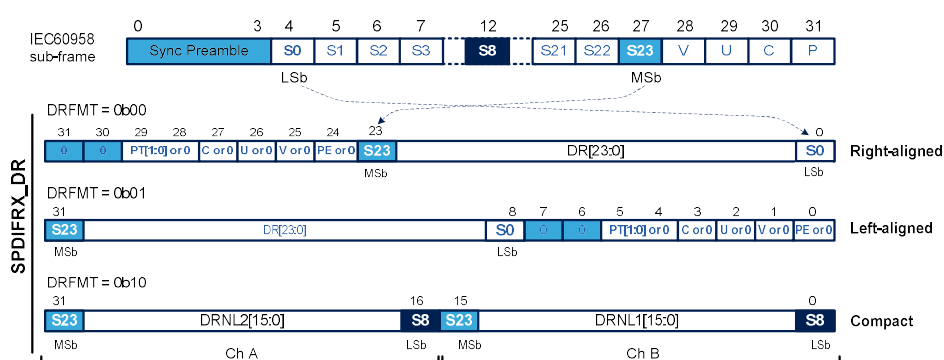
この図は、SPDIFRX のさまざまな状態を示しています。SPDIFRX の状態は、SPDIFRXENフィールドによりアプリケーションによって、またエラーが検出された場合は主に SPDIFRX ハードウェアによって変更できます。

エラーが検出されると、SPDIFRX は直接 STATE_STOP 状態に移行します。アプリケーションは、最初に SPDIFRX を STATE_IDLE に設定してから、再度 STATE_SYNC または STATE_RCV に設定する選択もできます。

SPDIFRX データフロー

16

- SPDIFRX はデータ受信用の 32bit ダブルバッファを提供
- DMA または割込みによるデータ読出しが可能
- 柔軟性の高いデータ・フォーマット: 右詰め、左詰め、またはコンパクト・フォーマット
 - PTMSK、CUMSK、VMSK、および PMSK ビットを使用して、プリアンブル・タイプ、C & U ビット、有効性ビット、およびパリティ・エラー・ビットを各データ・サンプルに挿入できます。



SPDIFRX は、データ受信用に 32bit のダブル・バッファを提供します。

アプリケーションは、DMA または割込みを使用して受信データの読出しができます。

さまざまなデータ・フォーマットを利用できます:

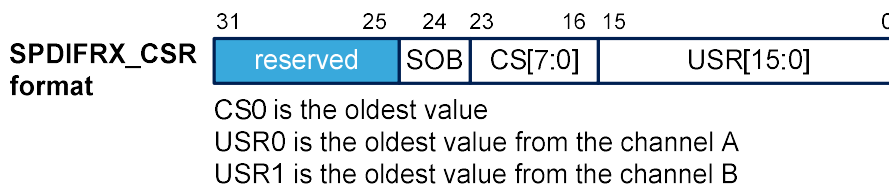
- 右詰め
- 左詰め、または
- コンパクト・フォーマット

コンパクト・フォーマットは、エンコードされたオーディオ・フレームを SPDIFRX が受信しているときに活用できる場合があります。

さらに、SPDIFRX は、各オーディオ・サンプルに対してプリアンブル・タイプ、C & U ビット、有効性ビット、パリティ・エラー・ビットを挿入できます。

ユーザは、マスク・ビットを使用して提供する情報を選択できます。

- SPDIFRX は、CS および U チャンネル受信用の 32bit バッファを提供します。
 - ユーザは、CS の読出しをチャンネル A またはチャンネル B のどちらから行うか選択できます (排他的)。
 - DMA または割込みによる CS と U の読出しが可能。
 - FINE SYNC が完了すると、新しいブロックの開始時に CS および U ビットの取得がトリガされます。
 - 収集された CS および U ビットが、8 フレームごとに SPDIFRX_CSR レジスタにコピーされます。
 - SOB ビットは、CS ビットと U ビットがブロックの最初の 8 フレームに対応するかどうかを表します。



SPDIFRX は、CS および U チャンネルの受信用に 32bit バッファを提供します。

アプリケーションは、DMA または割込みを使用して、SPDIFRX_CSR レジスタで受信した制御情報を読み出すことができます。

SPDIFRX_CSR レジスタには以下が含まれます:

- 選択したチャンネル (チャンネル A または B のいずれか) から取得した 8bit の CS
- U の 16bit (チャンネル A の U ビットとチャンネル B の U ビット)
- ブロックの開始が検出されたかどうかを示す 1bit

正確なエラー信号のための完全なフラグセット

SPDIFRX には、エラーを検出するための複数のフラグがあります。

FERR フラグ:

- 1つのシンボル遷移シーケンスが正しくない場合、たとえばショート・パルスがペアでグループ化されていない場合を検出します。
- プリアンブルが予期せぬ場所で発生した場合、または予期したプリアンブルが受信されない場合を検出します。

SERR フラグ:

- 同期の失敗を検出します。これは、リトライ回数がプログラムされた値を超過したためです。

TERR フラグ:

- 2つの遷移間の幅の概算に使用するカウンタ (TRCNT) のオーバーフローを検出します。

PERR フラグ:

- パリティ・チェックの失敗を検出します。

OVR フラグ:

- データフローでのオーバーランの発生を検出します。



障害の根本的な原因を明確にするため、完全なエラー信号がアプリケーションに提供されます。

FERR フラグは、フレーム構造に関するエラーを検出します。

SERR フラグは、同期の失敗を検出します。

TERR フラグは、2つの遷移間の幅の概算に使用するカウンタのオーバーフローを検出します。これは通常、選択した SPDIFRX 入力に信号が検出されないことを意味します。

PERR フラグは、パリティ・チェックが失敗したかどうかを検出します。

OVR フラグは、データフローでオーバーランが発生したかどうかを検出します。

- SPDIFRX は単一の割込みラインにより以下のイベントを処理します。

割込みイベント	説明	割込みのクリア方法
RXNE	データフロー用の受信バッファはノットエンプティ	SPDIFRX_DR 読出し
CSRNE	制御フロー用の受信バッファはノットエンプティ	SPDIFRX_CSR 読出し
PERR	データ破損検出	PERRCF を 1 にセット
FSERR	フレーム構造と同期エラー (SERR、TERR、FERR を含む)	SPDIFRXEN を 0 にセット
OVR	オーバーフロー検出	OVRDCF を 1 にセット
SDB	新しいブロック検出の開始	SBDCF を 1 にセット
SYNCD	同期完了	SYNCDCF を 1 にセット



SPDIFRX は、複数のイベントで共有される単一の割込みラインを提供します。

- エラーイベント
- データおよび制御フローの受信イベント
- 同期レディイベント
- ブロック検出イベント

SPDIFRX クロック供給

21

- SPDIFRX_CLK は、受信 SPDIF ストリームのサンプリングに使用されます。
- SPDIFRX_CLK 周波数は、受信オーディオ・ストリームのシンボルレートより少なくとも 11 倍高くする必要があります。
- シンボルレートは、オーディオ・サンプリング・レート (IEC 60958) の 64 倍です。

サンプルレート (シンボルレート)	最小 SPDIFRX_CLK 周波数
48kHz (3.072MHz)	33.8MHz
96kHz (6.144MHz)	67.6MHz
192kHz (12.288MHz)	135.2MHz



SPDIFRX_CLK 周波数が高いほど、受信の信頼性も高くなります。

SPDIF ストリームを信頼性高くデコードするには、SPDIFRX_CLK 周波数をシンボルレートより少なくとも 11 倍高くする必要があります。

この表は、SPDIF ストリームのサンプルレートに応じた SPDIFRX_CLK クロックの最小要求周波数を示しています。

SPDIFRX のその他の機能

22

- SPDIFRX は、シンボルレートを概算する手段を提供します。
 - WIDTH5 フィールドは、SPDIFRX_CLK クロックがカウントする 5 つのシンボルの継続時間を提供します。
 - 例: $f_{\text{SPDIFRX_CLK}} = 84\text{MHz}$ 、WIDTH5 = 144d の場合、オーディオ・サンプリング・レートのおおまかな概算値 (f_s) は次のようになります。
$$f_s = 5 \times f_{\text{SPDIFRX_CLK}} / (\text{WIDTH5} \times 64) \sim 45.6\text{kHz}$$
近いオーディオ標準周波数は 44.1kHz なので、受信ストリームは 44.1kHz である可能性が高いことになります。
- SPDIFRX_DIR レジスタにより、THLO および THHI の概算値を確認できます。
- クロック・ドリフトを概算するため、SPDIFRX はタイマに接続された spdifrx_frame_sync 信号を提供します。



SPDIFRX は、アプリケーションが CS チャネルをデコードせずに、デコードされたストリームのサンプリング・レートを概算できるように情報を提供します。

サンプリングレート概算の精度は、SPDIFRX_CLK の周波数によって部分的に制限されます。

アプリケーションは、概算 THLO および THHI 閾値を確認してデバッグに利用できます。

SPDIFRX は、タイマに接続できる spdifrx_frame_sync という名前の信号も提供して、クロック・ドリフトを概算します。

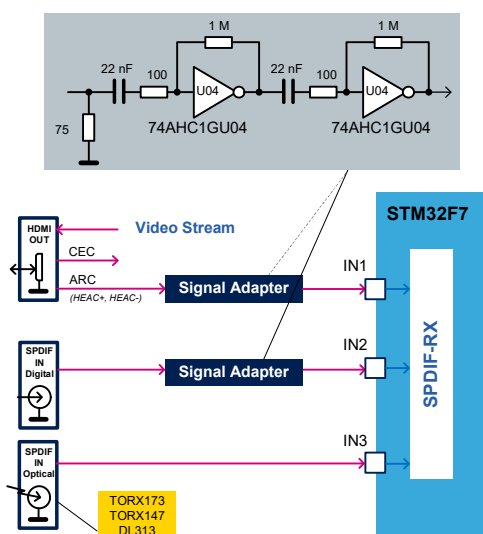
この機能は、回路が SPDIFRX によりオーディオ・サンプルを受信し、オーディオ処理を実行して、SAI を経由して外部オーディオ・デバイスに提供する場合に役立ちます。

SAI のカーネルクロックは、受信サンプル量が送信サンプル量と等しくなるよう、分数対応の PLL により滑らかに調整されます。

。

SPDIFRX のその他の機能

23



- SPDIFRX は以下の信号を受信できます。
 - SPDIF デジタル入力
 - SPDIF 光入力
 - HDMI コネクタからのオーディオ・リターン・チャンネル
- SPDIF インタフェースから受信したピーク間で 200mV (200mVpp) の信号を増幅するためには、シンプルな信号アダプタが必要になる場合があります。



SPDIFRX は以下の信号を受信できます：

- SPDIF 入力
- SPDIF 光入力
- HDMI コネクタからのオーディオ・リターン・チャンネル

SPDIF インタフェースから受信した信号 (200mVpp) を増幅するためには、信号アダプタが必要になる場合があります。

ほとんどの場合、1 つまたは 2 つのバッファなしインバータを使用すれば十分です。

SPDIF デコードでは、デコードに影響を与えずに信号の極性を反転できることに注意してください。レシーバが使用するのは遷移だけです。

モード	説明
RUN	アクティブ
SLEEP	アクティブ・ペリフェラル割込みによって、デバイスは SLEEP モードを終了します。
STOP + LP-STOP	停止。ペリフェラル・レジスタの内容は保たれます。
LPLV-STOP	停止。ペリフェラル・レジスタの内容は保たれます。
STANDBY	パワーダウン状態です。ペリフェラルは、STANDBY モード終了後に再初期化する必要があります。



各低電力モードにおける SPDIFRX のステータスの概要を示します。
 デバイスが STOP モードおよび STANDBY モードの場合、SPDIFRX は機能しません。

- 詳細については、このペリフェラルに関連する次のトレーニングを参照してください。
 - リセットおよびクロック制御(RCC)
 - ダイレクト・メモリ・アクセス(DMA)コントローラ

これは SPDIFRX に関連するペリフェラルのリストです。
可能な設定の詳細については、リセットとクロック制御、およびダイレクト・メモリ・アクセス・コントローラのトレーニングを参照してください。