



STM32MP1 - LPTIM

低電力タイマ

1.0 版



STM32MP1 低電力タイマ(LPTIM)のプレゼンテーションによ
うこそ。ここでは、タイミング設定機能を提供し、低電力モードでも
波形を生成できるこのペリフェラルの機能について説明していま
す。

- LPTIM は 16bit タイマです。クロックソースの多様性により、LPTIM は STM32MP1 マイクロプロセッサで使用可能な低電力モードのほとんどで実行し続けることができます。



機能概要

- 非同期実行機能
- 超低消費電力
- 低電力モードからのウェイクアップのタイムアウト機能



life.augmented

STM32MP1 マイクロプロセッサに組み込まれている低電力タイマペリフェラルには、低電力モードでも実行できる 16bit タイマが搭載されています。これは、柔軟性の高いクロック制御スキームによって実現しています。低電力タイマペリフェラルには、基本的な汎用タイマ機能が備わっています。低電力タイマの主な機能の 1 つに、非同期カウントモードに設定しているときにアクティブな内部クロックソースがない場合でも実行し続ける機能があります。

- 数多くの選択可能なクロックソースを使用した柔軟性の高いクロック制御スキーム
 - 内部クロックソース: LSE、LSI、HSI クロック
 - LPTIM 入力経由の外部クロックソース(オンチップオシレータが実行していないときでも動作、パルスカウンタアプリケーションによって使用)
- 最大 8 つの外部トリガ
 - 設定可能なアクティブエッジ付き: 立ち上がりエッジ、立ち下がりエッジ、両方のエッジ
 - 誤ったトリガを回避するデジタルグリッチフィルタ付き
- 2 種類の動作モード: 連続およびワンショット



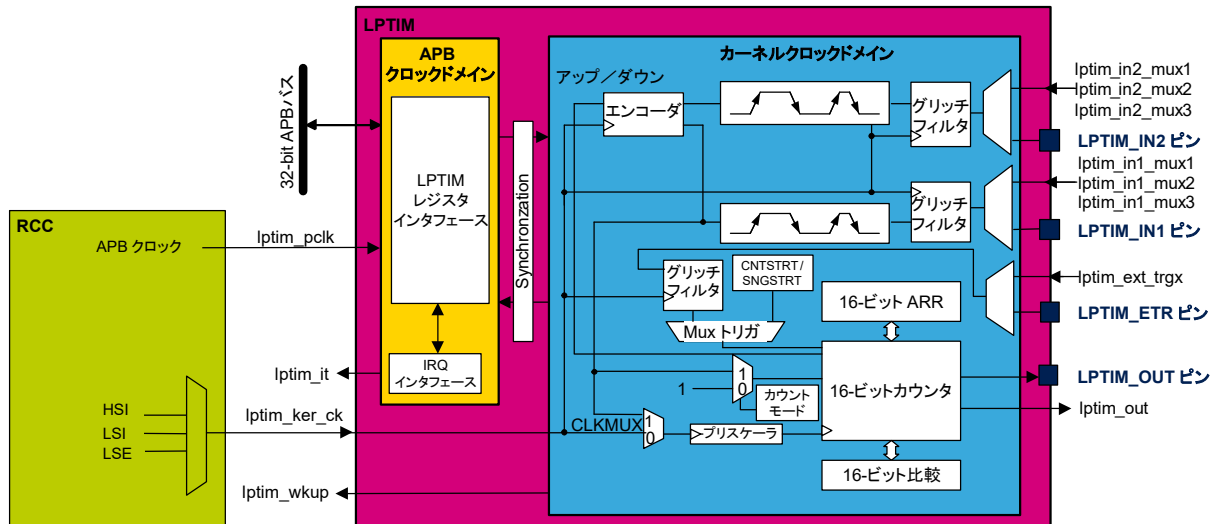
life.augmented

低電力タイマの主な機能は、ほぼすべてのクロックソースがオフになる低電力モードでも実行し続けられる機能です。低電力タイマには、非常に柔軟性の高いクロック制御スキームが備わっています。オンチップクロックソースLSE、LSI、HSI クロックからクロック供給できます。あるいは、低電力タイマの LPTIM_IN1 や LPTIM_IN2 の入力で外部クロックソースから供給できます。後者の機能は、「パルスカウンタ」アプリケーションの構築で使用され、ガスメータなどの測定アプリケーションで重要な機能となります。

低電力タイマには、設定可能な極性を持つ 8 個の外部トリガソースが備わっています。外部トリガ入力には、ノイズの多い動作環境で発生する可能性のある誤ったトリガを除外するデジタルフィルタがあります。

低電力タイマは、連続モードまたはワンショットモードで動作するように設定できます。ワンショットモードはパルス波形を生成するために使用され、連続モードは PWM 波形を生成するために使用されます。

LPTIM ブロック図



低電力タイマは、2 個のクロックドメインを持つペリフェラルです。APB クロックドメインには、ペリフェラルの APB インタフェースが含まれます。カーネルクロックドメインには、低電力タイマペリフェラルのコア機能が含まれます。カーネルクロックドメインは、タイマの「LPTIM_IN1」入力を使用して外部クロックソースから内部クロックソースへクロック供給できます。

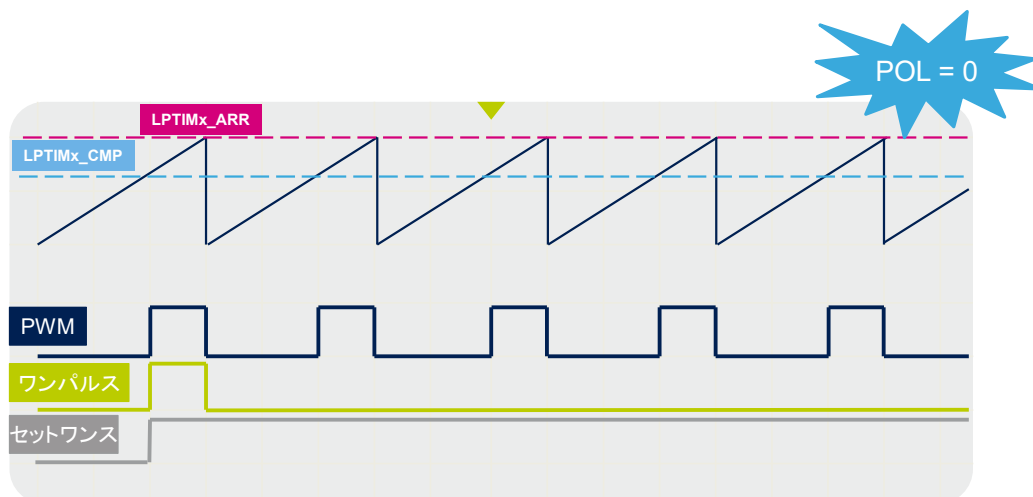
低電力タイマペリフェラルには、2 のべき乗のプリスケアラで供給される 16bit カウンタが組み込まれています。低電力タイマペリフェラルには、タイマの「LPTIM_OUT」出力で PWM 波形信号を出力するための周期とデューティサイクルをそれぞれ設定する 16bit 自動リロードレジスタと 16bit 比較レジスタがあります。

低電力タイマには、ペリフェラルの「lptim_in1_mux」および「lptim_in2_mux」の入力を使用するインクリメンタル直交エンコーダセンサとインタフェース接続するために使用できるエンコーダモード機能があります。両方の入力には、グリッチフィルタリング回路が搭載されています。

最大 3 つの設定可能な波形

5

• PWM 波形、ワンパルス波形、セットワンス波形



life.augmented

LPTIM_CFGR レジスタの「WAVE」ビットフィールドおよび LPTIM_CR レジスタの「SNGSTRT」ビットフィールドと連携する LPTIM_CMP レジスタと LPTIM_ARR レジスタは、出力波形の制御に使用されます。

出力波形は、LPTIM_ARR レジスタや LPTIM_CMP レジスタでそれぞれ制御される周期とデューティサイクルを持つ標準的な PWM 信号になります。あるいは、設定した波形で定義される最後の出力状態を持つシングルパルスになります。

最後の出力状態が波形の最初と同じ場合、ワンパルスモードが設定されます。

違う場合は、セットワンスモードが設定されます。

低電力タイマの出力極性は、LPTIM_CFGR レジスタの「WAVPOL」ビットフィールドで制御されます。

- タイマカウンタのリセットによって、LPTIM_CNTレジスタの内容がリセットされます。
- 2つのカウンタリセットメカニズムが使用できます。
 - 同期カウンタリセットメカニズム
 - LPTIM_CRレジスタのCOUNTRSTビットが“1”にセットされると、LPTIM_CNTレジスタの内容がリセットされます。このリセットは、3カーネルクロックサイクルの同期的遅延の後にのみ発生します (lptim_ker_ckカーネルクロック信号はAPBクロックと異なる場合があります)。
 - 非同期カウンタリセットメカニズム
 - LPTIM_CRレジスタのRSTAREビットが“1”にセットされると、LPTIM_CNTレジスタに対するあらゆる読出しアクセスによって、LPTIM_CNTレジスタの内容が非同期的にリセットされます。



life.augmented

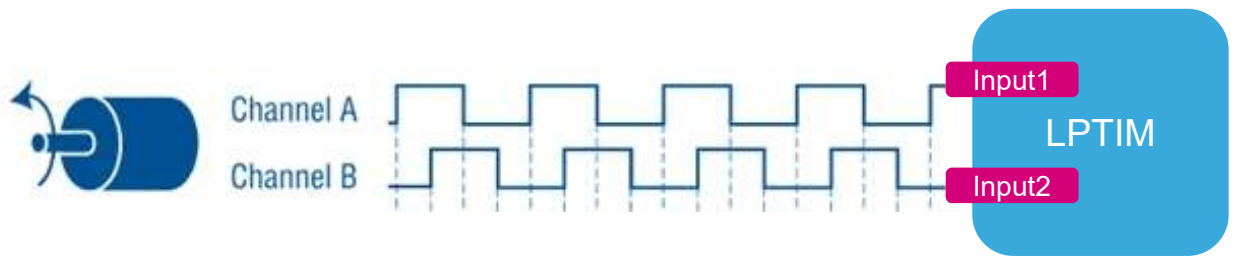
低電力タイマには、LPTIM_CNTレジスタの内容を“0”にリセットするために使用されるカウンタリセット機能が搭載されています。2つのカウンタリセットメカニズムが使用できます。: 同期カウンタリセットメカニズムと非同期カウンタリセットメカニズムです。

同期カウンタリセットは、COUNTRSTビットをセットすると実行されます。このリセットの同期的な性質のため、3LPTIMカーネルクロックサイクルの同期的遅延の後にのみ、この状況が発生します。

RSTAREビットがセットされると、非同期カウンタリセットがLPTIM_CNTレジスタに対する次のAPB読出しアクセスで実行されます。

エンコーダモード

- 汎用タイマのエンコーダモードと同じ動作モード
- LPTIM が連続モードで実行している場合のみ使用可能



低電力タイマには、ペリフェラルの「Input1」および「Input2」の入力を使用するインクリメンタル直交エンコーダセンサとインタフェース接続できるエンコーダモード機能があります。両方の入力には、グリッチフィルタリング回路が搭載されています。エンコーダ機能は、汎用タイマに組み込まれているものと同様です。

エンコーダモード機能を使用するためには、低電力タイマを連続モードで実行する必要があります。

注意すべき重要な点は、低電力タイマ 1 および 2 にだけエンコーダモード機能が組み込まれていることです。

割込みイベント	説明
比較一致	カウンタレジスタ(LPTIM_CNT)の内容が比較レジスタ(LPTIM_CMP)の内容と一致したときに、割込みフラグが立ちます。
自動リロード一致	カウンタレジスタ(LPTIM_CNT)の内容が自動リロードレジスタ(LPTIM_ARR)の内容と一致したときに、割込みフラグが立ちます。
外部トリガイベント	外部トリガが検出されたときに、割込みフラグが立ちます。
自動リロードレジスタへの書き込み完了	LPTIM_ARR レジスタへの書き込み動作が完了したときに、割込みフラグが立ちます。
比較レジスタへの書き込み完了	LPTIM_CMP レジスタへの書き込み動作が完了したときに、割込みフラグが立ちます。
方向の変更	エンコーダモードで使用されます。方向の変更をハイライトするために次の 2 つの割込みフラグが組み込まれています。アップフラグはアップカウント方向の変更をハイライトし、ダウンフラグはダウンカウント方向の変更をハイライトします。



低電力タイマペリフェラルには、6 個の割込みソースがあります。

- 「比較一致」割込みは、カウンタレジスタ LPTIM_CNT の内容が比較レジスタ LPTIM_CMP の内容と一致するか、比較レジスタ LPTIM_CMP の内容を上回ったときに発生します。
- 「自動リロード一致」割込みは、カウンタレジスタの内容が自動リロードレジスタの内容と一致したときに発生します。
- 「外部トリガイベント」割込みは、有効な外部トリガが検出されたときに発生します。
- 「自動リロードレジスタへの書き込み完了」と「比較レジスタへの書き込み完了」の割込みは、ペリフェラルの APB インタフェースロジックから 2 つの異なるクロックドメインに含まれるペリフェラルのコアロジックへの LPTIM_ARR レジスタと LPTIM_CMP レジスタそれぞれの内容の転送が完了したときに発生します。これら 2 つの割込みは、ペリフェラルのコアクロックが APB インタフェースクロックと比べて遅すぎる場合に、これら 2 つのレジスタへの書き込みステータスにおけるポーリングの負荷軽減に役立ちます。
- 「アップおよびダウンの方向の変更」割込みは、エンコーダモード機能が有効で、カウント方向がアップからダウンまたはその逆に変わったときに発生します。低電力タイマのカウンタのカウント方向は、直交センサの回転方向に反映されます。

MPU/MCU ドメインの状態	説明
CRUN	アクティブです。
CSLEEP	アクティブです。 ウェイクアップ機能のあるペリフェラルイベントはシステムをウェイクアップできます。
STOP + LP-STOP	LPTIM が STOP モードで使用できるオシレータによってクロック供給されている場合、アクティブです。LPTIM が機能し、割り込みでデバイスは STOP モードを終了します。
LPLV-STOP	アクティブではありません。LPTIM を無効にする必要があり、レジスタの内容は保持されます。
STANDBY または SHUTDOWN	パワーダウン状態です。 ペリフェラルがアクティブではなくなります。ペリフェラルは、STANDBY モード終了後に再初期化する必要があります。



低電力タイマペリフェラルは、RUN モードおよび SLEEP モードではアクティブになります。
また、STOP モードで実行し続けているオシレータによってクロック供給されている場合は、STOP モードや低電力 STOP モードでもアクティブです。

STM32MP1 インスタンスの機能

10

LPTIM の機能	LPTIM1	LPTIM2	LPTIM3	LPTIM4	LPTIM5
エンコーダモード	X	X	-	-	-
ウェイクアップ (STOP + LP STOP から)	X	X	X	X	X
ウェイクアップ (LPLV STOP から)	-	-	-	-	-

Runtime allocation			
Instance	Cortex-A7 S (OP-TEE)	Cortex-A7 NS (Linux)	Cortex-M4 (STM32Cube)
LPTIM1		<input type="checkbox"/>	<input type="checkbox"/>
LPTIM2		<input type="checkbox"/>	<input type="checkbox"/>
LPTIM3		<input type="checkbox"/>	<input type="checkbox"/>
LPTIM4		<input type="checkbox"/>	<input type="checkbox"/>
LPTIM5		<input type="checkbox"/>	<input type="checkbox"/>



STM32MP1 デバイスには、最大 5 個の LPTIM ペリフェラルが組み込まれており、LPTIM1 と LPTIM2 のインスタンスのみにエンコーダモードが組み込まれています。STOP モードおよび低電力 STOP モードからのウェイクアップはすべての LPTIM インスタンスでサポートされます。LPLV (低電圧かつ低電力) STOP モードからのウェイクアップはすべての LPTIM インスタンスでサポートされているわけではありません。

すべての LPTIM インスタンスはランタイム時に Cortex® M4 コアか非セキュア Cortex-A7 コアに割り当てることができます。

- 詳細については、次のペリフェラルに関するペリフェラルのトレーニングを参照してください。
 - システム設定コントローラ(SYSCFG)
 - リセットおよびクロック制御(RCC)
 - 電源コントローラ(PWR)
 - 割込み(NVIC および EXTI)
 - ダイレクトメモリアクセス(DMA)コントローラ



life.augmented

このペリフェラルに関する詳細については、次のペリフェラルのトレーニングも参照してください。

- システム設定コントローラ
- リセットおよびクロックコントローラ
- 電力コントローラ
- 割込みコントローラ
- ダイレクトメモリアクセスコントローラ

- 詳細および追加情報については、次の関連資料を参照してください。
 - アプリケーションノート AN4865: Low-power timer (LPTIM) applicative use-cases on STM32 MCUs
 - LPTIM 専用の ST Wiki ページ



詳細については、弊社ウェブサイトで利用できる次の関連資料を参照してください。
STM32MP1 Wiki も参照でき、専用ページで詳細を検索できます。