



STM32WB - DBG

デバッグとトレース

1.0 版



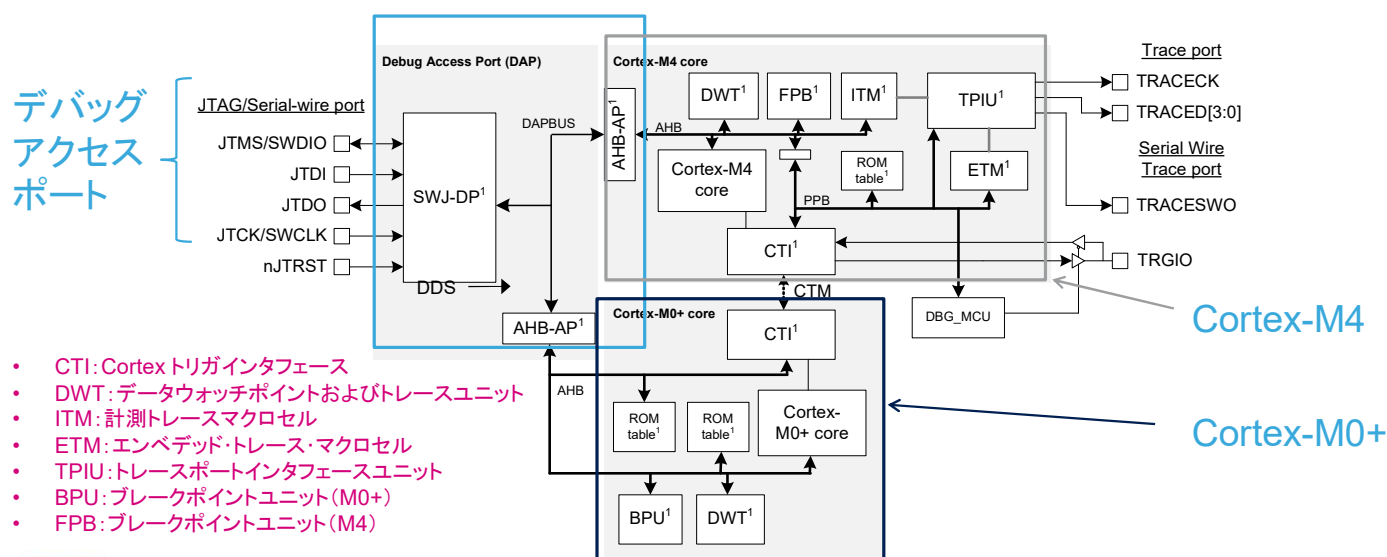
STM32 デバッグとトレース用インタフェースのプレゼンテーションによろこそ。STM32WB デバイスが備えているデバッグとトレース機能について説明を行います。



- STM32WB はデバッグとトレースに充実したサポートを提供
 - プログラムを RAM または Flash メモリにダウンロード
 - メモリとレジスタの内容を確認
 - ブレークポイントを挿入してプロセッサを停止
 - プログラムを実行またはシングルステップ実行
 - プログラムの実行をトレース
- Arm® CoreSight™ アーキテクチャベース
 - 広範囲な互換ツール
 - 標準インターフェース (JTAG / シリアルワイヤ)



STM32WB には、STM32 ファミリー MCU が提供するお馴染みのデバッグ機能 (Flash ダウンロード、ブレークポイントデバッグ、レジスタ表示とメモリ表示、シリアルワイヤトレース) がすべて内蔵されていますが、さらに、マルチコアバージョンにおける共同デバッグのためのクロストリガ機能が追加されています。デバッグとトレースのインフラストラクチャは、ほとんどのツールプロバイダによってサポートされている Arm CoreSight 規格を採用しています。



デバッグ
アクセス
ポート

- CTI: Cortex トリガインタフェース
- DWT: データウォッチポイントおよびトレースユニット
- ITM: 計測トレースマクロセル
- ETM: エンベデッド・トレース・マクロセル
- TPIU: トレースポートインタフェースユニット
- BPU: ブレークポイントユニット (M0+)
- FPB: ブレークポイントユニット (M4)

• STM32WB 製品では、Cortex®-M0+ デバッグが無効化されています。



デバッグとトレースのインフラストラクチャは、次の 3 つの異なる機能ドメインで構成されています。

- デバッグアクセスインフラストラクチャ – ターゲットのトレース機能とデバッグ機能に外部デバッガがアクセス可能とするデバッグポート (SWJ-DP) とアクセスポート (AP) が含まれています。
- Cortex-M0+ コア - プロセッサならびにそれに対応したトレースとデバッグのユニット群 (DWT、BPU、CTI) が含まれています。
- Cortex-M4 コア - プロセッサならびにそれに対応したトレースとデバッグのユニット群 (DWT、FPB、ITM、ETM、TPIU、CTI) が含まれています。

さらに、次のものを含むシステムデバッグ機能もあります。

- クロストリガマトリックス (CTM) – CTI 同士を接続し、両方のコアの同時停止やトレースのトリガなどを可能とします。
- DBG_MCU – デバッグ中のタイマのフリーズのような独自機能を提供します。
- 外部トリガ入出力 – 外部信号によるデバッグまたはトレースのトリガを可能としたり、外部の装置やコンポーネントを同期するためのトリガパルスを生成したりします。

セキュアルートセキュリティサービスが含まれている STM32WB デバイスでは、Cortex-M0+ デバッグユニットが無効化されていることに注意してください。

- デバッガは JTAG/SWD ポート経由で STM32WB にアクセスします
 - 標準の 5ピン JTAG ポートもバウンダリスキャンと DFT に使用
 - シリアルワイヤデバッグ(SWD)ポートはJTAG ポートのうち 2ピンだけ使用
 - デバッグが必要ではない場合、すべてのデバッグピンは機能用として再割当て可能

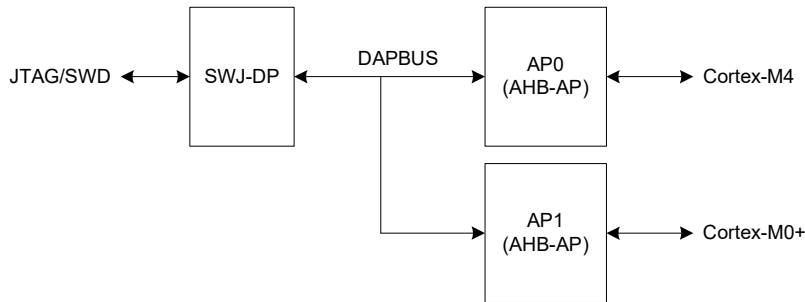
使用可能なデバッグポート	PA13	PA14	PA15	PB3	PB4
JTAG/SWD* すべて	JTMS	JTCK	JTDI	JTDO	NJTRST
nJTRST を除く JTAG/SWD すべて	JTMS	JTCK	JTDI	JTDO	
JTAG-DP 無効、SW-DP 有効	SWDIO	SWCLK			
JTAG-DP と SW-DP がともに無効					

* リセット状態



デバッグ用の最小構成には、PA13 と PA14 をシリアルワイヤデバッグ (SWDIO と SWCLK) に割り当てる必要があります。シリアルワイヤデバッグには、SWDIO (JTMS) 入力に接続されたデバッガにより入力される特殊シリアルコードを使用します。このコードは、SWD モード (リセット後にデフォルトで JTAG モードに設定) に切り換わって SWJ-DP によって認識されます。ST-Link ならびに大半のサードパーティーデバッグアダプタ (Ulink など) は、シリアルワイヤデバッグに対応しています。

- 2本のアクセスポート(AP)がバスマスタとして機能し、メモリとレジスタの読出し／書込みトランザクションをデバッガが実行可能
- デュアル CPU デバッグが可能

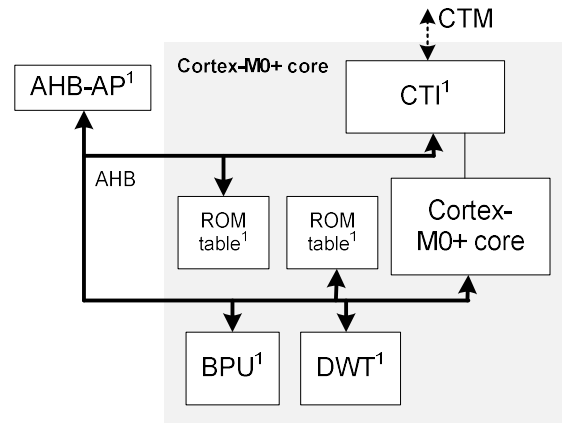


アクセスポート AP0: 内部 AHB バスを介して、Cortex-M4 プロセッサコアに組み込まれているデバッグおよびトレース機能と、DBG_MCU へのアクセスが可能

アクセスポート AP1: 内部 AHB バスを介して、Cortex-M0+ プロセッサコアに組み込まれているデバッグおよびトレース機能へのアクセスが可能

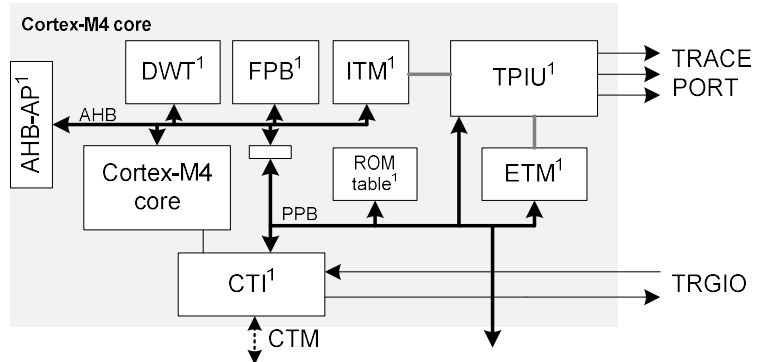
シングルアクセスポートによりデュアル CPU デバッグが可能

- The Cortex-M0+ コアには以下のデバッグコンポーネントが含まれます
 - システム制御空間(SCS)
 - データウォッチポイントおよびトレースユニット(DWT)
 - ブレークポイントユニット(BPU)
 - クロストリガインタフェース(CTI)
 - ROM テーブル



Cortex-M0+ コアのデバッグ関連レジスタには、専用 AHB アクセスポート AP1 経由でアクセスします。
ROM テーブルには、アクセスポート(AP)から見える各デバッグコンポーネントのベースアドレスへのポインタが含まれています。これらは、ターゲットの CoreSight インフラストラクチャのトポロジを自動検出するデバッグツールによって使用されます。
SCS(システム制御空間)には、デバッグモードでプロセッサコアを制御するレジスタが含まれています。
その他のユニットについては、以降のスライドで説明します。
Cortex-M0+ プロセッサコアはトレースに対応していないことに注意してください。

- The Cortex-M4 コアには以下のデバッグコンポーネントが含まれます
 - システム制御空間(SCS)
 - データウォッチポイントおよびトレースユニット(DWT)
 - ブレークポイントユニット(FPB)
 - 計装トレースマクロセル(ITM)
 - 組み込みトレースマクロセル(ETM)
 - トレースポートインタフェースユニット(TPIU)
 - クロストリガインタフェース(CTI)
 - ROM テーブル



Cortex-M4 コアのデバッグ関連レジスタには、専用 AHB アクセスポート AP0 経由でアクセスします。

ROM テーブルには、アクセスポート(AP)から見える各デバッグコンポーネントのベースアドレスへのポインタが含まれています。これらは、ターゲットの CoreSight インフラストラクチャのトポロジを自動検出するデバッグツールによって使用されます。

SCS(システム制御空間)には、デバッグモードでプロセッサコアを制御するレジスタが含まれています。

その他のユニットについては、以降のスライドで説明します。

データウォッチポイントおよびトレースユニット

- DWT には 4 つのコンパレータがあり、それぞれ以下の役割に使用できます。
 - ウォッチポイント
 - ETM トリガ (C-M4 のみ)
 - PC サンプリングトリガ
 - データアドレスサンプリングトリガ
 - データコンパレータ
 - クロックサイクルカウンタコンパレータ
- ソフトウェアプロファイリング用のカウンタも内蔵しています。
 - クロックサイクル数
 - フォールドされた命令数
 - ロードストアユニット (LSU) の動作数
 - スリープサイクル数
 - 命令当たりのサイクル数
 - 割込みオーバーヘッドの回数



DWT コンパレータは、以下の項目のうちの 1 つを、DWT_COMP レジスタに保持されている値と比較します。

- データアドレス
- 命令アドレス
- データ値
- サイクルカウント値 (コンパレータ 0 のみ)

アドレス照合の場合、コンパレータはマスクを使用することができるため、あるレンジのアドレスと一致します。

照合が成立すると、コンパレータは以下のうちの 1 つを生成します。

- 1 つ以上の DWT データトレースパケットで、以下を 1 つ以上含むもの。
 - データアクセスを伴う命令のアドレス
 - アドレスオフセット (データアクセスアドレスのビット [15:0])
 - 一致したデータ値。
- PC 値またはアクセスしたデータアドレスのいずれかで発生するウォッチポイントデバッグイベント。
- DWT ユニット外での一致を信号で伝える CMPMATCH[N] イベント。

- FPB (Cortex-M4) と BPU (Cortex-M0+) を使用することでハードウェアのブレークポイントを設定することができます
 - 命令フェッチアドレスをモニタし、一致が検出されたときにブレークポイント命令を返すコンパレータが内蔵されています。
 - ブレークポイント命令の実行時には、プロセッサはデバッグモードで停止します。
- FPB は Flash メモリのパッチにも対応しています。
 - この機能は、実行を揮発性メモリに迂回させることにより、エラーを含むコードにパッチをあてるためのものです。



Cortex-M0+ プロセッサコアには、命令フェッチアドレスのマッチング用に割り当てられたコンパレータが 8 個備わっています。Cortex-M4 プロセッサコアには、命令フェッチアドレスのマッチング用のコンパレータが 6 個、リテラルロードアドレスのマッチング（コード空間へのデータ読出し）用が 2 個備わっています。後者は、パッチのためにのみ使用可能です。

- ITM は次の 3 種類のソースからトレースパケットを生成
 - ソフトウェアトレース:
ソフトウェアは、32 本のスティムラスレジスタのいずれかに書込みを行う
 - DWTからのハードウェアトレースパケット
これはデータトレースイベント、PC サンプル、カウンタの折り返しの可能性がある
 - ローカルタイムスタンプ
ITM の 21bit カウンタが、前のパケットと比較したタイムスタンプを各トレースパケットに供給
- トレースパケットは TPIU または SWO トレースポート経由で出力



ソフトウェアは、32 x 32bit の ITM スティムラスレジスタのいずれかに直接書込みを行って、パケットを生成します。各ポートの許可レベルはプログラムで設定できます。ソフトウェアが有効なスティムラスポートに書き込むと、ITM は FIFO に書き込むパケットの中に、ポートの ID、書込みアクセスのサイズ、および書き込まれたデータを統合します。ITM は FIFO からトレースバスにパケットを出力します。スティムラスポートレジスタを読み出すと、ビット 0 のスティムラスレジスタのステータス (エンプティまたはペンディング) を返します。

パケットが複数のソースから同時に生成される場合、ITM はパケットの出力順番についてアービトレーションを行います。このシートには、優先度の高いものから順にソースがリストアップされています。

命令トレース (C-M4 のみ)

11

- ETM はソフトウェアの実行を観察できるトレースパケットを生成します。トレース情報には次の情報が含まれます。
 - 同一サイクルで実行される命令の数
 - プログラムフローの変更
 - プロセッサの現在の命令ステート
 - ロードおよびストア命令によってアクセスされるメモリ位置のアドレス
 - 転送のタイプ、方向、およびサイズ
 - 条件コードに関する情報
 - 例外情報
 - 割り込み待ちステートに関する情報
- トレースパケットは TPIU または SWO 経由で出力されます。

Time	Address / Post	Instruction / Data	Src Code / Trigger Addr	Function
75.000 827 180 n	K: 84000070	LDRH #0x00000000		main
K: 84000072	CEZ #0x00000078			
K: 84000078	B #00000000	while (1) /* loop forever */		
K: 84000080	LDR #0x00000000	#AD_done() /* B conversion has finished */		
K: 84000082	LDRH #0x00000000			
K: 84000088	CEZ #0x00000078			
75.000 827 480 n	K: 84000078	CEZ #0x00000078	#AD_done() /* B conversion has finished */	
K: 84000082	STCR #0x00000000	startTickHandler()		StartTick_Handler
K: 84000084	LDR #0x00000000	#AD_done() /* B conversion has finished */		
K: 84000086	LDR #0x00000000			
K: 84000088	ADCR #0x00000000			
K: 84000090	STR #0x00000000			
K: 84000092	STR #0x00000000			
K: 84000094	STR #0x00000000			
K: 84000096	STR #0x00000000			
K: 84000098	STR #0x00000000			
K: 840000A0	STR #0x00000000			
K: 840000A2	STR #0x00000000			
K: 840000A4	STR #0x00000000			
K: 840000A6	STR #0x00000000			
K: 840000A8	STR #0x00000000			
K: 840000AA	STR #0x00000000			
K: 840000AC	STR #0x00000000			
K: 840000AE	STR #0x00000000			
K: 840000B0	STR #0x00000000			
K: 840000B2	STR #0x00000000			
K: 840000B4	STR #0x00000000			
K: 840000B6	STR #0x00000000			
K: 840000B8	STR #0x00000000			
K: 840000BA	STR #0x00000000			
K: 840000BC	STR #0x00000000			
K: 840000BE	STR #0x00000000			
K: 840000C0	STR #0x00000000			
K: 840000C2	STR #0x00000000			
K: 840000C4	STR #0x00000000			
K: 840000C6	STR #0x00000000			
K: 840000C8	STR #0x00000000			
K: 840000CA	STR #0x00000000			
K: 840000CC	STR #0x00000000			
K: 840000CE	STR #0x00000000			
K: 840000D0	STR #0x00000000			
K: 840000D2	STR #0x00000000			
K: 840000D4	STR #0x00000000			
K: 840000D6	STR #0x00000000			
K: 840000D8	STR #0x00000000			
K: 840000DA	STR #0x00000000			
K: 840000DC	STR #0x00000000			
K: 840000DE	STR #0x00000000			
K: 840000E0	STR #0x00000000			
K: 840000E2	STR #0x00000000			
K: 840000E4	STR #0x00000000			
K: 840000E6	STR #0x00000000			
K: 840000E8	STR #0x00000000			
K: 840000EA	STR #0x00000000			
K: 840000EC	STR #0x00000000			
K: 840000EE	STR #0x00000000			
K: 840000F0	STR #0x00000000			
K: 840000F2	STR #0x00000000			
K: 840000F4	STR #0x00000000			
K: 840000F6	STR #0x00000000			
K: 840000F8	STR #0x00000000			
K: 840000FA	STR #0x00000000			
K: 840000FC	STR #0x00000000			
K: 840000FE	STR #0x00000000			
K: 84000100	STR #0x00000000			
K: 84000102	STR #0x00000000			
K: 84000104	STR #0x00000000			
K: 84000106	STR #0x00000000			
K: 84000108	STR #0x00000000			
K: 8400010A	STR #0x00000000			
K: 8400010C	STR #0x00000000			
K: 8400010E	STR #0x00000000			
K: 84000110	STR #0x00000000			
K: 84000112	STR #0x00000000			
K: 84000114	STR #0x00000000			
K: 84000116	STR #0x00000000			
K: 84000118	STR #0x00000000			
K: 8400011A	STR #0x00000000			
K: 8400011C	STR #0x00000000			
K: 8400011E	STR #0x00000000			
K: 84000120	STR #0x00000000			
K: 84000122	STR #0x00000000			
K: 84000124	STR #0x00000000			
K: 84000126	STR #0x00000000			
K: 84000128	STR #0x00000000			
K: 8400012A	STR #0x00000000			
K: 8400012C	STR #0x00000000			
K: 8400012E	STR #0x00000000			
K: 84000130	STR #0x00000000			
K: 84000132	STR #0x00000000			
K: 84000134	STR #0x00000000			
K: 84000136	STR #0x00000000			
K: 84000138	STR #0x00000000			
K: 8400013A	STR #0x00000000			
K: 8400013C	STR #0x00000000			
K: 8400013E	STR #0x00000000			
K: 84000140	STR #0x00000000			
K: 84000142	STR #0x00000000			
K: 84000144	STR #0x00000000			
K: 84000146	STR #0x00000000			
K: 84000148	STR #0x00000000			
K: 8400014A	STR #0x00000000			
K: 8400014C	STR #0x00000000			
K: 8400014E	STR #0x00000000			
K: 84000150	STR #0x00000000			
K: 84000152	STR #0x00000000			
K: 84000154	STR #0x00000000			
K: 84000156	STR #0x00000000			
K: 84000158	STR #0x00000000			
K: 8400015A	STR #0x00000000			
K: 8400015C	STR #0x00000000			
K: 8400015E	STR #0x00000000			
K: 84000160	STR #0x00000000			
K: 84000162	STR #0x00000000			
K: 84000164	STR #0x00000000			
K: 84000166	STR #0x00000000			
K: 84000168	STR #0x00000000			
K: 8400016A	STR #0x00000000			
K: 8400016C	STR #0x00000000			
K: 8400016E	STR #0x00000000			
K: 84000170	STR #0x00000000			
K: 84000172	STR #0x00000000			
K: 84000174	STR #0x00000000			
K: 84000176	STR #0x00000000			
K: 84000178	STR #0x00000000			
K: 8400017A	STR #0x00000000			
K: 8400017C	STR #0x00000000			
K: 8400017E	STR #0x00000000			
K: 84000180	STR #0x00000000			
K: 84000182	STR #0x00000000			
K: 84000184	STR #0x00000000			
K: 84000186	STR #0x00000000			
K: 84000188	STR #0x00000000			
K: 8400018A	STR #0x00000000			
K: 8400018C	STR #0x00000000			
K: 8400018E	STR #0x00000000			
K: 84000190	STR #0x00000000			
K: 84000192	STR #0x00000000			
K: 84000194	STR #0x00000000			
K: 84000196	STR #0x00000000			
K: 84000198	STR #0x00000000			
K: 8400019A	STR #0x00000000			
K: 8400019C	STR #0x00000000			
K: 8400019E	STR #0x00000000			
K: 840001A0	STR #0x00000000			
K: 840001A2	STR #0x00000000			
K: 840001A4	STR #0x00000000			
K: 840001A6	STR #0x00000000			
K: 840001A8	STR #0x00000000			
K: 840001AA	STR #0x00000000			
K: 840001AC	STR #0x00000000			
K: 840001AE	STR #0x00000000			
K: 840001B0	STR #0x00000000			
K: 840001B2	STR #0x00000000			
K: 840001B4	STR #0x00000000			
K: 840001B6	STR #0x00000000			
K: 840001B8	STR #0x00000000			
K: 840001BA	STR #0x00000000			
K: 840001BC	STR #0x00000000			
K: 840001BE	STR #0x00000000			
K: 840001C0	STR #0x00000000			
K: 840001C2	STR #0x00000000			
K: 840001C4	STR #0x00000000			
K: 840001C6	STR #0x00000000			
K: 840001C8	STR #0x00000000			
K: 840001CA	STR #0x00000000			
K: 840001CC	STR #0x00000000			
K: 840001CE	STR #0x00000000			
K: 840001D0	STR #0x00000000			
K: 840001D2	STR #0x00000000			
K: 840001D4	STR #0x00000000			
K: 840001D6	STR #0x00000000			
K: 840001D8	STR #0x00000000			
K: 840001DA	STR #0x00000000			
K: 840001DC	STR #0x00000000			
K: 840001DE	STR #0x00000000			
K: 840001E0	STR #0x00000000			
K: 840001E2	STR #0x00000000			
K: 840001E4	STR #0x00000000			
K: 840001E6	STR #0x00000000			
K: 840001E8	STR #0x00000000			
K: 840001EA	STR #0x00000000			
K: 840001EC	STR #0x00000000			
K: 840001EE	STR #0x00000000			
K: 840001F0	STR #0x00000000			
K: 840001F2	STR #0x00000000			
K: 840001F4	STR #0x00000000			
K: 840001F6	STR #0x00000000			
K: 840001F8	STR #0x00000000			
K: 840001FA	STR #0x00000000			
K: 840001FC	STR #0x00000000			
K: 840001FE	STR #0x00000000			
K: 84000200	STR #0x00000000			
K: 84000202	STR #0x00000000			
K: 84000204	STR #0x00000000			
K: 84000206	STR #0x00000000			
K: 84000208	STR #0x00000000			
K: 8400020A	STR #0x00000000			
K: 8400020C	STR #0x00000000			
K: 8400020E	STR #0x00000000			
K: 84000210	STR #0x00000000			
K: 84000212	STR #0x00000000			
K: 84000214	STR #0x00000000			
K: 84000216	STR #0x00000000			
K: 84000218	STR #0x00000000			
K: 8400021A	STR #0x00000000			
K: 8400021C	STR #0x00000000			
K: 8400021E	STR #0x00000000			
K: 84000220	STR #0x00000000			
K: 84000222	STR #0x00000000			
K: 84000224	STR #0x00000000			
K: 84000226	STR #0x00000000			
K: 84000228	STR #0x00000000			
K: 8400022A	STR #0x00000000			
K: 8400022C	STR #0x00000000			
K: 8400022E	STR #0x00000000			
K: 84000230	STR #0x00000000			
K: 84000232	STR #0x00000000			
K: 84000234	STR #0x00000000			
K: 84000236	STR #0x00000000			
K: 84000238	STR #0x00000000			
K: 8400023A	STR #0x00000000			
K: 8400023C	STR #0x00000000			
K: 8400023E	STR #0x00000000			
K: 84000240	STR #0x00000000			
K: 84000242	STR #0x00000000			
K: 84000244	STR #0x00000000			
K: 84000246	STR #0x00000000			
K: 84000248	STR #0x00000000			
K: 8400024A	STR #0x00000000			
K: 8400024C	STR #0x00000000			
K: 8400024E	STR #0x00000000			
K: 84000250	STR #0x00000000			
K: 84000252	STR #0x00000000			
K: 84000254	STR #0x00000000			
K: 84000256	STR #0x00000000			
K: 84000258	STR #0x00000000			
K: 8400025A	STR #0x00000000			
K: 8400025C	STR #0x00000000			
K: 8400025E	STR #0x00000000			
K: 84000260	STR #0x00000000			
K: 84000262	STR #0x00000000			
K: 84000264	STR #0x00000000			
K: 84000266	STR #0x00000000			
K: 84000268	STR #0x00000000			
K: 8400026A	STR #0x00000000			
K: 8400026C	STR #0x00000000			
K: 8400026E	STR #0x00000000			
K: 84000270	STR #0x00000000			

トレースシンク(C-M4 のみ)

12

- トレースパケットは次の 2 種類の転送先(シンク)の 1 つに送られます。
 - トレースポートインタフェース(TPIU)
 - トレースパケットは、同期クロック信号とともに、4 ピンパラレルポートを通じてデバイスから出力されます。これには、ULINKpro や DStream などのトレースポートアナライザプローブを接続する必要があります。
 - シングルワイヤトレースポート(SWO)
 - ITMトレースは、SWO に導くことが可能であり、非同期プロトコル(NRZ またはマンチェスタ)を用いて出力されます。この出力は、ST-Link その他のアダプタと多くの市販デバッグツールを用いて読み込み可能です。



トレースポートインタフェース(TPIU)は、パラレルトレースポートに対応している STM32WB パッケージからのみ使用可能です。シングルワイヤトレースポート(SWO)は、すべての STM32WB パッケージで使用できます。

- TPIU パラレルポート
 - 1~4 本のデータピンとクロックをトレースに割当て可能(デフォルトは GPIO)
 - TRACECLK は最高 32MHz の DDR モードで動作可能
 - ✓ 最大帯域幅 256Mbps
- SWO シングルワイヤシリアルポート
 - 1 本の非同期データピンが JTDO とマルチプレクス
 - 帯域幅 100Mbps(マンチェスタ符号化)



トレースポートの幅は 1~4 ピンにプログラム可能です。帯域幅は、ピン数と TRACECLK 周波数(RCC の分周器で選択可能)に比例して変化します。

トレースソース(特に ETM)にフィルタとトリガを適用することにより、トレースデータの平均量を減らすことが可能となり、クロックレートの低減やピン数の削減が行えます。

TRACESWO ピンには、JTAG インタフェースの一部である JTDO 信号がマルチプレクスされています。したがって、シングルワイヤトレースは、シリアルワイヤデバッグ(SWD)インタフェースが有効化されている場合にしか使用できません。

クロストリガインタフェース

14

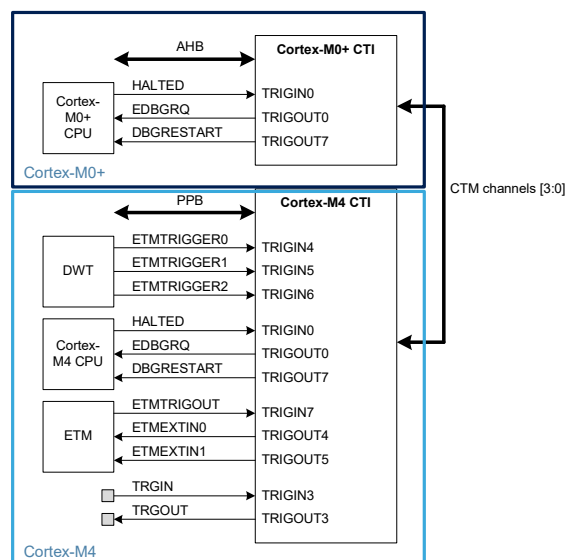
- CTI は、その他のデバッグコンポーネントとトレースコンポーネントに対するトリガイベントを伝播します。

- トリガイベントソースの例:

- データ・ウォッチポイント
- ハードウェアブレークポイント
- プロファイリングカウンタイベント
- トレースバッファのフル/エンプティ
- 外部トリガ信号
- プロセッサの停止/再起動

- トリガイベントにより転送先で発生する事象:

- トレースの開始/停止
- トレースバッファのフラッシュ
- プロセッサの停止/再起動
- 外部トリガ信号出力
- プロセッサ割込み



life.augmented

クロストリガは、デュアルコアデバイスで使用して両方のコアを同時に停止させることができます。片方のコアがブレークポイントをヒットすると、その「停止状態」出力(デバッグモードに入ったことを示します)がもう一方のコアに伝搬して、そちらもデバッグモードに入ります。同様に、両方のコアが同時に再起動することもできます。

クロストリガ機能は、外部トリガ信号(IOピン1本のエッジなど)でプロセッサを停止させるためにも使用できます。

Cortex-M プロセッサ群にはそれぞれクロストリガインタフェース(CTI)が存在します。

いずれかのクロストリガ機能を使用するには、デバッガによりCTIをしかるべくプログラムする必要があります。必要なトリガ入力信号(TRIGINn)とトリガ出力信号(TRIGOUTn)は、クロストリガマトリックス(CTM)に接続する必要があります。CTMは最大4チャンネルから構成されており、4つの異なるイベントを並列に伝搬可能です。トリガ入力はCTIに束ねることが可能ですので、束ねられた入力のどの1本によっても接続されたチャンネルにイベントが発生します。同様に、1つのチャンネルを複数のトリガ出力に接続できますので、1つのイベントで複数の動作をトリガ可能です。

- 「MCU デバッグ」ブロックによりデバイス専用のデバッグ機能が実現
 - デバイス ID
 - デバイス ID コードレジスタを読み出す標準位置
 - 低電力モードのエミュレーション
 - デバイスが低電力モード (SLEEP、STOP、STANDBY) に入った場合にもデバッグアクセスが可能であるように、電源とクロックを維持します。
 - デバッグモードにおけるペリフェラルクロックの「フリーズ」
 - プロセッサが停止している間に、RTC、TIM、LPTIM、ウォッチドッグ (IWDG、WWDG) タイマカウンタ、SMBUS タイムアウトカウンタをフリーズします。
 - 外部トリガ方向
 - 双方向 TRGIO 外部トリガピンの方向 (入力 / 出力) を制御します。



DBGMCU は C-M4 PPB バス上に位置しており、AHB アクセスポート AP0 経由でデバッガからアクセス可能です。また、Cortex-M4ソフトウェアからもアクセス可能です。

DBGMCU_IDC レジスタには、デバイス ID とリビジョンコードが STM32 標準フォーマットで格納されています。この情報は、デバッグポート (DP_TARGETID レジスタ – 外部デバッガのみアクセス可能) でも入手できます。

低電力エミュレーションとは、低電力モードに入ってもデバッガとの接続が切れないことを意味します。これにより、低電力に入るコマンド (WFI/WFE など) を while() ループで置き換える必要がなくなります。終了時に、デバイスは、エミュレーションが有効ではなかった場合と同じ状態となります (低電力モードエミュレーション中にデバッガにより行われた変更を除く)。

ペリフェラルクロックのフリーズは、デバッガを用いてウォッチドッグを再設定する必要なく、デバッグ中にウォッチドッグタイムアウトによってデバイスがリセットするのを防ぐために特に便利です。また、それによってタイマ値の検査と、「通常」動作が再開されるまで対応する割り込みのサスペンドが可能です。

TRACECLKEN ビットによって、必要時にのみクロックがトレースポート出力に供給されることが保証されます。これにより、不要な電力消費が避けられます。

特定のパッケージでは、TRGIN ピンと TRGOUT ピンが存在せずに双方向ピンのみが使用され、その方向は TRGOEN ビットを用いて選択する必要があります。