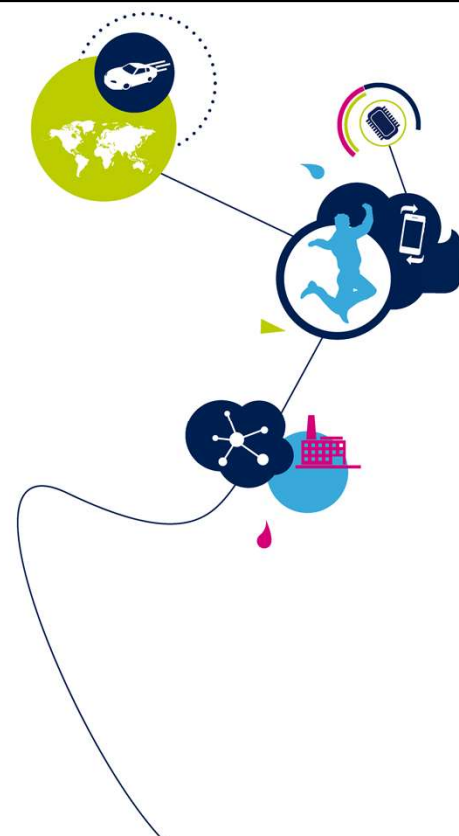


STM32WB - Flash

内蔵 Flash メモリ
1.0 版



こんにちは、STM32WB Flash メモリのプレゼンテーションへようこそ。STM32WB Flash メモリの特徴のすべてを説明します。

- STM32WB は、最大1MB のシングルバンク Flash メモリを内蔵しています。
- Flash インタフェースは、すべてのアクセス（読出し、プログラム、消去）、メモリ保護、セキュリティ、およびオプションのバイトプログラミングを管理します。

アプリケーション側の利点

- 高性能で低消費電力
- 小さな消去粒度
- 短いプログラム時間
- セキュリティと保護



STM32WBは、最大1MB のシングルバンク Flash メモリを内蔵しています。

Flash メモリインタフェースは、すべてのメモリアクセス（読出し、プログラム、および消去）、メモリ保護、セキュリティ、オプションバイトを管理します。

この Flash メモリインタフェースを使用するアプリケーションは、低電力アクセスとともに高パフォーマンスという利点を活用できます。消去の粒度が小さく、プログラミング時間も短くて済みます。

STM32WB Flash メモリは、コードとデータ、読出しや書込みアクセス時のさまざまなセキュリティおよび保護メカニズムを備えています。

- 最大1MB のシングルバンク Flash メモリ
- 4KB のページ粒度
- 高速消去 (22ms) と高速プログラミング (ダブルワードで82 μ s)
- ART アクセラレータ™ (命令キャッシュ、データキャッシュ、プリフェッチバッファ) により、動作周波数に対応した線形的な性能向上を実現
- エラーコード訂正 (ECC) : 64bit ダブルワードで 8bit
 - シングルエラーの検出と訂正
 - ダブルエラーの検出と通知



STM32WB の Flash メモリには、いくつかの重要な機能があります。

最大1MB のシングルバンク Flash メモリを搭載しています。ページサイズに対応する消去粒度はわずか4KB です。ページ、バンク、または全体消去操作は 22ms しか必要とせず、プログラミング時間はダブルワードの場合わずか 82 μ s です。

命令キャッシュ、データキャッシュ、およびプリフェッチバッファを備えた適応型リアルタイムメモリアクセラレータでは、動作周波数に対応した線形的な性能向上が得られます。

Flash メモリは、64bit のダブルワードごとに8bit 長のエラーコード訂正 (ECC) をサポートしています。シングルエラーは検出され、訂正されます。ダブルエラーは検出されますが、訂正はされません。

Flash メモリは、次のように構成されています。

- それぞれ4KB のページが 256ページ含まれるメインメモリブロック。各ページは、512バイトの行 8 行で構成されています。
- 情報ブロックには次のものが含まれます。
 - ST ブートローダ用に予約済みのシステムメモリ
 - ユーザデータに使用する1KB(128ダブルワード)の OTP(ワンタイムプログラマブル)領域
 - OTP 領域のデータは消去不能、ダブルワードを1回だけ書き込めます。1つのビットを"0"に設定すると、オール 0x0 の値を除いて、ダブルワード全体が書き込み不可になります。
 - ユーザ設定のオプションバイト



life.augmented

Flash メモリには、それぞれが4KB のページ、256 ページが含まれています。各ページは、512バイトの行 8 行で構成されています。

メインメモリブロックの横には、3つの部分からなる情報ブロックがあります。

最初の部分は、ST のブートローダ用に予約済みのシステムメモリです。選択すると、デバイスはシステムメモリを起動しブートローダを実行します。

2番目の部分は、1KB のワンタイムプログラマブル領域です。OTP 領域は消去できず、ダブルワードを1回だけ書き込むことができます。ダブルワードの1つのビットを"0"に設定すると、ダブルワード全体はオールゼロ以外の値を書き込めなくなります。以前にプログラムされたダブルワードのプログラミングは、オールゼロをプログラミングする場合にのみ許可されません。

最後の部分は、ユーザオプション設定用のオプションバイトが含まれています。

Flash メモリの構成

5

| Flash 領域 | Flash メモリアドレス | サイズ | 名前 |
|----------|---------------------------|--------|----------|
| メインメモリ | 0x0800 0000 – 0x0800 0FFF | 4KB | ページ 0 |
| | ... | ... | ... |
| | 0x080F F000 – 0x080F FFFF | 4KB | ページ 255 |
| 情報ブロック | 0x1FFF 0000 – 0x1FFF 6FFF | 28KB | システムメモリ |
| | 0x1FFF 7000 – 0x1FFF 73FF | 1KB | OTP エリア |
| | 0x1FFF 8000 – 0x1FFF 807F | 128バイト | オプションバイト |



このスライドは Flash メモリマップを示しています。メインメモリ用に256 ページあり、ページゼロから始まります。ページ番号は、ソフトウェアでのページ消去化手順で使用されます。

堅牢なメモリの完全性と安全性

- ECC(エラーコード訂正): 64bit ワードで8bit 長
 - シングルエラー訂正: FLASH_ECCR に設定された ECCC ビット、オプションの割込み生成
 - ダブルエラー検出: FLASH_ECCR に設定された ECCD ビット=> NMI
 - FLASH_ECCR レジスタに保存された障害アドレス
- プログラミングの粒度は64bit (実際は8bit の ECC を含む72bit)
 - 2つのプログラミングモード:
 - 標準(メインメモリおよびOTP用)
 - 高速(メインメモリのみ)Flash ロケーションの検証なしで64ダブルワードをプログラミング



Flash メモリにはエラーコードの訂正機能が組み込まれ、堅牢な完全性と安全性が確保されています。

ECCは、64bit ワードに対して8bit の長さです。シングルエラーの場合は訂正されます。ECCC ビットは Flash のECC レジスタで設定され、有効な場合は割込みが生成されます。ダブルエラーの場合、検出はされますが訂正はされません。ECCD ビットは Flash の ECC レジスタに設定され、有効な場合はノンマスカブル割込みが生成されます。ECC エラーが検出されると、障害アドレスが Flash の ECC レジスタに保存されます。

プログラミングの粒度は64bit ですが、実際には8bit のECC が加わり72bit になります。2つのプログラミングモードがあります。メインメモリと OTP 用の標準モードと、メインメモリのみに適用される高速モードです。標準モードでは、プログラミングを開始する前に Flash メモリはダブルワードが消去されていることを確認します。高速モードでは、Flash ロケーションを検証せずに64 のダブルワードがプログラムされます。

プログラミング／消去時間

7

短いプログラミングと消去時間、小さなページサイズ
=> データ EEPROM エミュレーションの利点

| パラメータ | 標準値 |
|------------------------|------------------------------|
| 64bit プログラミング時間 | 82 μ s |
| ページ(4KB)の消去時間 | 22ms |
| 1行(64ダブルワード)のプログラミング時間 | 標準モード:5.2ms 高速モード:3.8ms |
| 1ページ(4KB)のプログラミング時間 | 標準モード:41.8ms 高速モード:30.4ms |
| Flash(1MB)のプログラミング時間 | 標準モード:11s 高速モード:8s |
| 全体消去時間 | 22ms |



Flash メモリのプログラミング時間は、64bit のダブルワードでわずか82 μ sです。1 ページ(4KB)をプログラムするには、標準モードで 41.8ms、高速モードで 30.4ms が必要です。Flash メモリ全体をプログラムするには、高速モードで 8s 必要です。

ページの消去時間は 22ms です。Flash メモリ全体を消去するのに必要な時間もまた、わずか 22ms です。

短いプログラミングと消去時間、加えて小さなページサイズは、データの EEPROM のエミュレーションに便利な特徴です。

行(64ダブルワード)の高速プログラミング

8

- メインメモリのみ高速プログラミングモードでプログラム可能です。
- プログラミング前に、ハードウェアによる Flash ロケーションの検証は行いません。
- 64のダブルワードは連続して書き込む必要があります。
 - すべてのプログラミングにおいて、Flash メモリには高電圧が維持されます。
 - 連続した2つのダブルワード書込みリクエスト間の最長時間は、プログラミング時間(20 μ s 前後)で規定されます。ただし、割込みは無効にするものとします。
- Flash クロック周波数(HCLKS)は少なくとも8MHz とする必要があります。



life.augmented

高速プログラミングモードでは、標準のプログラミングモードより速く、64ダブルワードをプログラムできます。

メインメモリのみ高速プログラミングモードでプログラム可能です。

高速モードでのプログラミングの前に、ハードウェアによる Flash メモリアドレス位置の検証は行いません。

64のダブルワードは連続して書き込む必要があります。すべてのプログラミングにおいて、Flash メモリには高電圧が維持されます。2つのダブルワード書込みリクエスト間の最大時間はプログラミング時間で、約20 μ s です。したがって、割込みを無効にして、2つのワード書込みリクエスト間が20 μ s を超えないようにする必要があります。

高速プログラミングモードでは、最小クロック周波数は少なくとも8MHz にしなければなりません。

プログラミングモード: 標準対高速

9

| | プログラミングモード | |
|--------------------|-----------------|--|
| | 標準 | 高速 |
| 対象 | メインメモリ + OTP 領域 | メインメモリのみ |
| 粒度 | 8バイト | 512バイト |
| 固有の制限 | なし | アドレス位置のチェックなし Flash クロック周波数 \geq 8 MHz 割込み禁止 |
| 512バイトのプログラムに要する時間 | 5.2ms | 3.8ms |



life.augmented

このスライドは、標準プログラミングモードと高速プログラミングモードの比較を示しています。標準モードはメインメモリとOTP領域のプログラミングに使用できますが、高速モードはOTPプログラミングには使用できません。標準モードでは64bitのダブルワード、つまり8バイトのプログラミングが可能です。高速モードでは64のダブルワード、つまり512バイトのみのプログラミングが可能です。

高速モードでは、アドレス位置の内容はプログラミング前にチェックされません。Flash クロック周波数は8MHzより大きくする必要があり、またCPU割込みは禁止です。512バイトのプログラムの所要時間は、標準モードで5.2ms、高速モードで3.8msです。

| | |
|-------------|---|
| 耐久性(書き換え回数) | -40~+105°C で最低 10000 回書き換え |
| データ保持年数 | 55°C で 10000 回書き換え後 30 年 85°C で 10000 回書き換え後 15 年 105°C で 10000 回書き換え後 10 年 85°C で 1000回 書き換え後 30 年 105°C で 1000 回書き換え後 15 年 125°C で 1000 回書き換え後 7 年 |
| 書き換えサイクル耐性 | 1 ppm |



life.augmented

このFlash メモリは、最高 105°Cでの書き換えを最低で 1 万回保証します。データ保持年数は、55°Cでの 10000 回書き換えで 30 年、85°Cでの 10000 回書き換えで 15 年、105°Cでの 10000 回書き換えで 10 年です。また、85°Cでの 1000 回書き換えで 30 年、105°Cでの 1000 回書き換えで 15 年、125°Cでの 1 000 回書き換えで 7 年となっています。

Flash メモリ読出しアクセス

11

64MHzで80 DMIPS

- 適応型リアルタイムメモリアクセラレータ(ART Accelerator™)は、Flash メモリへのアクセス時間によらず動作周波数に対して線形的な性能向上が得られます。

| ウェイトステート (WS) (遅延) | HCLK (MHz) | |
|--------------------------|-------------------------|-------------------------|
| | V _{CORE} レンジ 1 | V _{CORE} レンジ 2 |
| 0WS | ≤ 18 | ≤ 6 |
| 1WS | ≤ 36 | ≤ 12 |
| 2WS | ≤ 54 | ≤ 16 |
| 3WS | ≤ 64 | |

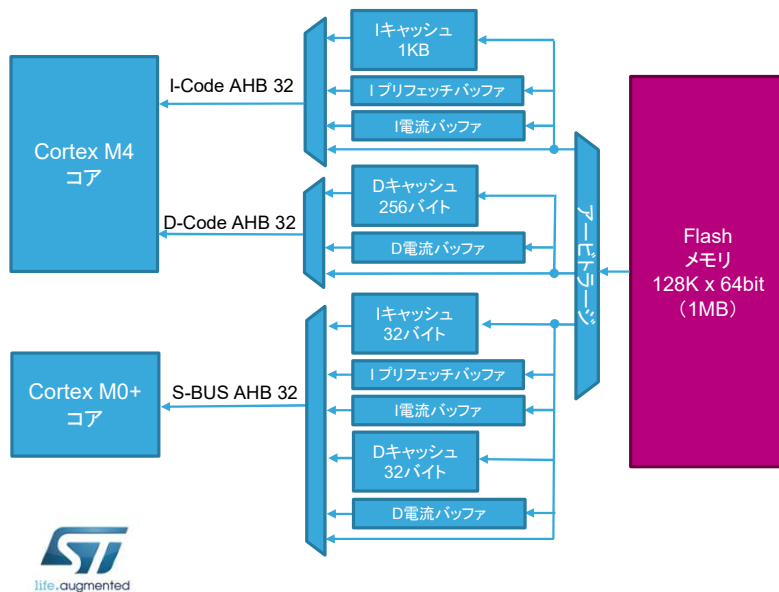


Flash メモリの読出しには、読出しアクセスに挿入するクロック周波数に応じたウェイトステート数を設定する必要があります。ウェイトステート数は電圧スケールレンジにも依存します。レンジ1では、3 ウェイトステートで Flash メモリに最大 64MHz でアクセスできます。0 ウェイトステートの場合、最大 18MHz までのアクセスが可能です。レンジ2 では、2 ウェイトステートで最大 16MHz までのアクセスが可能です。適応型リアルタイムメモリアクセラレータ(ART アクセラレータ)により、クロック周波数によらずプログラムを0 ウェイトステートで実行できます。これにより、周波数に対してほぼ線形的な性能と、64MHz で80 Dhrystone MIPS を実現しています。

適応型リアルタイムメモリアクセラレータ (ART Accelerator™)

12

傑出したパフォーマンスと低電力



• Cortex®-M4

- 命令キャッシュ = 32ラインの4x64bit (1Kバイト)、命令用
- データキャッシュ = 8ラインの4x64bit (256バイト)、リテラルプール用
- プリフェッチバッファ

• Cortex-M0+

- 命令キャッシュ = 4ラインの1x64bit (32バイト)、命令用
- データキャッシュ = 4ラインの1x64bit (32バイト)、リテラルプール用
- プリフェッチバッファ

- キャッシュサイズ、電力、パフォーマンスの最適なトレードオフ

ART アクセラレータは傑出したパフォーマンスをもたらし、動作消費電力を削減します。本アクセラレータは、Cortex-M4 の1KB の命令キャッシュ、256バイトのデータキャッシュ、プリフェッチバッファ、およびCortex-M0+ の32バイトの命令キャッシュ、32バイトのデータキャッシュ、プリフェッチバッファで構成されています。

Cortex-M4 命令キャッシュは4ダブルワードの32ラインから構成され、データキャッシュは4ダブルワードの8ラインから構成されます。すべての命令キャッシュメモリラインが満たされると、LRU (最も長い時間使われていない) ポリシーを使用して命令メモリキャッシュの中で置換するラインを決定します。この機能は、ループを含むコードの場合に特に有益です。

このアーキテクチャは、キャッシュサイズ、消費電力、パフォーマンス間で最良のトレードオフを実現するために選択したものです。

キャッシュミスが発生する度に、キャッシュは要求されたダブルワードによってのみ更新されます。そうすることで、Flash へのアクセスを制限し消費電力を抑えることができます。ライン内の4ダブルワードは全て有効であるとは限りません。

キャッシュミスの場合、コードは Flash メモリから直接命令を取得します。並行して、64bit のラインが有効化された現行バッファと有効化されていれば命令キャッシュにコピーされます従って、次のシーケンシャルアクセスは現行バッファから直接行なわれます。

プリフェッチが有効な場合、さらに64bit の Flash メモリアccessが行なわれ、プリフェッチバッファはシーケンシャルデータで満たされます。

データが現行バッファにある場合、CPUは現行バッファを読み出します。その次のシーケンシャル読み出しはプリフェッチバッファにて行なわれ、同時に現行バッファにコピーされるため、次のシーケンシャルデータを格納するためのスペースが確保できます。

データが現行バッファになく、プリフェッチバッファにあればそこから読み出されます。プリフェッチバッファになれば、命令キャッシュから読み出されます(キャッシュヒットしている場合)。そうでない場合、Flash アクセスが行なわれます。

Cortex-M4 I-Code 命令、D-Code データ、Cortex-M0+ S-bus 命令、およびデータ間の Flash アクセス調停は、ラウンドロビンを使用します。

消費電力とパフォーマンスの結果は、アプリケーションコードに依存
ほとんどの場合、キャッシュが ON かつプリフェッチが OFF の条件でエネルギー効率は最高

- プリフェッチがON:ART の命令キャッシュは分岐キャッシュのように動作します。
 - キャッシュは処理フロー内で分岐/ジャンプが発生するたびに更新されます。
 - シーケンシャルアクセスは、現行命令バッファ+プリフェッチバッファにより発行されます。プリフェッチバッファがアクセスされるたびに、その内容が現行命令バッファに転送され、プリフェッチバッファを満たす新しい Flash アクセスが行われます。
=>キャッシュの内容が変更されます。
- プリフェッチがオフ(リセット値):ARTのキャッシュは普通のキャッシュのように動作します。
 - プリフェッチバッファが無効なので、シーケンシャルアクセスでもキャッシュコンテンツが変更されます。

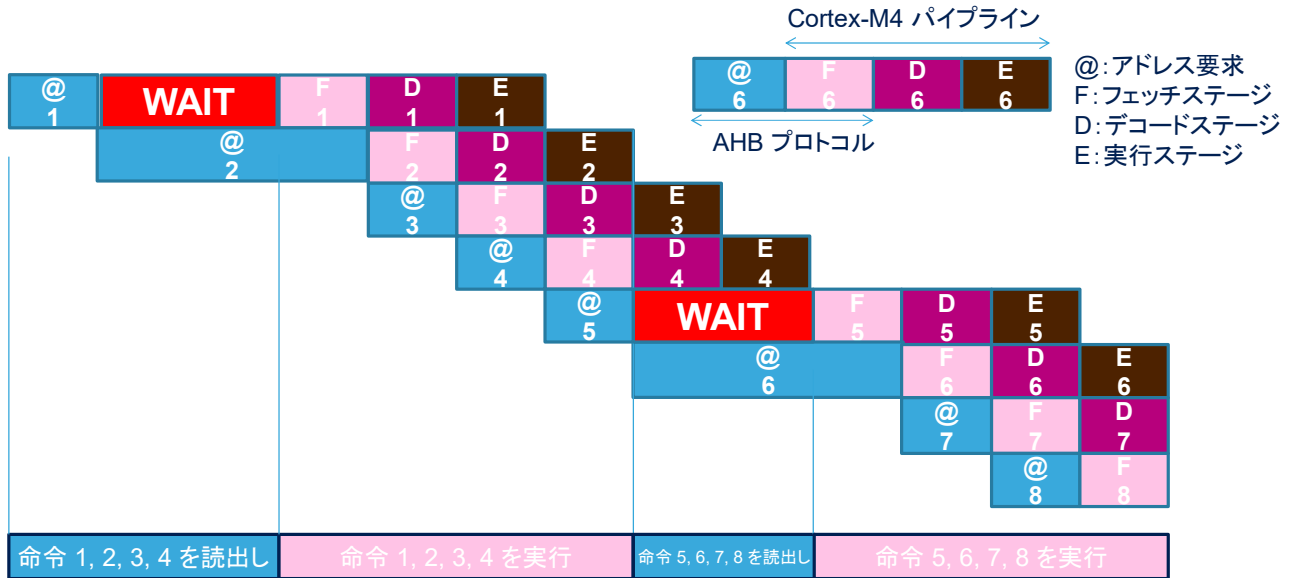


命令キャッシュは、プリフェッチバッファが有効か無効かによって動作が異なります。

プリフェッチバッファが有効な場合、ART の命令キャッシュは分岐キャッシュのように動作します。キャッシュは処理フロー内で、分岐、または、ジャンプが発生するたびに変更されます。シーケンシャルアクセスは現行命令バッファとプリフェッチバッファにより発行されます。プリフェッチバッファがアクセスされるたびに、その内容は現行命令バッファに転送され、プリフェッチバッファにデータを満たすための新しい Flash アクセスが行なわれます。この場合、キャッシュの内容は変更されません。

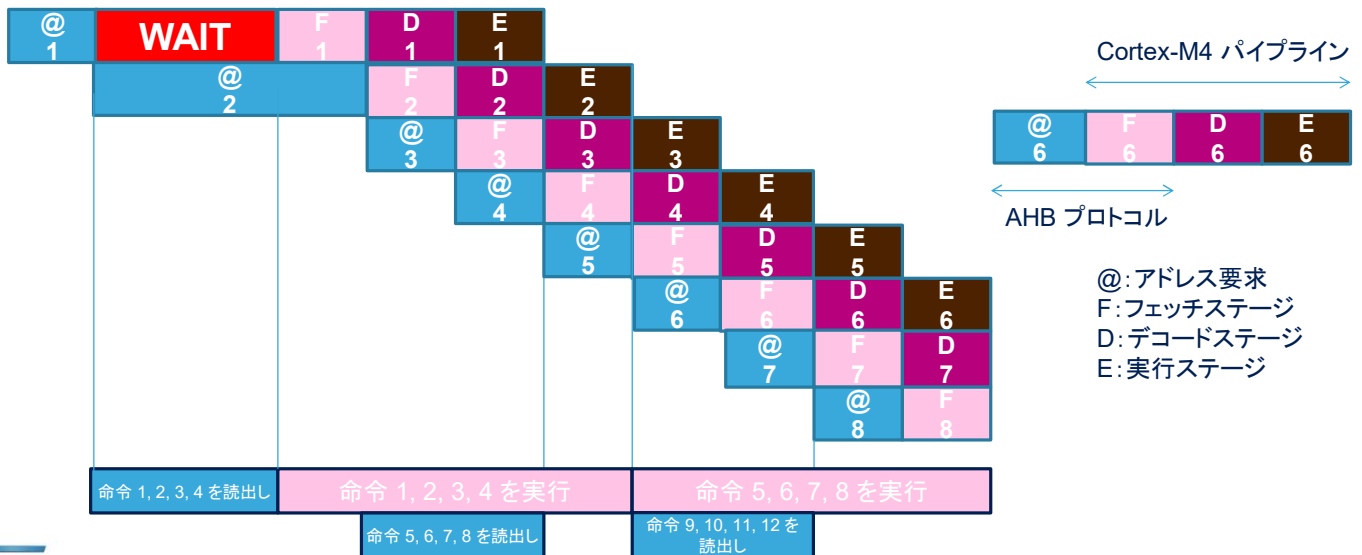
プリフェッチバッファが無効になっている場合、ART 命令キャッシュは普通のキャッシュのように動作します。プリフェッチバッファは無効なので、シーケンシャルアクセスでもキャッシュの内容が変更されます。消費電力とパフォーマンスのトレードオフは、アプリケーションごとに評価し、プリフェッチバッファの有効、無効を判断する必要があります。ほとんどのアプリケーションでは、プリフェッチバッファを有効にすることでパフォーマンスが若干向上しますが消費電力が増えます。ほとんどの場合、キャッシュを有効にプリフェッチバッファを無効に設定し、Flash メモリへのアクセス回数を減らすことで最適なエネルギー効率が得られます。

シーケンシャル16bit 命令の実行(2WS) - プリフェッチ無効



本スライドは、Flash メモリへのアクセスに2 ウェイトステート必要な場合で、プリフェッチ無効時にシーケンシャル16bit 命令の実行に必要なサイクル数を示しています。各 Flash アクセスにより64bit または4 命令を取得できます。これにより、各 Flash アクセスにおいて、4 命令ごとに2 ウェイトステートが挿入されます。

シーケンシャル16bit 命令の実行(2WS) - プリフェッチ有効



本スライドは、Flash メモリへのアクセスに2 ウェイトステートが必要な場合で、プリフェッチ有効時にシーケンシャル16bit 命令の実行に必要なサイクル数を示しています。各 Flash アクセス後に、次の Flash アクセスを行ないプリフェッチバッファを満たすことができます。従って、現行バッファから全ての命令がフェッチされた後、次のシーケンシャル命令はプリフェッチバッファより読み出され、命令フローが順番に処理される限り、ウェイトステートは挿入されません。

アプリケーションでの必要性に応じた柔軟な Flash メモリ保護機能

• 読出し保護 (RDP)

メモリ保護のトレーニング資料を参照

- SRAM1からのブート時、ブートローダの選択時、またはデバッグインタフェース (JTAG/SWD) による Flash/SRAM2/バックアップレジスタへのアクセスを禁止します。

• 独自仕様コード保護 (PCROP)

- 2KB の粒度を持つ2領域読出しまたは書込みアクセスから特定のコード領域を保護する目的で使用します。コード実行のみ可能。

• 書込み保護 (WRP)

- 4KB の粒度を持つ2領域特定のコード領域を不要な書込みアクセスおよび消去から保護する目的で使用します。

• Cortex-M0+ セキュリティ (SFD)

- Flash の上部領域に4KB の粒度を持つ排他的 Cortex-M0+ アクセス領域を設定する目的で使用します。



オプションバイトを使用して、複数の Flash メモリ保護オプションを設定できます。

読出し保護は、RDP オプションバイトを使用して設定できます。読出し保護は、Flash メモリ、SRAM2、およびバックアップレジスタに対する、デバッグインタフェースによるアクセス、SRAM1 からのブート時、またはブートローダ選択時のアクセスを禁止します。

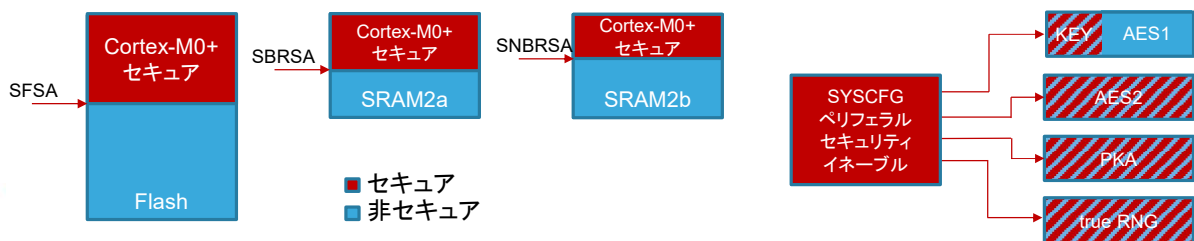
独自仕様コードの保護は、PCROP オプションバイトを使用して設定できます。これらのオプションは、特定のコード領域を読出しまたは書込みアクセスから保護します。コードは実行のみ可能です。保護領域は、2KB の粒度で2つの領域を定義できます。

書込み保護は、WRP オプションバイトを使用して設定できます。これらのオプションは、不要な書込みアクセスと消去から特定のコード領域を保護します。書込み保護領域は、4KB 単位で定義できます。

Cortex-M0+ のセキュリティは、SFD オプションバイトを使用して設定できます。このオプションは、排他的 Cortex-M0+ アクセス領域として特定の Flash メモリ領域を確保するものです。Cortex-M0+ のセキュリティ領域は、4KB の粒度で定義できます。

これらの保護オプションの詳細については、システム保護やCortex-M0+ のセキュリティに関する個々のトレーニング資料を参照してください。

- Flash メモリの上部領域は、排他的 Cortex-M0+ アクセス領域として保護できます。
 - セキュアユーザオプションである SFD と SFSA で定義
- グローバルセキュリティが有効です。
 - セキュアユーザオプション SBRD および SBRSA により、SRAM2a 上部セキュリティを追加可能
 - セキュアユーザオプション SNBRD および SNBRSA により、SRAM2b 上部セキュリティを追加可能
 - SYSCFG でペリフェラルセキュリティを有効化可能



Cortex-M0+ のセキュリティは、Flash Security Disable オプションをオフにすれば有効になります。セキュア Flash は、Secure Flash Start Address オプションのアドレスから開始します。SRAM2a および SRAM2b セキュリティは、Flash メモリに加えて、セキュアバックアップ RAM ディセーブル、セキュアバックアップ RAM 開始アドレス、セキュア非バックアップ RAM ディセーブル、およびセキュア非バックアップ RAM 開始アドレスの各オプションによっても有効にできます。高度暗号化標準アクセラレータ、秘密鍵アクセラレータ、真性乱数発生器などのセキュリティペリフェラルは、システム設定 IP のレジスタビットによって保護できます。

ユーザオプションバイトは次の場合に読み込まれます。

- 電源リセット後(BOR または STANDBY/SHUTDOWN の終了)
- Flash 制御レジスタ(FLASH_CR)のOBL_LAUNCH ビットがセットされたとき

| オプション | 説明 |
|---|---|
| BOR_LEV[2:0] | ブラウンアウトリセットの閾値レベル |
| nRST_STOP; nRST_STDBY; nRST_SHDW | STOP/STDBY/SHUTDOWN モード終了時のリセットの生成／リセットの不生成 |
| WWDG_SW; IDWG_SW IWDG_STOP; IWDG_STDBY | ハードウェア／ソフトウェアウィンドウのウォッチドッグ／独立型ウォッチドッグ STOP/STANBY モード時の、独立型ウォッチドッグのカウンタ停止の有無 |
| nBOOT0, nBOOT1 BOOT0SW | ブート設定 BOOT0 選択 |
| SRAM_RST SRAM_PE | システムリセット時の SRAM2a/2b 消去 SRAM2a/2b のパリティチェックイネーブル |
| IPCCDBA | IPCC データバッファベースアドレス |



life.augmented

Flash メモリには、デバイスの特定の機能を設定するためのさまざまなオプションバイトが用意されています。

ユーザオプションバイトは、電源リセットまたはブラウンアウトリセット時、STANDBY モードまたはSHUTDOWN モードからの復帰時、または、Flash 制御レジスタの OBL_LAUNCHbit がセットされた時にロードされます。

ブラウンアウトリセットの閾値の設定には、3つのオプションビットを使用します。

3つのオプションで、STOP、STANBY、SHUTDOWN 時の低電力モードを禁止または許可します。

4つのオプションで、ウォッチドッグの有効化をハードウェアどソフトウェアのどちらで行なうかの設定、および STOP モードと STANBY モードにおける独立型ウォッチドッグのカウンタ停止の有無を設定します。

3つのオプションと BOOT0 ピンを使用して、ブートに使用するメモリを設定します。

2つのオプションを使用して、システムリセットで SRAM2 を消去するかどうか、また SRAM2 のパリティチェックの有効、無効を設定します。また、プロセッサ間通信のデータバッファとして使用する SRAM2 の共通メモリ領域の定義に使用するオプションもあります。

ユーザオプションバイト

| オプション | 説明 |
|--|--|
| RDP[7:0] | 読出し保護レベル |
| PCROP1A_STRT PCROP1A_END PCROP1B_STRT PCROP1B_END | PCROP 領域A 開始オフセットアドレス PCROP 領域A 終了オフセットアドレス PCROP 領域B 開始オフセットアドレス PCROP 領域B 終了オフセットアドレス |
| PCROP_RDP | RDP レベルが下がると保存される PCROP 領域 |
| WRP1A_STR WRP1A_END WRP1B_STRT WRP1B_END | 書き込み保護領域 A 開始オフセットアドレス 書き込み保護領域 A 終了オフセットアドレス 書き込み保護領域 B 開始オフセットアドレス 書き込み保護領域 B 終了オフセットアドレス |
| SFSA, SBRSA, SNBRSA SBRV, C2BOPT | Cortex-M0+ FlashとSRAM2のセキュリティ開始アドレス Cortex-M0+ ブートリセットベクタおよびブートオプション Flash/SARM2. |
| DDS | Cortex-M0+ デバッグディセーブル |



* Cortex-M0+ の書き込み保護はオプションです。

メモリ保護のオプションとして、オプションバイトがいくつか用意されています。まず、読出し保護の RDP、2つの領域の開始アドレスと終了アドレスの PCROP、2つの領域それぞれの開始アドレスと終了アドレスの WRP があります。

また、PCROP_RDP ビットは、読出し保護がレベル1 からレベル0 に解除されたときに PCROP 領域を保持または消去するのに使用します。

Flash メモリの Cortex-M0+ セキュアメモリ領域は SFSA で、SRAM2aは SBRSA で、SRAM2b は SNBRSA でそれぞれ定義します。Cortex-M0+ リセットベクタは、SBRV および C2BOPT で定義します。

Cortex-M0+ のデバッグは DDS により無効にできます。

Cortex-M0+ のセキュアメモリ領域へのアクセス、起動オプション、デバッグの無効化は、排他的 Cortex-M0+ 書き込みアクセスとなります。それらの読出しは Cortex-M4 が行い、セキュアメモリ領域に関する情報を提供します。

| 割込みイベント | 説明 |
|-------------------------|---|
| 割込み | |
| 操作終了 | 1つまたはそれ以上の Flash メモリの操作(プログラム/消去)が正常に完了するとハードウェアによってセットされます。 |
| 操作エラー | Flash メモリの操作(プログラム/消去)が正常に完了しなかったときに、ハードウェアによってセットされます。 |
| 読出しエラー | D バスから読み出されたアドレスが Flash メモリの読出し保護領域内にある場合、ハードウェアによってセットされます (PCROP 保護)。 |
| ECC 訂正 | 1 つの ECC エラーが検出され訂正されたときに、ハードウェアによってセットされます。 |
| ノンマスカブル割込み (NMI) | |
| ECC 検出 | 2 つの ECC エラーが検出されたときに、ハードウェアによってセットされます。 |



Flash メモリで割込みを4つ生成できます。

操作終了割込みは、1つ以上の Flash へのプログラムまたは消去操作が正常に完了した場合に生成されます。

操作エラー割込みは、Flash メモリのプログラムまたは消去操作が失敗した場合にトリガされます。

読出しエラー割込みは、コアデータバスから読み出されるアドレスが PCROP オプションにより保護されたFlashの領域内にある場合、トリガされます。

ECC 割込みは、1つの ECC エラーが検出され訂正された場合にトリガされます。2つの ECC エラーが検出された場合、ノンマスカブル割込みが生成されます。

SRAMからのコード実行時の消費電力の最適化

- RUN／低電力 RUN、SLEEP／低電力 SLEEP の各モード時に、Flashへのクロック供給をゲートオフできます。
 - Flash クロックは、リセットおよびクロックコントローラ(RCC)で設定します。
 - Flash クロックはデフォルトで有効です。
- SLEEP／低電力 SLEEP モード時の Flash メモリをパワーダウンモードに設定できます。
- RUN／低電力 RUN モード時の Flash メモリをパワーダウンモードに設定できます。



Flash メモリからのコードを実行していない場合、Flash メモリの消費電力を下げるすることができます。

Flash クロックは、RUN／低電力 RUN モード時にゲートオフすることができます。またSLEEP／低電力 SLEEP モード時にも、Flash クロックをゲートオフすることができます。Flash クロックはリセットおよびクロックコントローラにより設定します。Flash クロックはデフォルトで有効です。

SLEEP／低電力 SLEEP モード時の Flashメモリをパワーダウンモードに設定できます。

コードが SRAM から実行されているとき、RUN／低電力 RUN モード時の Flash メモリもまたパワーダウンモードに設定できます。

クロックのゲーティングおよび Flash メモリをパワーダウンモードに設定することで、消費電力を大幅に低減できます。

| モード | 説明 |
|----------------------|--|
| RUN | アクティブ コードが SRAM から実行され、Flash メモリがパワーダウンモードの場合、Flash クロックを無効にできます。 |
| SLEEP | アクティブペリフェラル割込みによって、デバイスは SLEEP モードを終了します。 SLEEP モード時に Flash クロックを無効にできます。Flash メモリをパワーダウンモードにすることができます。 |
| 低電力 RUN | アクティブ コードが SRAM から実行され、Flash メモリがパワーダウンモードの場合、Flash クロックを無効にできます。 |
| 低電力 SLEEP | アクティブペリフェラル割込みによって、デバイスは低電力 SLEEP モードから復帰します。 低電力 SLEEP モード時に Flash クロックを無効にできます。Flash メモリをパワーダウンモードにすることができます。 |
| STOP 0/STOP 1/STOP 2 | Flash クロックオフペリフェラルレジスタの内容は保持されます。 |
| STANDBY | パワーダウン状態です。Flash メモリインタフェースは、STANDBY モード終了後に再び初期化する必要があります。 |
| SHUTDOWN | パワーダウン状態です。Flash メモリインタフェースは、SHUTDOWN モード終了後に再び初期化する必要があります。 |



RUN および低電力 RUN モードでは、Flash メモリはアクティブです。SRAM からのコードが実行されFlash メモリがパワーダウンモードのとき、Flash クロックを無効にすることができます。

SLEEP および低電力 SLEEP モードでは、Flash クロックを無効に、そしてFlash メモリをパワーダウンモードに設定できます。

STOP 0、STOP 1、STOP 2の各モードでは、Flash クロックは停止します。Flash インタフェースレジスタの内容は保持されます。

STANDBY およびSHUTDOWN モードでは、Flash インタフェースレジスタの内容は失われるため、モードの終了後に再び初期化が必要になります。

Flash メモリのパフォーマンス

23

未定 Coremark/MHz

- ART アクセラレータにより、Flash メモリのパフォーマンスは周波数に対してほぼ線形的に変化します。3.32CoreMark/MHz(キャッシュ ON、プリフェッチ OFF) => 212.5CoreMark(64MHz 時)

| | | ART アクセラレータ ON (キャッシュ ON、プリフェッチOFF) |
|-------------------------------|--------------------------|--|
| レンジ 1 @ 64MHz (2 ウェイトステート) | 消費電流 (μA/MHz) (SMPS OFF) | 125 |
| | パフォーマンス (CoreMark/MHz) | 3.32 |
| | エネルギー効率 (CoreMark/mA) | 26.6 |
| レンジ 2 @ 16MHz (1ウェイトステート) | 消費電流 (μA/MHz) | 116 |
| | パフォーマンス (CoreMark/MHz) | 2.48 |
| | エネルギー効率 (CoreMark/mA) | 21.4 |



ART アクセラレータにより、Flash メモリのパフォーマンスは、周波数に対してほぼ線形的に変化します。命令およびデータキャッシュが有効、プリフェッチバッファが無効の場合、64MHz 時のCoreMark のスコアは212.5 となり、これは 3.32CoreMark/MHz に相当します。

命令およびデータキャッシュが有効、プリフェッチバッファが無効の場合、レンジ 2で16MHz 時にパフォーマンスは2.48 CoreMark/MHz になります。スイッチモード電源が OFF で、64MHz でのエネルギー効率は 26.6CoreMark/mA 、またレンジ2 でのエネルギー効率は 16MHz で21.4CoreMark/mA までしか低下しません。

- Flash メモリは、Cortex-M4とCortex-M0+ 間で共有されます。
 - アクセス調停は、ラウンドロビン方式に従いART 内で処理されます。
 - 読出しとフェッチアクセスは、書込みと消去に優先します。
 - 読出しアクセスは、他のコアからのフェッチに優先します。
- 共有時のパフォーマンス
 - Cortex-M4 と Cortex-M0+ の両方に対する命令キャッシュとデータキャッシュによる負担の低減

| Cortex-M4 | Cortex-M0+ | ART アクセラレータ ON (キャッシュ ON、プリフェッチ OFF) | | 単独使用時と 比較した影響 |
|-----------|------------|---|------|------------------|
| @ 64MHz | @ 32MHz | Cortex-M4 パフォーマンス (CoreMark/MHz) | 3.28 | -1.30% |
| | | Cortex-M0+ パフォーマンス (CoreMark/MHz) | 1.68 | -0.15% |
| @ 16MHz | @ 16MHz | Cortex-M4 パフォーマンス (CoreMark/MHz) | 2.48 | -0.04% |
| | | Cortex-M0+ パフォーマンス (CoreMark/MHz) | 1.48 | -0.01% |



Flash メモリは、Cortex-M4とCortex-M0+間で共有されます。両方の CPU が Flash メモリを使用して命令を実行します。ART アクセラレータにより、Flash メモリのパフォーマンスは影響が最小限に抑えられます。コードの同時実行において、Cortex-M0+ の周波数が 32MHz、命令キャッシュとデータキャッシュが有効、プリフェッチバッファが無効の条件で、Cortex-M4 の CoreMark/MHzは64MHz で 3.28 に達します。これは、Cortex-M4 のパフォーマンス低下がわずか 1.3% であることを意味します。周波数が 16MHz、また Cortex-M0+ も 16MHz の場合では、Cortex-M4のCoreMark/MHz スコアは 2.48 となります。この場合、Cortex-M4 のパフォーマンス低下はわずか 0.04% です。

- プログラムおよび消去操作は、パワーレンジ1でのみ可能です。
- バンクが1つしかないため、Flashメモリのプログラムと消去の操作により、両CPUによるFlashメモリからの実行がブロックされます。
- 新しいFlashメモリ操作の開始は、Program Erase Suspend (PESD)で一時停止できます。
 - 実行中の操作は完了まで継続されます。
 - 新しい操作は、PESDがクリアされるまで一時停止されます。
 - 各CPUは独自のPESDビットを持っています。



life.augmented

Flashメモリのプログラムおよび消去操作は、パワーレンジ1でのみ可能です。レンジ2および低電力モードでは、Flashメモリのプログラムおよび消去操作は禁止されます。

Flashメモリのシングルバンクアーキテクチャにより、プログラムと消去操作時には両CPUのための実行がブロックされます。Flashメモリの操作がリアルタイムのCPU性能に影響を与えるのを防止するため、Flashメモリ操作を一時停止できます。PESDがアクティブである限り新しい操作は開始されず、CPUの実行が継続できます。PESDの前に有効化された実行中のFlash操作は完了するまで継続されます。各CPUはそれぞれのPESDレジスタビットを使用して、Flash操作のPESDを要求できます。

- このペリフェラルに関連する他のペリフェラルのトレーニング資料は以下を参照してください。
 - システム設定コントローラ(SYSCFG)
 - リセットおよびクロックコントローラ(RCC)
 - 電源コントローラ(PWR)
 - 割込み(NVIC と AIEC)
 - システムの保護
 - Cortex-M0+ セキュリティ



これはFlash メモリに関するペリフェラルのリストです。詳しい情報については、これらのペリフェラルトレーニング資料を参照してください。

- 詳しくは、以下の関連資料を参照してください。
 - AN2606: STM32 microcontroller system memory boot mode – Application note



life.augmented

詳しくは、STM32 マイクロコントローラのシステムメモリブートモードに関するアプリケーションノート、AN2606 を参照してください。