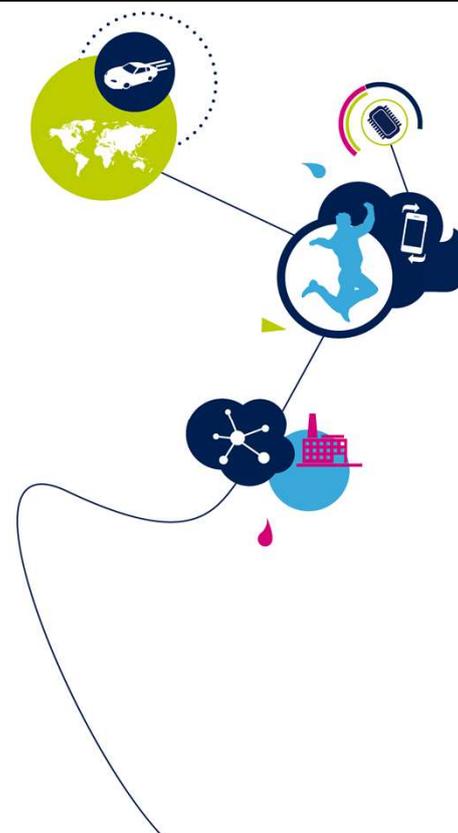


STM32WB - LPTIM

低電力タイマ

1.0 版



STM32WB 低電力タイマ(LPTIM)のプレゼンテーションによろそ。ここでは、タイミング機能群を備えており、低電力モードでも波形生成が可能であるこのペリフェラルの機能の説明を行います。

- LPTIM は 16bit タイマです。クロックソースの多様性により、LPTIM は STM32WB マイクロコントローラで利用可能な多くの低電力モードで実行し続けることができます。



機能概要

- 非同期動作機能
- 超低消費電力
- 低電力モードからのウェイクアップのためのタイムアウト機能



STM32WB マイクロコントローラに搭載されている低電力タイマペリフェラルには、低電力モードでも動作可能な 16bit タイマが備わっています。これは、柔軟性の高いクロック供給スキームにより可能となりました。低電力タイマペリフェラルには、基本汎用タイマ機能が備わっています。低電力タイマの主要機能の 1 つは、非同期カウントモードに設定された場合に、どの内部クロックソースもアクティブではなくとも動作し続ける能力です。

- 多数の選択可能クロックソースを通じた柔軟性の高いクロック供給スキーム
 - 内部クロックソース: LSE、LSI、PCKL1、PLL2P、PLL3R、PER_CK クロック
 - LPTIM「LPTIM_IN1」入力経由の外部クロックソース(オンチップオシレータが実行していないときに動作、パルスカウンタアプリケーションによって使用)
- 最大 8 つの外部トリガ
 - アクティブエッジは次から設定可能: 立ち上がりエッジ、立ち下がりエッジ、両エッジ
 - 誤ったトリガを回避するためのデジタルグリッチフィルタ
- 2 種類の動作モード: 連続とワンショット

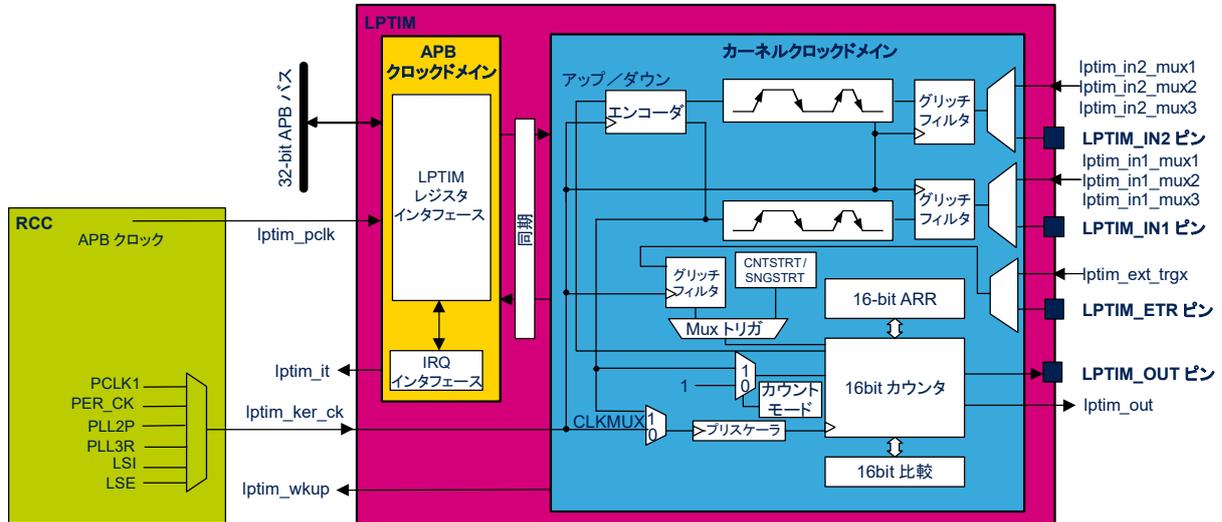


低電力タイマの主な機能は、ほとんどすべてのクロックソースがオフになっている場合であっても動作し続ける能力です。低電力タイマには、非常に柔軟性の高いクロック供給スキームがあります。LSE、LSI、PCKL1、PLL2P、PLL3R、PER_CK の各オンチップクロックソースからクロック供給を受けることができます。あるいは、低電力タイマの「LPTIM_IN1」入力経由の外部クロックソースからクロック供給を受けることも可能です。この後者の機能は、「パルスカウンタ」アプリケーションの構築に用いられ、ガスメータなどのような計量アプリケーションに対する主要機能となります。

低電力タイマは、設定可能な極性を持つ最大 8 つの外部トリガソースに対応しています。外部トリガ入力は、ノイズの多い動作環境で発生するおそれのある誤ったトリガをキャンセルするデジタルフィルタを備えています。

低電力タイマは、連続モードとワンショットモードのいずれかで動作するように設定できます。ワンショットモードはパルス波形の生成に用いられ、連続モードは PWM 波形の生成に用いられます。

LPTIM ブロック図



低電力タイマは、2つのクロックドメインを持つペリフェラルです。APB クロックドメインには、ペリフェラルの APB インタフェースが含まれています。カーネルクロックドメインには、低電力タイマペリフェラルのコア機能が含まれています。カーネルクロックドメインは、タイマの「LPTIM_IN1」入力経由の外部クロックソースからの内部クロックソースによってクロック供給を受けることができます。

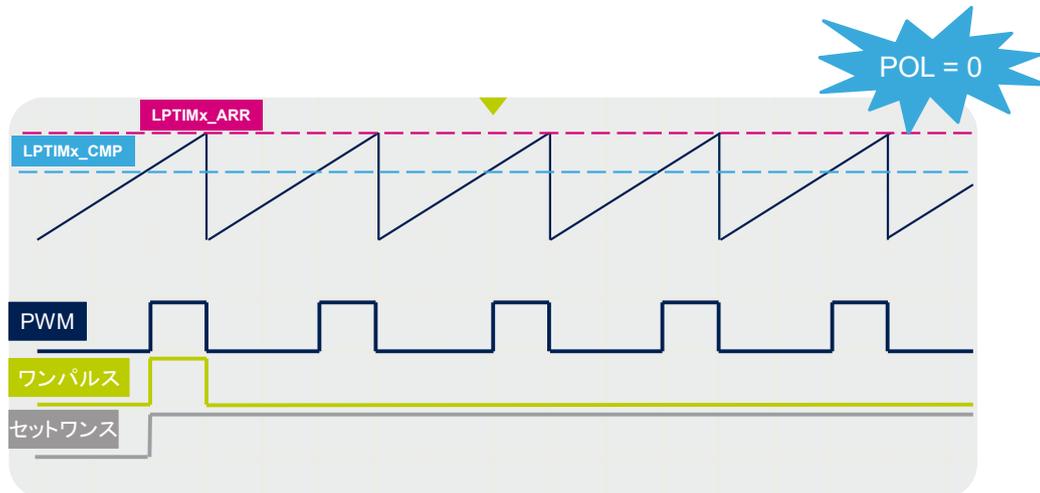
低電力タイマペリフェラルには、2のべき乗プリスケータを通じて供給される 16bit タイマが搭載されています。低電力タイマペリフェラルには、タイマの「LPTIM_OUT」出力上の PWM 波形信号出力のために、周期とデューティサイクルの設定にそれぞれ用いられる 16bit 自動リロードレジスタと 16bit 比較レジスタが搭載されています。

低電力タイマは、ペリフェラルの「lptim_in1_mux」入力と「lptim_in2_mux」入力を用いて、インクリメンタル直交エンコーダセンサとのインタフェースに使用できるエンコーダモード機能を備えています。どちらの入力もグリッチフィルタ回路を備えています。

最大 3 つの設定可能な波形

5

PWM 波形、ワンパルス波形、セットワンス波形



LPTIM_CFGR レジスタのビットフィールド 'WAVE' および LPTIM_CR レジスタの 'SNGSTRT' との組み合わせにより、LPTIM_CMP レジスタと LPTIM_ARR レジスタが出力波形の制御に使用されます。

出力波形は、周期とデューティサイクルが LPTIM_ARR レジスタと LPTIM_CMP レジスタによってそれぞれ制御される典型的な PWM 信号です。あるいは、最後の出力状態が設定された波形によって定義される単一パルスとなります。

最後の出力状態がその波形の最初のものと同じである場合には、ワンパルスモードが設定されます。

そうではない場合には、セットワンスモードが設定されます。

低電力タイマの出力極性は、LPTIM_CFGR レジスタの 'WAVPOL' ビットフィールドを通じて制御されます。

タイマカウンタのリセット

- タイマカウンタのリセットによって、LPTIM_CNT レジスタの内容がリセットされます。
- 2 種類のカウンタリセットメカニズムが可能です。
 - 同期カウンタリセットメカニズム
 - LPTIM_CR レジスタの COUNTRST bitが'1'にセットされると、LPTIM_CNT レジスタの内容はリセットされます。このリセットは、3カーネルクロックサイクル分の同期遅延の後に行われます (lptim_ker_ck カーネルクロック信号は APB クロックとは異なることがあります)。
 - 非同期カウンタリセットメカニズム
 - LPTIM_CR レジスタの RSTARE bit が'1'にセットされると、LPTIM_CNT レジスタに対するあらゆる読出しアクセスによって、LPTIM_CNT レジスタの内容が非同期にリセットされます。



低電力タイマは、LPTIM_CNT レジスタの内容を '0' にリセットするカウンタリセット機能を備えています。

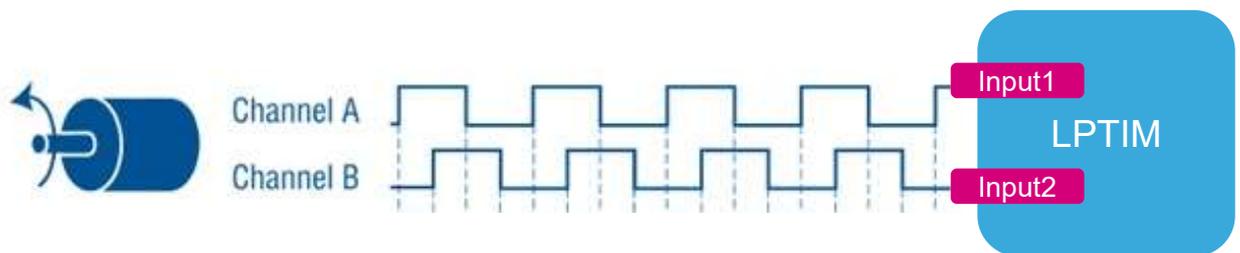
同期カウンタリセットメカニズムと非同期カウンタリセットメカニズムの 2 種類のカウンタリセットメカニズムが可能です。

COUNTRST bitをセットすることによって、同期カウンタリセットが行われます。このリセットの同期的な性質のため、3LPTIM カーネルクロックサイクル分の同期遅延の後にはリセットが行われます。

RSTARE bit がセットされていると、LPTIM_CNT レジスタに対する次の APB 読出しアクセスで、非同期カウンタリセットが行われます。

エンコーダモード

- 汎用タイマにおけるエンコーダモードと同一の動作モード
- 連続モードで LPTIM が動作中のみ使用可能



低電力タイマは、ペリフェラルの「Input1」入力と「Input2」入力を用いて、インクリメンタル直交エンコーダセンサとインタフェース可能なエンコーダモード機能を備えています。どちらの入力もグリッチフィルタ回路を備えています。

エンコーダ機能は、汎用タイマに搭載されているものに類似しています。

エンコーダモード機能を使用するためには、低電力タイマが連続モードで動作中である必要があります。

注意すべき重要な点は、低電力タイマ 1 と 2 のみにエンコーダモード機能が搭載されているということです。

割込みイベント	説明
比較一致	カウンタレジスタ(LPTIM_CNT)の内容が比較レジスタ(LPTIM_CMP)の内容と一致したときに、割込みフラグが立ちます。
自動リロード一致	カウンタレジスタ(LPTIM_CNT)の内容が自動リロードレジスタ(LPTIM_ARR)の内容と一致したときに、割込みフラグが立ちます。
外部トリガイベント	外部トリガが検出されたときに、割込みフラグが立ちます。
自動リロードレジスタへの書き込み完了	LPTIM_ARR レジスタへの書き込み動作が完了したときに、割込みフラグが立ちます。
比較レジスタへの書き込み完了	LPTIM_CMP レジスタへの書き込み動作が完了したときに、割込みフラグが立ちます。
方向の変更	エンコーダモードに使用され、方向の変更を強調するために、アップカウント方向の変更を強調するアップフラグとダウンカウント方向の変更を強調するダウンフラグの2つの割込みフラグが内蔵されています。



低電力タイマペリフェラルは、7種類の割込みソースを備えています。

- カウンタレジスタ LPTIM_CNT の内容が比較レジスタ LPTIM_CMP の内容と一致するか、それよりも大きい場合に、「比較一致」割込みが立ちます。
- カウンタレジスタの内容が自動リロードレジスタの内容と一致したときに、「自動リロード」割込みが立ちます。
- 有効な外部トリガが検出されたときに、「外部トリガイベント」割込みが立ちます。
- 異なる2つのクロックドメインに含まれているペリフェラルの APB インタフェースロジックからペリフェラルのコアロジックへの、LPTIM_ARR レジスタと LPTIM_CMP レジスタそれぞれの内容の転送が完了したときに、「自動リロードレジスタへの書き込み完了」割込みと「比較レジスタへの書き込み完了」割込みが立ちます。これら2つの割込みは、APB インタフェースクロックと比べてペリフェラルコアクロックが遅すぎる場合に、これら2つのレジスタへの書き込みのステータスをポーリングするオーバヘッドの緩和に役立ちます。
- エンコーダモード機能が有効であり、カウント方向がアップからダウンへ、またはその反対に変更されたときに、「アップ/ダウン方向の変更」割込みが立ちます。低電力タイマのカウンタのカウント方向は、直交センサの回転方向を反映しています。

モード	説明
RUN	有効。
SLEEP	有効。ペリフェラル割込みによって、デバイスは SLEEP モードを終了します。
低電力 RUN	有効。
低電力 SLEEP	有効。ペリフェラル割込みによって、デバイスは低電力 SLEEP モードから復帰します。
STOP 0 / STOP 1	LPTIM のクロックが LSE または LSI によって供給される場合にアクティブとなります。LPTIM 割込みによって、デバイスは STOP 0 および STOP 1 から復帰します。
STOP 2	LPTIM1 は、クロックが LSE または LSI によって供給される場合にアクティブとなります。LPTIM1 割込みによって、デバイスは STOP 2 から復帰します。 LPTIM2 が停止しレジスタの内容は保持されますが、STOP 2 モードに入る前に LPTIM2 を無効にする必要があります。
STANDBY	パワーダウン状態です。ペリフェラルは、STANDBY モード終了後に再初期化する必要があります。
SHUTDOWN	パワーダウン状態です。ペリフェラルは、STANDBY モード終了後に再初期化する必要があります。



RUN、SLEEP、STOP の各電源モードにおいて、低電力タイマペリフェラルがアクティブとなります。
低電力タイマは、SLEEP モードと STOP モードからマイクロコントローラをウェイクアップできます。

- 詳細と追加情報については、以下を参照してください。
 - アプリケーションノート AN4865: Low-power timer (LPTIM) applicative use-cases on STM32 MCUs

詳細については、弊社ウェブサイトから入手可能な以下の関連資料を参照してください。